

UNIVERSIDADE FEDERAL DO RIO DE JANEIRO
ESCOLA POLITÉCNICA
DEPARTAMENTO DE ELETRÔNICA E DE COMPUTAÇÃO

**A INFLUÊNCIA DO EFEITO DE MODULAÇÃO DE
CANAL NA DISTORÇÃO HARMÔNICA EM ESPELHOS
DE CORRENTE CMOS**

Autor:

Pedro Martins Coelho

Orientador:

Prof. Antonio Petraglia, Ph. D.

Examinador:

Prof. Fernando Antonio Pinto Barúqui, D. Sc.

Examinador:

Carlos Fernando Teodósio Soares, M. Sc.

DEL

Janeiro de 2009

DEDICATÓRIA

Aos meus pais, José Luis e Sônia.

AGRADECIMENTO

Agradeço primeiramente a Deus, meu suporte e refúgio.

Agradeço aos meus pais, que, sem saber o que é o efeito de modulação do comprimento de canal ou mesmo um transistor, sempre foram meus maiores orientadores. Eles tornaram este sonho possível, entre muitos outros.

Ao meu orientador Antonio Petraglia, por sua disponibilidade e competência, fundamentais para a realização deste trabalho e das atividades de iniciação científica.

Aos professores do Departamento de Engenharia Eletrônica pelos conhecimentos transmitidos, principalmente aos professores do Laboratório de Processamento Analógico e Digital de Sinais.

Ao professor Antonio Barúqui pelos seus conselhos durante a realização deste trabalho e ao professor Joarez Bastos Monteiro por me ensinar muito mais que amplificadores operacionais ou o critério de Barkhausen, por suas histórias e valiosos conselhos.

Por fim, agradeço aos meus amigos que me acompanharam em mais esta etapa, seja durante trabalhos, provas ou na Av. Brasil, pela companhia e apoio extremamente importantes.

RESUMO

O presente trabalho tem como objetivo investigar o impacto do efeito de modulação do comprimento de canal sobre a distorção harmônica em espelhos de corrente CMOS. Essa é uma classe de circuitos extremamente importante e largamente utilizada em circuitos integrados e o seu projeto requer, em diversas aplicações, alto nível de fidelidade do sinal copiado.

O advento de novas tecnologias, tais como os processos de fabricação nanométricos, demanda, muitas vezes, novos cuidados no projeto de circuitos com relação a possíveis efeitos indesejáveis a que possam estar submetidos os componentes nessas tecnologias, sendo necessário, por vezes, o desenvolvimento de novas técnicas para a solução de problemas conhecidos.

Uma análise do comportamento de algumas topologias de espelhos de corrente comumente utilizadas foi realizada através de simulações elétricas e de um modelo matemático desenvolvido através de equações de nível 1. Para esse estudo foram utilizadas informações dos parâmetros de três processos de fabricação de circuitos integrados.

O resultado da realização de diferentes estruturas de espelho em cada processo utilizado neste trabalho se constitui como um conjunto de informações úteis para projeto de circuitos integrados, inclusive diante dos novos desafios trazidos pelos processos de fabricação mais recentes.

Sumário

1	Introdução	1
	1.1 - Espelhos de Corrente	1
	1.2 - Justificativa	1
	1.3 - Metodologia	1
	1.4 - Objetivo	2
	1.5 - Organização	3
2	Teoria	4
	2.1 - O MOSFET e o Efeito de Modulação de Canal	4
	2.2 - O Efeito Capacitivo	6
	2.3 - O Vazamento de Corrente	7
3	Espelhos de Corrente	10
	3.1 - Espelho de Corrente Simples	10
	3.2 - Espelho de Corrente Cascode Regulado	11
4	Modelo Matemático	13
	4.1 - Modelo de Nível 1	13
	4.2 - Extração de Parâmetros	14

5	Resultados	16
5.1	- Espelho Simples	16
5.1.1	- Processo AMS 0.35 μ m	16
5.1.2	- Processo STM 90nm	18
5.1.3	- Processo STM 65nm	20
5.2	- Espelho de Corrente Cascode Regulado	22
5.2.1	- Processo AMS 0.35 μ m	23
5.2.2	- Processo STM 65nm	23
5.2.3	- Processo STM 90nm	24
5.3	- Espelho de Corrente de Wilson Modificado	25
5.4	- Análise em Frequências Elevadas	26
6	Conclusão	29
	Bibliografia	32

Lista de Figuras

1	MOSFET de canal N	4
2	Comprimento efetivo do canal	6
3	Espelho de Corrente Simples	11
4	Espelho de Corrente Cascode Regulado	12
5	Circuito para simulação do espelho de Corrente Simples	13
6	Curvas características do transistor NMOS	15
7	Valores extraídos de λ para o espelho simples no processo AMS 0.35 μm	17
8	THD do espelho simples no processo AMS 0.35 μm	17
9	Valores extraídos de λ para o espelho simples no processo STM 90nm	18
10	THD para o espelho simples no processo STM 90nm	19
11	Vazamento de corrente no espelho simples	20
12	Valores extraídos de λ para o espelho simples no processo STM 65nm	21
13	THD para o espelho simples no processo STM 65nm	21
14	THD dos espelhos simples e cascode regulado no processo AMS 0.35 μm	23
15	THD dos espelhos simples e cascode regulado no processo STM 65nm	24
16	THD dos espelhos simples e cascode regulado no processo STM 90nm	25
17	Espelho de Corrente de Wilson Modificado	25
18	THD do espelho de Wilson Modificado	26
19	THD do espelho simples no processo STM 65nm	27
20	THD do espelho simples no processo STM 90nm	27
21	THD do espelho simples no processo AMS 0.35 μm	28

Capítulo 1

Introdução

1.1 – Espelhos de Corrente

Espelhos de corrente são estruturas extremamente importantes em circuitos CMOS. Essas estruturas são capazes de realizar cópias de correntes, seja para polarização de circuitos ou utilização de informações do sinal de corrente. Desta forma, essa classe de circuitos se constitui em um bloco fundamental e amplamente utilizado em projetos de circuitos integrados.

1.2 - Justificativa

Para que se produza uma cópia (espelho) precisa de um sinal de corrente, alguns cuidados são necessários. O presente trabalho procura trazer uma investigação mais abrangente, considerando fatores tais como largura e comprimento do canal, bem como configuração do espelho de corrente, importantes para o entendimento dos efeitos provocados pela modulação de canal, e das implicações desse fenômeno no projeto de circuitos integrados.

Dentre as possíveis interferências sofridas pelo sinal copiado, concentramo-nos especificamente em observar a distorção harmônica. Responsável por efeitos indesejados de intermodulação em circuitos de instrumentação, este tipo de distorção pode ser extremamente prejudicial em processamento de sinais numa grande variedade de aplicações, devido às especificações de fidelidade que estes circuitos requerem.

1.3 – Metodologia

As fontes de erro responsáveis por não-idealidades em espelhos de corrente são geralmente de dois tipos: o descasamento entre dispositivos e o efeito de modulação do comprimento de canal. O primeiro é amplamente discutido na literatura [1] e [2], que

propõe ainda diversas técnicas de minimização do descasamento entre os dispositivos. O efeito de modulação do comprimento de canal tornou-se objeto de estudo inicial deste trabalho, a fim de se compreender melhor esse efeito bem como sua influência na distorção harmônica do sinal de saída dos espelhos de corrente, pouco discutida na literatura.

Um modelo matemático envolvendo equações de nível 1 para transistores CMOS foi produzido para a realização da análise teórica. Simulações elétricas foram realizadas a fim de se verificar a teoria desenvolvida, utilizando-se, para tal, parâmetros de três processos de fabricação de circuitos integrados.

Iniciamos o trabalho utilizando para simulação e modelagem teórica parâmetros da tecnologia CMOS AMS 0.35 μ m. Posteriormente o estudo avançou para a análise de espelhos de corrente realizados em escalas nanométricas, utilizando-se parâmetros das tecnologias CMOS STM 65nm e 90nm. Estas são tecnologias de fabricação modernas, ainda pouco difundidas na literatura, e algumas características como minimização dos circuitos e diminuição do consumo têm possibilitado o emprego dessas tecnologias, com sucesso, em diversos projetos de circuitos integrados digitais. Esse fenômeno pode ser facilmente observado pelo grande avanço na produção de processadores cada vez menores e mais potentes, além do salto tecnológico no desenvolvimento de aparelhos de telefone celulares entre vários outros equipamentos eletrônicos que têm se beneficiado da modernização dos processos de fabricação de circuitos integrados.

Em contrapartida, nos processos de fabricação nanométricos, os baixos valores de alimentação limitam a faixa dinâmica quando se trabalha com sinais de tensão. Prefere-se, então, processar sinais em modo de corrente, aumentando a relevância dos espelhos de corrente para projetos em tecnologias nanométricas.

1.4 - Objetivo

Paralelo ao desenvolvimento de novas tecnologias, o entendimento adequado de diferentes aspectos do desenvolvimento de circuitos integrados, dos constrangimentos físicos dos dispositivos, interconexões e fabricação, é essencial para que o projetista de circuitos possa extrair ao máximo os benefícios dessas tecnologias e, ao mesmo tempo, tomar cuidados diante de novos efeitos indesejáveis que possam acompanhar esses novos processos de fabricação.

Este trabalho procura analisar o efeito de modulação do comprimento de canal com maiores detalhes, bem como avaliar técnicas conhecidas para a minimização do mesmo e o seu impacto em tecnologias de fabricação mais recentes.

1.5 – Organização

O Capítulo 2 apresenta a teoria básica utilizada para o desenvolvimento desse trabalho. A descrição do efeito de modulação do comprimento de canal, base do estudo desenvolvido, bem como o efeito capacitivo e o vazamento de corrente, importantes para a compreensão dos resultados apresentados no Capítulo 5.

O Capítulo 3 apresenta as duas topologias de espelhos de corrente estudadas, o espelho de corrente simples e o cascode regulado.

O Capítulo 4 descreve o modelo matemático utilizado para a análise teórica e a extração de parâmetros utilizados no mesmo.

No Capítulo 5 são apresentados os resultados obtidos através de simulação e do modelo matemático, através dos quais analisamos o comportamento dos circuitos utilizados observando a distorção harmônica total do sinal de saída.

Capítulo 2

Teoria

2.1 – O MOSFET e o Efeito de Modulação de Canal

O MOSFET (transistor de efeito de campo tipo metal-óxido-semicondutor) constitui-se de quatro terminais: dreno, fonte, porta e corpo, sendo o dreno e a fonte duas regiões dopadas na camada de silício separadas por uma região de silício cristalino de comprimento L . O transistor MOSFET pode ser de dois tipos, o de canal N ou canal P.

Na Fig. 1 temos o MOSFET de canal N. Este é fabricado utilizando-se como estrutura um substrato tipo P de silício cristalino. Duas regiões tipo N fortemente dopadas formam o dreno e a fonte do transistor. Estes são separados por uma distância L que consiste no comprimento do canal do transistor. Sobre esta região existe uma camada de dióxido de silício que isola o substrato do contato de porta.

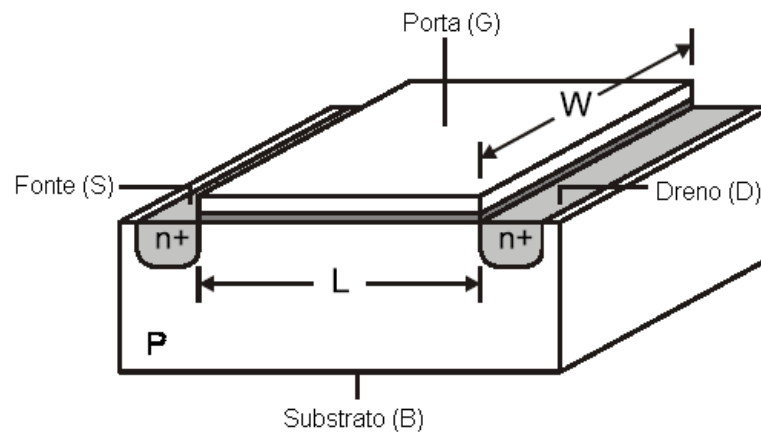


Figura 1- MOSFET de canal N.

Ao aplicarmos uma tensão v_{gs} no terminal de porta, elétrons vão sendo atraídos para a região inferior à porta até que a tensão v_{gs} atinja um valor limiar (tensão de *threshold*, V_t) e então é formado um canal entre os terminais de dreno e fonte. Assim, essa região deixa de apresentar alta impedância, operando na chama região de triodo, e pode então ser percorrida por corrente ao aplicar-se uma tensão v_{ds} entre os terminas de

dreno e fonte. O canal tem sua impedância controlada pela tensão v_{gs} e a corrente que percorre o mesmo pode ser modelada pela equação

$$I_d = K_{pn} \frac{W}{L} \left[(v_{gs} - V_t) v_{ds} - \frac{v_{ds}^2}{2} \right] \quad (1)$$

onde K_{pn} é uma constante definida pela tecnologia do processo, conhecida como o parâmetro de transcondutância. O seu valor pode ser definido pelo produto entre a mobilidade dos elétrons no canal, μ_n , e capacitância por unidade de área de porta, C_{ox} , ou seja,

$$K_{pn} = \mu_n C_{ox} \quad (2)$$

O aumento de v_{ds} , por sua vez, elevará o campo elétrico existente entre dreno e porta reduzindo o potencial na superfície do substrato abaixo da porta. Isso provoca um estreitamento do canal nas proximidades da região do dreno culminando no estrangulamento do canal nesta região. Tal efeito é conhecido como “pinch off”. Nessas condições a corrente no canal satura e o mesmo passa a operar na chamada região de saturação. A equação que modela a corrente no canal, na região de saturação é dada por:

$$I_d = \frac{1}{2} K_{pn} \frac{W}{L} (v_{gs} - V_t)^2 \quad (3)$$

Observe que, ao ocorrer o estrangulamento do canal próximo à região de dreno, o comprimento efetivo do canal percorrido por corrente já não é mais L e o ponto de estrangulamento do canal poderá se mover de acordo com variações de v_{ds} , onde I_d aumenta com o aumento de v_{ds} . Desta forma, o comprimento do canal será subtraído de um ΔL , e o comprimento efetivo do canal será $L - \Delta L$, conforme se observa na Fig. 2. Este fenômeno é conhecido como *efeito de modulação do comprimento de canal* [4] e [5], e já que o mesmo apresenta uma relação aproximadamente linear com I_d , uma consideração analítica do mesmo é feita através da inclusão do fator $(1 + \lambda v_{ds})$ na Eq. (3), resultando em

$$I_d = \frac{1}{2} K_{pn} \frac{W}{L} (v_{gs} - V_t)^2 (1 + \lambda v_{ds}) \quad (4)$$

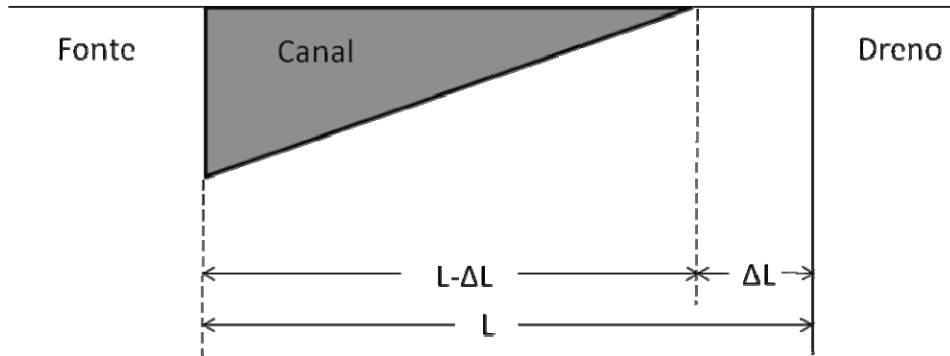


Figura 2 - Comprimento efetivo do canal.

É de se esperar que o efeito de modulação do comprimento de canal se torne mais expressivo para transistores de canal curto já que o mesmo está diretamente relacionado com o comprimento efetivo do canal [4]. Assim, quanto menor o comprimento do canal mais expressivo se torna o efeito de modulação do comprimento de canal, inserindo não linearidades no circuito e, conseqüentemente, interferindo no espelhamento do sinal de corrente. O valor de λ , que modela o efeito de modulação do comprimento de canal, também será maior para valores menores de L [4]. Desta forma, uma alternativa simples para a minimização desse efeito é o simples aumento do comprimento do canal dos transistores. Essa alternativa é viável em situações onde não há limitações significativas quanto ao tamanho dos transistores.

Outras topologias de espelhos de corrente, como os espelhos *cascode* [6], procuram corrigir tal efeito através da estabilização de v_{ds} de um dos transistores do estágio de saída do circuito, que será melhor explicado na Seção 3.2.

2.2 – O Efeito Capacitivo

Conforme comentado na Seção 2.1, o conjunto do óxido entre o contato de porta e o canal do transistor MOS se constitui de um capacitor. Quando o transistor opera na região de saturação, podemos estimar o valor dessa capacitância pela Eq. (4). Observe que o valor da capacitância C_{gs} é diretamente proporcional à área da porta do transistor, definida pelo produto entre o comprimento e a largura, da seguinte forma:

$$C_{gs} = \frac{2}{3} C_{ox} WL \quad (5)$$

A função do dióxido de silício entre o contato de porta e o substrato é justamente o de isolar estas duas regiões do dispositivo, fazendo com que o contato de porta fique isolado do restante do circuito e a corrente DC de porta tenha valor nulo. Quando o transistor opera em frequências elevadas, entretanto, o conjunto porta-canal deixa de atuar como um circuito aberto, permitindo a passagem de um sinal de corrente alternada.

Pela Eq. (4) vemos que quanto maior forem as dimensões do transistor maior será o valor da capacitância C_{gs} . Assim, o efeito capacitivo é diretamente proporcional à área do transistor e quanto maior for a área do mesmo, maior será o impacto desse efeito sobre o funcionamento do transistor, quando operando em altas frequências.

Se observarmos isoladamente um transistor com os terminais de dreno e porta conectados, como no caso do espelho de corrente simples, podemos observar a influência desse efeito sobre a corrente i_d .

Nessa situação a corrente que passa pela porta vem da corrente de referência, que deveria estar passando integralmente pelo canal. A corrente i_d será então diminuída do valor da corrente drenada pela porta devido ao efeito capacitivo.

2.3 – O Vazamento de Corrente

O desenvolvimento da tecnologia dos processos de fabricação de circuitos integrados tem possibilitado a construção de circuitos cada vez menores. No que se refere a tecnologia CMOS, os processos de fabricação já alcançaram a escala nanométrica, como alguns dos processos utilizados neste trabalho.

Acompanhando a redução do comprimento da porta dos transistores MOS está a espessura do óxido de porta, responsável pelo isolamento entre o contato de porta e o substrato. A redução da espessura do óxido de porta no caso dos circuitos nanométricos é tão crítico que, dependendo da área da porta do transistor, este óxido pode não ser mais capaz de isolar adequadamente elétrons ou buracos, gerando um alto e indesejável vazamento de corrente por tunelamento [3].

O efeito de vazamento de corrente, indesejável em projetos de circuitos digitais devido ao aumento considerável do consumo de energia do circuito, se mostrará

extremamente prejudicial em circuitos analógicos. O impacto desse efeito será de grande relevância para o espelhamento de corrente pelas mesmas razões que o efeito capacitivo é. Sendo a corrente que atravessa o óxido de porta drenada da corrente de referência, a corrente de dreno já não será a mesma e a qualidade do espelhamento será prejudicada.

A impedância de entrada vista pela porta inclui agora, além da capacitância vista pela porta C_{in} , uma condutância g_{tunnel} . Esses parâmetros, dependentes da área da porta do transistor, resultam em uma frequência f_{porta} [7], e pode ser deduzida pela equação

$$f_{porta} = \frac{g_{tunnel}}{2\pi C_{in}} \quad (6)$$

Para frequências maiores que f_{porta} , a impedância vista pela porta é fortemente capacitiva e o comportamento do MOSFET é o mesmo que o esperado. Quando se trabalha com sinais de frequências menores que f_{porta} a impedância vista pela porta passa a ser principalmente resistiva e começa a ocorrer o fenômeno do vazamento de corrente. Observe que o valor dessa resistência será inversamente proporcional à área da porta, uma vez que, quanto maior for a área do contato de porta, menor será a impedância vista pela mesma.

Medições para diversas dimensões de transistores em diferentes tecnologias mostraram que a frequência f_{porta} varia pouco para uma mesma tecnologia [7]. Desta forma, o valor de f_{porta} para uma tecnologia específica pode ser considerado dentro de um intervalo relativamente pequeno de frequências. As mesmas medições mostraram que para processos de 65nm f_{porta} está em torno de 1 MHz.

Considerando mais atentamente as observações acima, encontramos o surgimento de alguns cuidados a serem tomados durante o projeto de circuitos integrados. Se o circuito operar com sinais abaixo da frequência f_{porta} da tecnologia empregada, o mesmo estará sujeito à ocorrência de vazamento de corrente, sendo fundamental o projetista minimizar as dimensões dos transistores. Para sinais de frequência superiores a f_{porta} elimina-se o problema do vazamento de corrente, porém, o projetista deverá agora tomar cuidado com a possibilidade de ocorrência do efeito capacitivo, também dependente da área da porta do transistor.

No desenvolvimento de projetos em tecnologias nanométricas aumenta-se então a necessidade de minimização das dimensões dos transistores. Assim, seja devido ao efeito capacitivo ou ao vazamento de corrente, a possibilidade de se aumentar o comprimento dos transistores a fim de se minimizar o efeito de modulação de canal deverá agora ser analisada com mais cuidado.

A partir do modelo para a corrente de vazamento de porta apresentado em [8] foi desenvolvido o modelo simplificado [7], utilizado neste trabalho para a estimativa da corrente de porta. A equação que se refere à corrente de vazamento de porta na saturação é definida como:

$$i_{gs} = A \cdot v_{INV} \cdot v_{gs} \cdot \exp(B \cdot v_{GS}) \quad (7)$$

onde v_{INV} é definido por:

$$v_{INV} = m \cdot \varphi_T \cdot \ln \left(1 + \exp \left[\frac{v_{GS} - V_T}{m \cdot \varphi_T} \right] \right) \quad (8)$$

sendo φ_T a tensão térmica e A e B constantes dadas por

$$A = \frac{I_{GINV}}{2} \cdot \exp \left[-\frac{3}{2} \cdot \frac{B_{INV}}{\chi_B} \right] \quad (9)$$

$$B = \frac{3}{8} \cdot \frac{B_{INV}}{\chi_B^2} \quad (10)$$

Para transistores NMOS usa-se $m=1.3$. Enquanto χ_B é o potencial de barreira do óxido (3.1 V para elétrons e 4.5 V para buracos) e I_{GINV} e B_{INV} são parâmetros físicos que dependem da espessura do óxido (em [m]) e das dimensões do transistor. Para elétrons utilizam-se as relações:

$$I_{GINV} = 1.6 \cdot 10^{-4} \cdot \frac{WL}{t_{ox}^2} \quad (11)$$

$$B_{INV} = 2.9 \cdot 10^{10} \cdot t_{ox} \quad (12)$$

Capítulo 3

Espelhos de Corrente

3.1 – Espelho de Corrente Simples

Espelhos de corrente são amplificadores de corrente nos quais o ganho é definido pela geometria dos transistores que compõem o circuito. A geometria dos transistores, caracterizada principalmente pelo comprimento (L) e largura (W), e a precisão do circuito estão relacionadas diretamente com as características do processo de fabricação.

Conforme apresentado anteriormente na Seção 2.1, se desprezásemos o efeito de modulação do comprimento de canal, poderíamos modelar a corrente que percorre o canal do transistor simplesmente pela geometria do transistor e pela tensão v_{gs} . Desta forma, em uma configuração de transistores na qual ambos possuam a mesma geometria e tensão v_{gs} , poderíamos esperar que ambos os transistores fossem percorridos pela mesma corrente, i_d .

O diagrama esquemático do espelho simples é apresentado na Fig. 3. Se desprezarmos as impedâncias de saída e considerarmos que ambos os transistores possuem o mesmo tamanho, então os transistores terão a mesma tensão, v_{gs} . Porém, se considerarmos a impedância de saída, podemos observar pela Eq. 3 que o transistor que tiver o maior v_{ds} também será o de maior corrente. Observe ainda que, conforme citado anteriormente, o aumento de v_{ds} implicará na diminuição do comprimento efetivo do canal e quando houver desbalanceamento do valor de v_{ds} dos dois transistores o efeito de modulação de canal será mais acentuado em um dos dois transistores. Uma aproximação única do valor de λ para todos os transistores prejudicaria a análise mais detalhada do efeito de modulação de canal como se propõe o trabalho, já que para o modelo matemático utilizamos equações de nível 1, um modelo muito mais simples que o empregado pelo simulador. Assim, os valores de λ de cada transistor foram extraídos através de simulação. Essa etapa será melhor explicada na Seção 4.2.

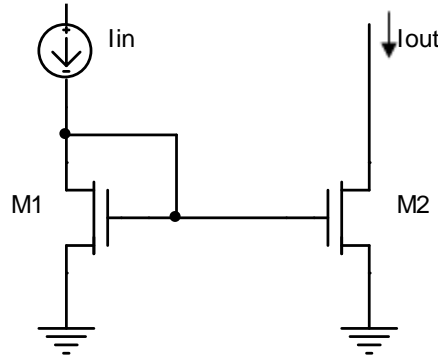


Figura 3 - Espelho de Corrente Simples.

Da Eq. (3) temos que a corrente em um transistor MOS na saturação é função da tensão entre porta e fonte, v_{gs} , e a tensão entre dreno e fonte, v_{ds} , portanto, ao conectarmos dois transistores pela porta, os mesmos serão controlados pela mesma tensão v_{gs} . Se desconsiderássemos o efeito de modulação do comprimento de canal, ou seja, $\lambda=0$, concluiríamos que ambos os transistores são percorridos pela mesma corrente, realizando assim um espelhamento perfeito da corrente de referência I_{in} . O desbalanceamento de v_{ds} , entretanto, provoca a ocorrência de diferentes comprimentos efetivos de canal dos transistores e, por conseguinte, a diferentes valores de λ .

Conforme comentamos na Seção 2.1, o efeito de modulação do comprimento de canal está diretamente relacionado ao comprimento efetivo do canal e será mais significativo quanto menor for o comprimento dos transistores. Desta forma, uma alternativa simples seria aumentar o comprimento do transistor, fazendo com que a diferença entre o comprimento nominal e efetivo seja desprezível.

3.2 – Espelho de Corrente Cascode Regulado

Outra alternativa proposta às interferências causadas pelo efeito de modulação do comprimento de canal no espelhamento de correntes é uma topologia de circuitos conhecida como Espelho de Corrente Cascode Regulado [9] mostrada na Fig. 4.

Capítulo 4

Modelo Matemático

4.1 – Modelo de Nível 1

A fim de se constituir como um modelo de previsão da influência do efeito de modulação do comprimento de canal na distorção harmônica de espelhos de corrente foi desenvolvido um modelo matemático. Uma comparação do modelo desenvolvido com os resultados obtidos através de simulação será útil para a validação do modelo proposto.

Para a análise do espelho de corrente simples utilizamos o circuito da Fig. 5. Observe que o dreno e a porta do transistor M1 estão conectados, fazendo com que v_{gs} e v_{ds} desse transistor assumam valores iguais. Os valores de v_{gs} de M1 e M2 também serão iguais, já que os dois estão conectados pela porta.

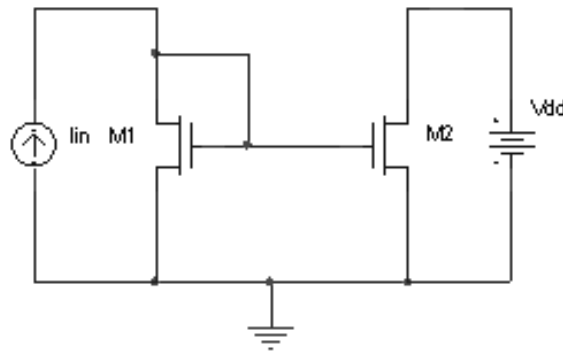


Figura 5 – Circuito para simulação do espelho de Corrente Simples.

Seja i_{in} a corrente do transistor M1 e i_{out} a corrente do transistor M2, da equação da corrente dos transistores em saturação apresentada na seção 2.1, temos que:

$$i_{in} = \frac{1}{2} K_{pn1} \frac{W_1}{L_1} (v_{gs1} - V_{t1})^2 (1 + \lambda_1 v_{ds1}) \quad (13)$$

$$i_{out} = \frac{1}{2} K_{pn2} \frac{W_2}{L_2} (v_{gs2} - V_{t2})^2 (1 + \lambda_2 v_{ds2}) \quad (14)$$

Considerando $V_{t1} = V_{t2} = V_t$, e sendo K_{pn} um parâmetro da tecnologia, das Eqs. (12) e (13) temos:

$$\frac{i_{out}}{i_{in}} = \frac{\frac{1}{2}K_{pn2} \frac{W_2}{L_2} (v_{gs2} - V_{t2})^2 (1 + \lambda_2 v_{ds2})}{\frac{1}{2}K_{pn1} \frac{W_1}{L_1} (v_{gs1} - V_{t1})^2 (1 + \lambda_1 v_{ds1})} \quad (15)$$

Assumindo $W_1 = W_2$, $L_1 = L_2$ e $v_{gs1} = v_{gs2}$, obtemos:

$$i_{out} = i_{in} \frac{1 + \lambda_2 v_{ds2}}{1 + \lambda_1 v_{ds1}} \quad (16)$$

onde o valor de v_{ds1} , que é igual a v_{gs1} , pode ser obtido a partir da expansão da Eq. (12), que fornece a equação

$$\lambda_1 v_{gs1}^3 + (1 - 2\lambda_1 V_{t1}) v_{gs1}^2 + (\lambda_1 V_{t1}^2 - 2V_{t1}) v_{gs1} + V_{t1}^2 - \frac{2i_{in} L_1}{K_{pn1} W_1} = 0 \quad (17)$$

4.2 – Extração de Parâmetros

Tratando-se de um modelo simplificado, optamos por extrair os valores de λ através de simulação. Este procedimento visa proporcionar maior precisão aos resultados obtidos pelo modelo matemático já que algumas expressões analíticas para a obtenção de λ não levam em consideração os valores de v_{ds} , o que nos levaria aos mesmos valores de λ para quaisquer transistores em um circuito, dependendo apenas de parâmetros da tecnologia e do próprio comprimento nominal do canal, L .

Os valores de λ podem ser obtidos a partir das curvas características dos transistores, que são obtidas fazendo-se variar o valor de v_{ds} para um v_{gs} fixo. Assim, para cada transistor teremos diferentes curvas para cada valor de v_{gs} , conforme observado na Fig. 6.

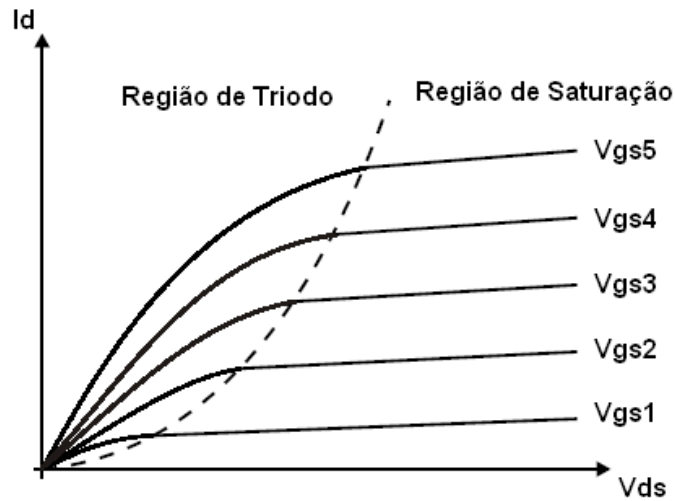


Figura 6 - Curvas características do transistor NMOS.

Quando o transistor entra na região de saturação aproximamos a curva característica do transistor para uma reta. A inclinação desta curva nos fornece o valor da condutância entre o dreno e a fonte do transistor. Se prolongarmos esta reta até o ponto em que a mesma cruza o eixo das abscissas, obtemos o valor da tensão de *Early*, V_A [4]. O valor de λ é modelado como o inverso de V_A , ou seja,

$$\lambda = \frac{1}{V_A} \quad (18)$$

Uma vez que os transistores dos espelhos analisados nesse trabalho operam em diferentes valores de v_{ds} , obtivemos o valor do coeficiente angular da reta em torno do valor de v_{ds} de cada transistor. Como estamos interessados no valor da distorção harmônica dos sinais de corrente, utilizamos como corrente de referência sinais senoidais, o que nos leva conseqüentemente a valores alternados de v_{ds} e v_{gs} . Para a extração do valor de λ utilizamos então os valores médios das tensões de dreno e porta de cada transistor.

Capítulo 5

Resultados

5.1 – Espelho Simples

Para as simulações foi utilizado o software CADENCE, de projeto e simulação de circuitos integrados. Os parâmetros utilizados pelo software são fornecidos por fabricantes de circuitos integrados. Neste projeto utilizou-se os parâmetros dos processos de fabricação AMS 0.35 μ m, STM 65nm e 90nm, das empresas Austria Microsystems e ST Microelectronics, respectivamente.

Para o processo da AMS, o modelo de MOSFET utilizado para simulações foi o BSIM3, que não modela a corrente de vazamento de porta, inexistente neste processo. Nos processos nanométricos, entretanto, o modelo utilizado foi o BSIM4, que modela o efeito de vazamento de corrente de porta.

5.1.1 – Processo AMS 0.35 μ m

A etapa de simulações foi iniciada utilizando-se parâmetros do processo de fabricação AMS 0.35 μ m. Para as simulações do espelho de corrente simples do processo de 0.35 μ m utilizou-se sempre $V_{dd} = 3.3V$ e uma fonte de corrente senoidal de 60 μ A de nível DC e 30 μ A de amplitude do sinal. Seguidas simulações foram feitas variando-se o comprimento dos transistores a fim de verificar a variação correspondente sofrida pela distorção harmônica total do sinal, THD.

Para a implementação do modelo matemático foi utilizado o software Matlab, através do qual também se pôde extrair os valores de λ a partir das curvas características dos transistores de diferentes tamanhos, bem como calcular os valores da THD, tanto do sinal de corrente obtido através do modelo, como do sinal de corrente obtido através de simulação.

Conforme comentamos na Seção 2.1, os valores de λ tendem a diminuir em função do aumento do comprimento do canal. Esse comportamento pode ser constatado

através dos valores de λ extraídos e mostrados na Fig. 7, onde λ_1 e λ_2 são os valores de λ correspondentes aos transistores M1 e M2, da Fig. 3, respectivamente.

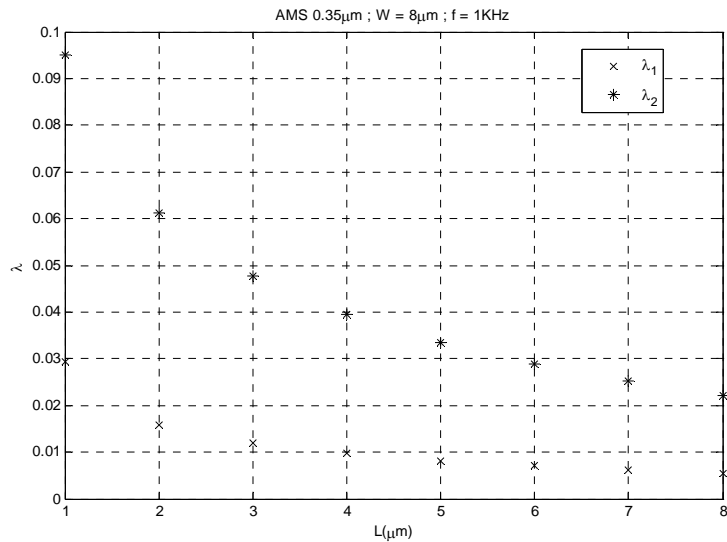


Figura 7 - Valores extraídos de λ para o espelho simples no processo AMS 0.35 μm .

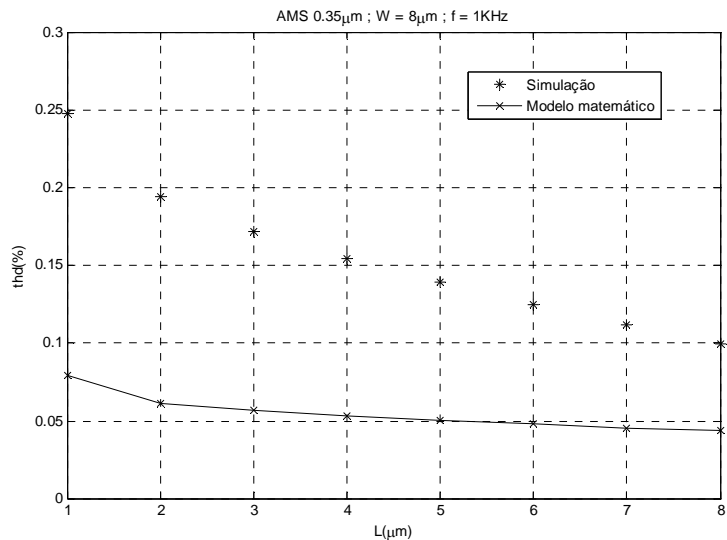


Figura 8 - THD do espelho simples no processo AMS 0.35 μm .

Acompanhando a diminuição dos valores de λ está a THD. Na Fig. 8 podemos observar a coerência entre o modelo matemático e os valores obtidos através de simulação. Observa-se ainda uma relativa diferença entre os valores dos dois resultados que se segue para todos os valores de L dos transistores. Tal diferença ocorre devido ao fato do modelo matemático ser significativamente mais simples que o empregado para as simulações. Lembrando que o software CADENCE, de utilização profissional,

emprega modelos de equações muito mais complexos, que visam obter resultados muito próximos daqueles obtidos do próprio circuito fabricado. Desta forma, o modelo teórico utilizado neste trabalho não se propõe substituir o software, mas se constituir como um instrumento de apoio para previsão da THD em espelhos de corrente.

O aumento do comprimento dos transistores empregados no espelho de fato reduziu em até 50% o valor da THD obtida para o menor comprimento de canal conforme os resultados da Fig. 8. A mesma redução poderia também ser prevista aproximadamente pelo modelo matemático, com a ressalva da diferença entre o resultado simulado e o teórico.

5.1.2 – Processo STM 90nm

Procedimento semelhante ao adotado acima foi seguido para os processos de 65nm e 90nm da ST Microelectronics, agora com $V_{dd}=1V$, mantendo-se os valores para a fonte de corrente usada como referência. A Fig. 9 mostra que os valores de λ variam da mesma forma que aqueles obtidos no processo de $0.35\mu m$.

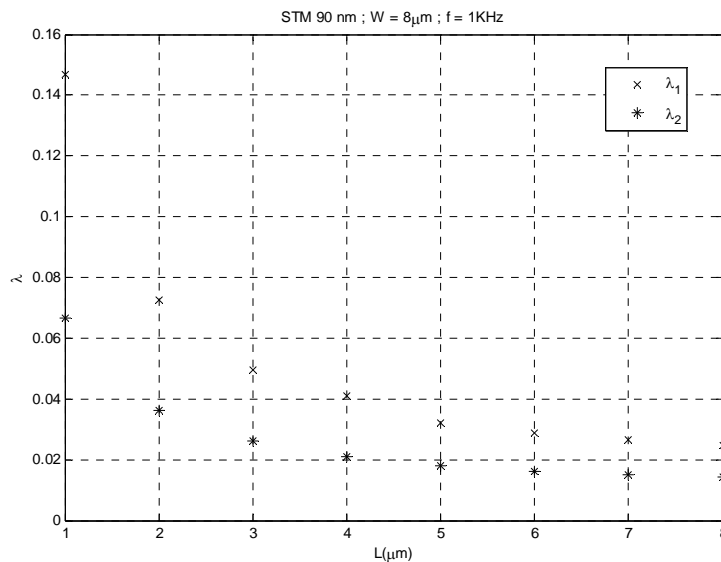


Figura 9 - Valores extraídos de λ para o espelho simples no processo STM 90nm.

Os valores de THD para o processo de 90nm não seguiram o mesmo comportamento. Através da Fig. 10 podemos observar que para valores de L maiores que $5\mu m$ os valores de THD começam a aumentar. Esse resultado diverge do que era previsto pela teoria apresentada na Seção 2.1 e dos resultados apresentados na Fig. 9, já

que esta confirma que o efeito de modulação de canal diminuiu com o aumento do comprimento dos transistores.

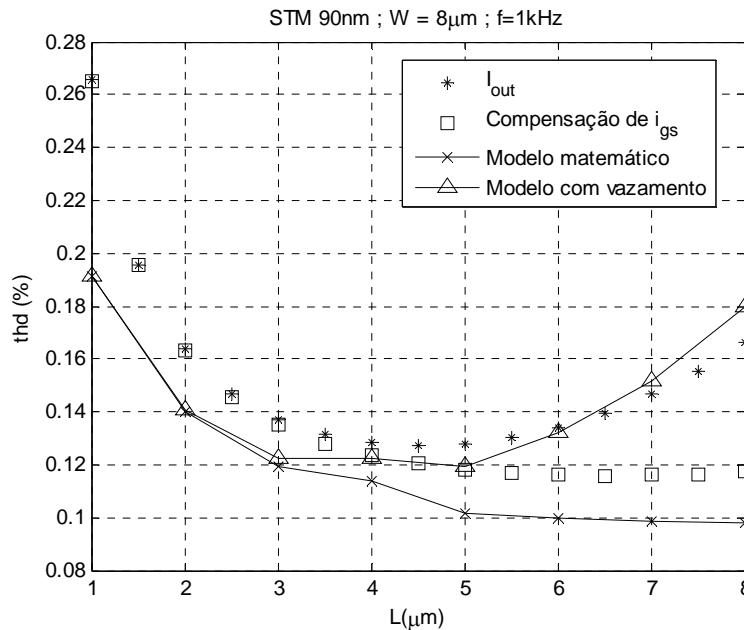


Figura 10 - THD para o espelho simples no processo STM 90nm.

Tal comportamento pode ser explicado devido ao efeito de vazamento de corrente de porta. Observe que, conforme explicado na Seção 2.3, o efeito de vazamento de corrente é mais expressivo quanto maior for a área da porta do transistor. Quando o comprimento do canal atinge valores grandes o suficiente, o benefício que se tem ao reduzir o efeito de modulação de canal é suprimido pelo aumento da corrente de vazamento.

Os resultados obtidos pelo modelo matemático, ao contrário das simulações, mostram a redução da THD, pois estes dizem respeito apenas ao efeito de modulação de canal, que diminui com o aumento de L. Quando adicionamos ao modelo as equações que estimam a corrente de vazamento, i_{gs} [6], pôde-se confirmar o comportamento dos resultados obtidos através de simulação, como mostra a Fig. 10.

O impacto do vazamento de corrente de porta, i_{gs} , no espelho de corrente simples pode ser melhor entendido analisando-se a Fig. 11. Como a porta e o dreno de M1 estão conectados, as correntes i_{gs} dos transistores M1 e M2 são subtraídas da corrente de referência que se pretendia espelhar, I_{in} . Desta forma, a corrente que percorre o canal de M1 não é mais i_{in} , mas $i_{in} - 2i_{gs}$ e o valor de v_{gs} gerado também será diferente daquele

quando a corrente que percorria o canal não sofria perdas devido ao vazamento de corrente, conforme indica a equação

$$i_{in} - 2i_{gs} = \frac{1}{2} K_{pn1} \frac{W_1}{L_1} (v_{gs1} - V_{t1})^2 (1 + \lambda_1 v_{ds1}) \quad (19)$$

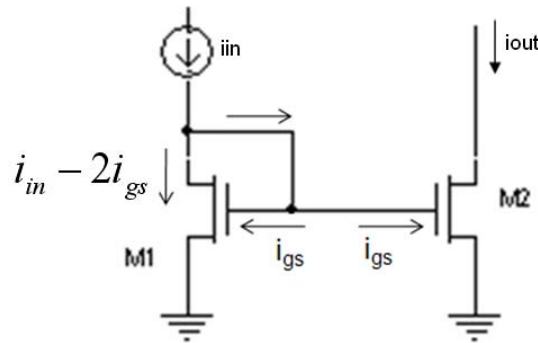


Figura 11 - Vazamento de corrente no espelho simples.

Essa teoria pode ser validada pelos resultados mostrados na Fig. 10, através de simulações nas quais procuramos compensar o vazamento de corrente. Como a corrente de referência está sendo subtraída de $2i_{gs}$, realizamos a compensação através da soma direta das correntes de vazamento de M1 e M2 ao valor de i_{out} ponto a ponto. Na Fig. 12 podemos observar que agora os valores de THD seguem a tendência de diminuição conforme aumentamos o comprimento do canal de M1 e M2.

5.1.3 – Processo STM 65nm

Repetindo o procedimento adotado para o processo de 90nm realizamos a análise do espelho simples para o processo de 65nm. A Fig. 11 mostra os valores de λ obtidos para a mesma variação do comprimento dos transistores. A variação dos valores de λ , entretanto, não correspondem com o resultado obtido para o processo de $0.35\mu\text{m}$ e previsto pela teoria apresentada na Seção 2.1.

Como se pode observar, os valores de λ_1 começam a aumentar para valores de L maiores que $4\mu\text{m}$, contradizendo a expectativa de diminuição do efeito de modulação de canal com o aumento do comprimento dos transistores. Os valores de λ extraídos, entretanto, não dizem respeito ao efeito de modulação de canal, já que o mesmo deveria diminuir. Eventualmente outros efeitos podem ter interferido na conformação da curva

característica do transistor gerada para extração do parâmetro λ , nos levando a resultados inconsistentes para o mesmo.

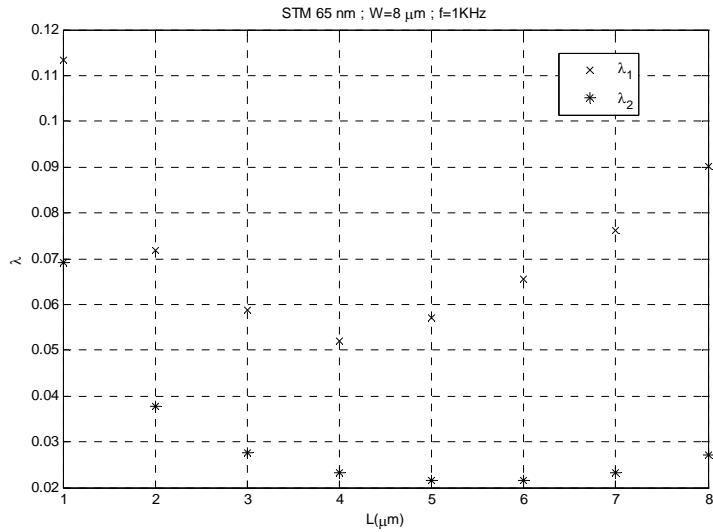


Figura 12 - Valores extraídos de λ para o espelho simples no processo STM 65nm.

Os valores de THD obtidos através de simulação acompanham a mesma tendência observada para os valores de λ . O modelo matemático também segue o mesmo comportamento, já que este utiliza os valores de λ extraídos por simulação, e estes valores aumentam, conforme mostra a Fig. 13.

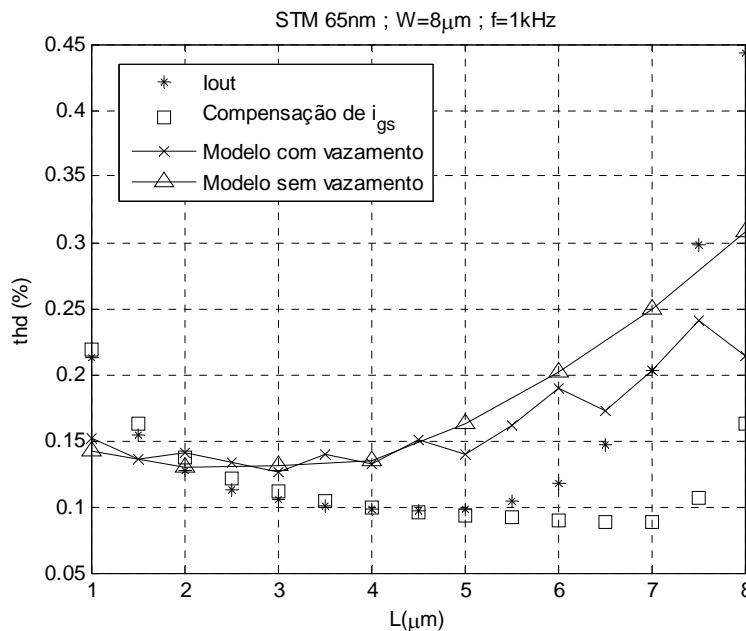


Figura 13 - THD para o espelho simples no processo STM 65nm.

O aumento da THD com o aumento do comprimento dos transistores se deve, novamente, ao vazamento de corrente de porta. Para L igual a $8\mu\text{m}$, a corrente de

vazamento atinge valores altos a ponto de tornar a THD significativamente maior que aquela obtida para valores menores de L . Novamente a compensação da corrente de vazamento mostra a tendência de diminuição da THD, excetuando-se apenas os últimos dois pontos do gráfico, quando o vazamento de corrente é demasiadamente grande e a compensação através da soma não é suficiente, embora seja clara a diferença entre a THD do sinal de saída e do sinal compensado.

Observe que embora o modelo matemático apresente a mesma tendência observada nos resultados obtidos através de simulação, o mesmo não condiz com o que se espera do modelo de nível 1 utilizado. Segundo descrevemos na Seção 2.1, os valores de λ deveriam diminuir com o aumento de L . O provável é que a curva característica do transistor utilizada para o cálculo de λ sofra influência do efeito de vazamento de corrente de porta, comprometendo, conseqüentemente, a extração dos valores de λ . Esses valores de λ fazem o modelo matemático acompanhar a mesma tendência observada nos resultados simulados. Investigações futuras através de modelos mais precisos podem ser importantes a fim de se confirmar esta observação feita a partir dos resultados simulados.

O modelo matemático juntamente com a estimativa da corrente de vazamento, que é mais crítica para o processo de 65nm, não se mostrou tão preciso quanto para o processo de 90nm, além do que, o modelo matemático sem a consideração do vazamento de corrente apresentou resultados mais próximos daqueles obtidos através de simulação. Observe que, quando utilizamos o modelo matemático com a estimativa da corrente de vazamento, a corrente de saída passa a sofrer, além dos efeitos do vazamento, a interferência gerada pelos valores distorcidos de λ .

5.2 – Espelho de Corrente Cascode Regulado

Conforme vimos na Seção 3.2, o espelho de corrente cascode regulado tem por objetivo regular a tensão no dreno do transistor M2 da Fig. 4, tornando-o menos susceptível a variações da tensão da carga, e aumentar a impedância de saída do espelho, diminuindo sua sensibilidade à carga. Essas características acabam por reduzir fortemente o efeito de modulação de canal e, conseqüentemente, seu impacto na THD do sinal de saída.

Para as simulações do espelho de corrente cascode regulado, teve-se que elevar o valor da tensão V_{dd} para 2V a fim de se garantir que os transistores do espelho operassem na região de saturação.

5.2.1 – Processo AMS 0.35 μm

Embora para a implementação do cascode regulado o projetista tenha que contar com uma quantidade maior de transistores, essa estrutura proporciona a obtenção de resultados semelhantes àqueles obtidos ao custo da utilização de transistores muito maiores para o espelho de corrente simples, conforme apresenta a Fig. 14. Desta forma, a área total do circuito, embora se utilize um número maior de transistores, pode ser menor do que quando se utiliza o espelho de corrente simples com transistores maiores.

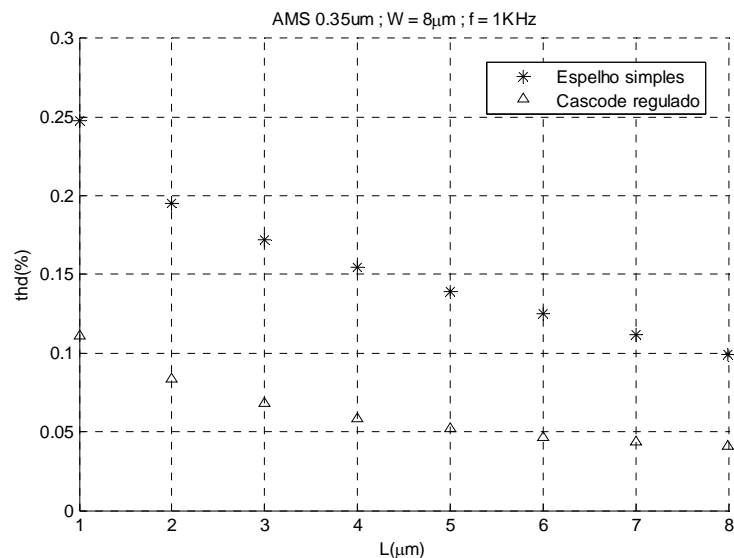


Figura 14 - THD dos espelhos simples e cascode regulado no processo AMS 0.35 μm .

5.2.2 – Processo STM 65nm

O aumento da quantidade de transistores no circuito implica diretamente em intensificar o efeito de vazamento de corrente quando se trata de processos nanométricos. Como o vazamento de corrente ocorre em cada transistor empregado no circuito, se analisarmos novamente a Fig. 4, é fácil perceber que agora, além do vazamento de corrente que ocorre nos transistores M1 e M2, há também o vazamento que ocorre no transistor M5, que faz parte do espelho de corrente auxiliar para a regulação da tensão de dreno do transistor M2. Essa corrente também está sendo

drenada da corrente de referência e dessa forma, a corrente que percorre o canal do transistor M1 será $I_{in} - 3i_{gs}$, distorcendo o valor de v_{gs} e conseqüentemente i_{out} . Além da diminuição da corrente que percorre o canal, há ainda o vazamento em M3 e nos outros transistores do espelho auxiliar, prejudicando a regulagem da tensão v_{gs} do transistor M2.

Diferentemente dos resultados obtidos para o processo de $0.35\mu\text{m}$, no processo de 65nm os valores de THD obtidos quando se utilizou o cascode regulado foram sempre maiores que aqueles obtidos para o espelho simples. O resultado do aumento das dimensões dos transistores seguiu o mesmo comportamento apresentado pelo espelho simples, aumentando com o aumento do comprimento do canal, conforme mostra a Fig. 15.

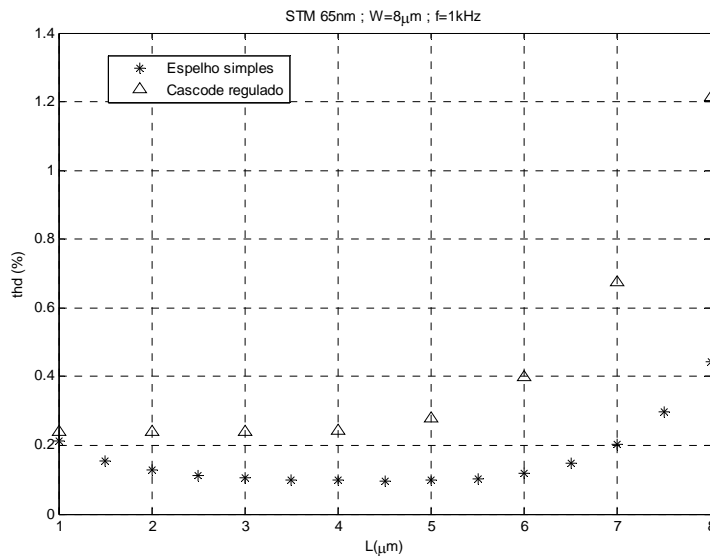


Figura 15 - THD dos espelhos simples e cascode regulado no processo STM 65nm.

5.2.3 – Processo STM 90nm

Para o processo de 90nm da STM o efeito de vazamento de corrente parece ser menos significativo. Embora para L maior que $6\mu\text{m}$ os valores de distorção do espelho cascode regulado sejam maiores que o do Espelho Simples, a Fig. 16 indica que os valores mínimos de distorção foram alcançados utilizando-se valores baixos de comprimento de canal para o cascode regulado. A redução destes valores de THD, entretanto, não pode ser alcançada através do aumento das dimensões do transistor.

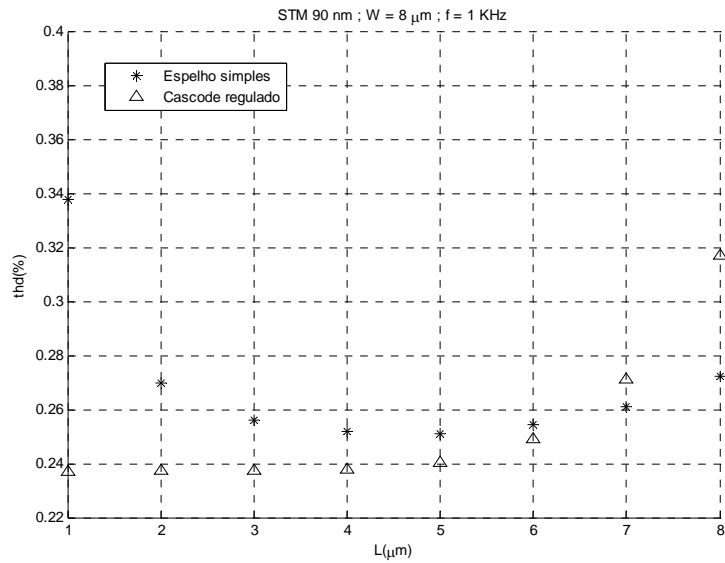


Figura 16 - THD dos espelhos simples e cascode regulado no processo STM 90nm.

5.3 – Espelho de Corrente de Wilson Modificado

O espelho de corrente de Wilson é uma topologia utilizada para realizar compensação da corrente de base quando se utilizam transistores bipolares de junção, TBJ [10]. Uma vez que foram observados sérios problemas no que se refere à corrente de vazamento, realizamos simulações utilizando uma versão modificada do espelho de Wilson, apresentado na Fig. 17, com transistores MOS, a fim de verificar se este realizaria a compensação da corrente de vazamento.

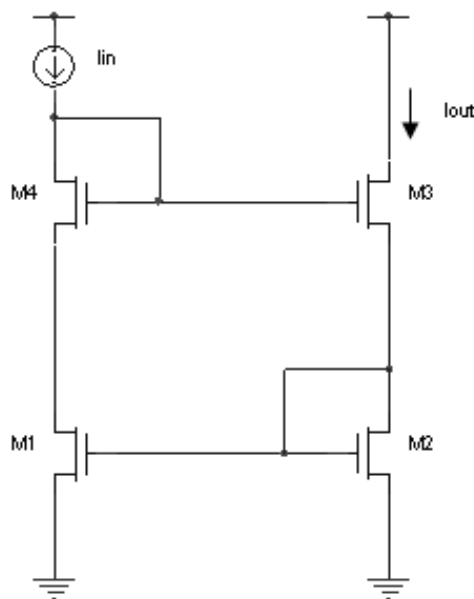


Figura 17 - Espelho de Corrente de Wilson Modificado.

Os resultados obtidos para o espelho de Wilson, indicados na Fig. 18, mostram que a compensação da corrente de vazamento não ocorreu como se esperava. Para o processo de 65nm, onde o vazamento é mais crítico, os resultados foram piores que os obtidos tanto com o espelho simples quanto com o cascode regulado. Para o processo de 90nm os níveis de distorção são equivalentes aos obtidos com o cascode regulado, com a vantagem de utilizar um número menor de transistores.

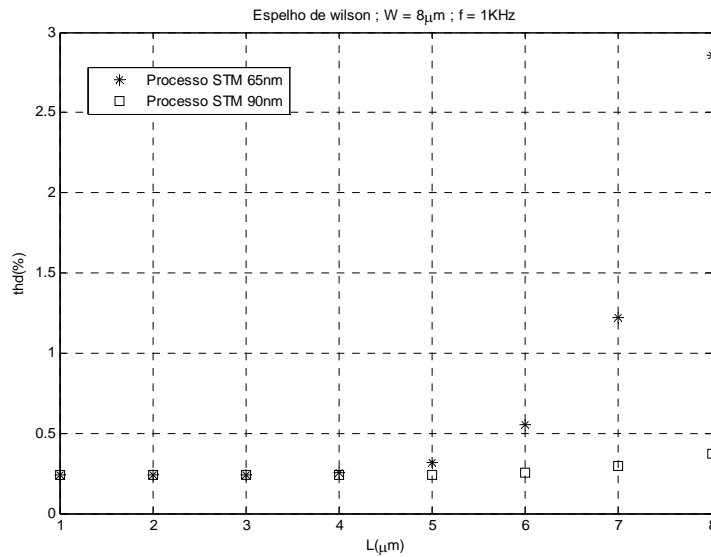


Figura 18 - THD do espelho de Wilson Modificado.

5.4 – Análise em Freqüências Elevadas

A redução do vazamento de corrente pode ser obtida através da redução das dimensões dos transistores empregados no espelho, utilizando-se agora transistores com largura fixa de 1 μm. Essa redução, entretanto, intensifica o efeito de modulação do comprimento de canal, provocando valores altos de THD, conforme mostra a Fig. 19, que também apresenta os resultados obtidos quando utilizamos como corrente de referência um sinal de 1GHz. Nessas condições o funcionamento do transistor é dominado pelo efeito capacitivo que também aumenta em função da área do contato de porta. A compensação desse efeito através da soma da corrente i_{gs} de M1 e M2 à corrente i_{out} é apresentada na Fig. 19, resultado este que, compensado, se aproxima muito do resultado obtido para sinais de freqüência igual a 1KHz, sem a influência do efeito capacitivo.

Embora a diferença entre os valores da espessura do óxido dos dois processos da STM utilizados seja desprezível (1.3nm para o processo de 65nm e 1.6nm para o processo de 90nm), a Fig. 20 mostra que o efeito capacitivo é mais interferente para o processo de 90nm. A compensação da corrente i_{gs} , realizada na frequência de 1GHz, mais uma vez confirma o impacto que esta tem sobre o espelhamento da corrente de referência.

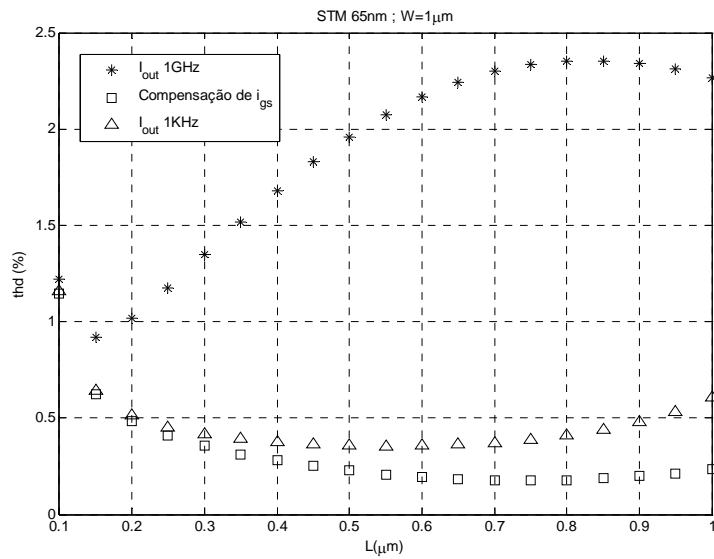


Figura 19 - THD do espelho simples no processo STM 65nm.

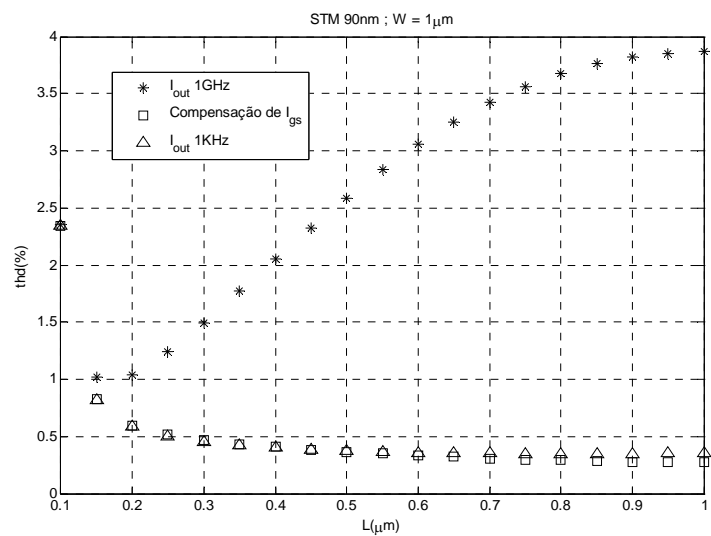


Figura 20 - THD do espelho simples no processo STM 90nm.

Para o processo de $0.35\mu\text{m}$ o efeito capacitivo também interfere fortemente no espelhamento da corrente de referência. Novamente, a compensação da corrente i_{gs} , agora em 5MHz, confirma o impacto do efeito capacitivo na THD do sinal de saída do espelho.

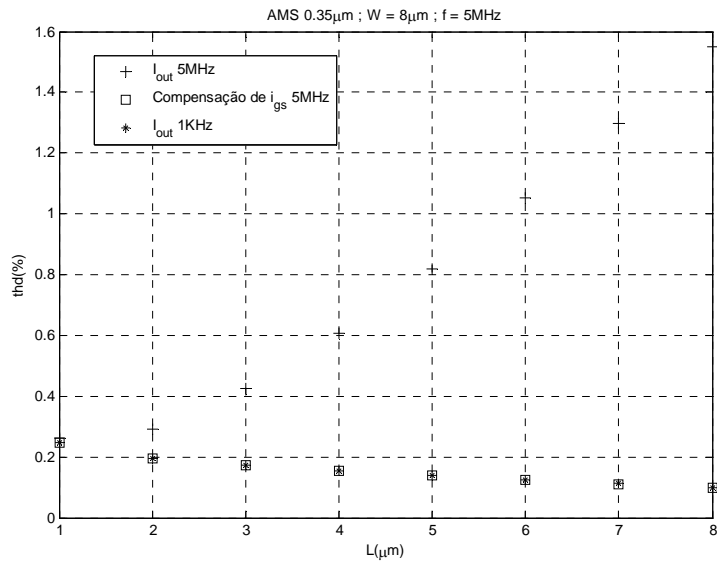


Figura 21 - THD do espelho simples no processo AMS $0.35\mu\text{m}$.

Capítulo 6

Conclusão

Embora o efeito de modulação do comprimento de canal seja extremamente prejudicial para o espelhamento de correntes, o simples aumento do comprimento dos transistores pode reduzir significativamente o impacto desse efeito e, conseqüentemente, os níveis de THD do sinal de saída para o processo de $0.35\mu\text{m}$. Esta opção, entretanto, tem como desvantagem o aumento significativo da área do circuito, que pode atingir dimensões demasiadamente grandes, dependendo do nível de distorção que se deseja alcançar.

Quando se trabalha com sinais de altas frequências, entretanto, o aumento do comprimento dos transistores amplifica o efeito capacitivo que acaba por suprimir os benefícios alcançados com a atenuação do efeito de modulação de canal, levando a corrente de saída a níveis de distorção extremamente elevados.

Ainda para o processo de $0.35\mu\text{m}$ o espelho de corrente cascode regulado, através da redução do efeito de modulação de canal, apresentou resultados significativamente melhores que o espelho de corrente simples. Tal benefício foi obtido sem prejuízo da área, que, embora conte com um número maior de transistores, pode ser menor que a área total do espelho de corrente simples para níveis equivalentes de distorção harmônica. Essa topologia de espelho permite ainda, ao custo de áreas maiores, a obtenção de valores de THD significativamente menores que aqueles obtidos com o espelho simples. Essa é uma opção importante no caso de projetos que requeiram tais níveis de distorção. Observamos ainda que os valores de THD apresentados dizem respeito a um único espelho de corrente. Essa quantidade pode ser bem maior em um circuito completo, elevando consideravelmente a distorção harmônica total do circuito. Dessa forma, quaisquer reduções dos níveis de distorção que se consigam para um espelho podem representar melhoras significativas para o circuito completo.

No que se refere aos processos nanométricos da STM investigados neste trabalho, a redução do comprimento mínimo dos transistores vem acompanhada de novos cuidados a serem tomados pelo projetista de circuitos integrados. O efeito de vazamento de corrente de porta, que influencia principalmente no consumo e energia de

circuitos digitais, pode ser extremamente prejudicial em projetos de circuitos analógicos.

Nas topologias de espelhos consideradas, a corrente de vazamento é drenada da corrente que se deseja espelhar, distorcendo a corrente de referência do circuito e, conseqüentemente, a corrente de saída.

O aumento do comprimento dos transistores, embora diminua o efeito de modulação do comprimento de canal, acaba por intensificar os níveis de corrente de vazamento, tornando o seu impacto no espelhamento de corrente superior ao da modulação do comprimento de canal.

A corrente de vazamento ocorre quando se trabalha com sinais de frequência inferiores a f_{porta} , específica em cada tecnologia de processos nanométricos. Circuitos que operam em frequências superiores à f_{porta} , embora não estejam sujeitos ao vazamento de corrente, podem ter seu funcionamento comprometido pelo efeito capacitivo, também dependente da área.

O espelho de corrente cascode regulado não sustenta, em processos nanométricos, os resultados satisfatórios obtidos com o processo de $0.35\mu\text{m}$. Embora essa topologia de espelho minimize o efeito de modulação de canal, o acréscimo de transistores no circuito aumenta o vazamento de corrente, gerando níveis de distorção maiores que os obtidos para o espelho simples no processo de 65nm e níveis equivalentes para o de 90nm . Mesmo quando se trabalhou com dimensões menores, a fim de se reduzir o vazamento de corrente, o espelho cascode regulado apresentou resultados equivalentes ao do espelho simples para o processo de 65nm .

O Espelho de Corrente de Wilson Modificado, utilizado para compensação da corrente de base em transistores bipolares, apresentou resultados piores para o processo de 65nm , tanto em relação ao espelho simples quanto ao cascode regulado. Para o processo de 90nm os resultados são semelhantes aos obtidos com o cascode regulado, utilizando-se, porém, um número menor de transistores.

O modelo matemático considerando a estimativa da corrente de vazamento é mais preciso do que o modelo sem a consideração de i_{gs} para o processo de 90nm . Quando o vazamento de corrente é mais crítico, como no processo de 65nm , a corrente de saída calculada sofre interferência tanto da corrente de vazamento quanto dos valores distorcidos de λ , fornecendo resultados de precisão menor que aqueles obtidos com o modelo matemático sem considerar a estimativa de i_{gs} .

Investigações futuras através de modelos mais precisos podem ser úteis para a confirmação das observações feitas a partir dos resultados simulados e do modelo de nível 1 utilizado neste trabalho.

O projeto de espelhos de corrente passa a demandar maiores cuidados em processos nanométricos. Para espelhamento de sinais de baixas ou altas frequências, deve-se procurar minimizar as dimensões dos transistores, observando ainda que dispositivos de canal muito curto podem tornar o efeito de modulação de canal mais expressivo que o vazamento de corrente ou o efeito capacitivo. Desta forma, deve-se procurar valores ótimos para as dimensões dos transistores, onde se mantém um compromisso entre baixo impacto do efeito de modulação de canal e baixos níveis de corrente de vazamento. A ocorrência desses valores ótimos para as dimensões dos transistores pode ser observada nos resultados de THD obtidos para o espelho simples nos processos de 65nm e 90nm da STM apresentados na Seção 5.1. Outras topologias que requerem maior número de transistores devem ser analisadas com maior atenção, já que estas, embora utilizem dimensões menores, podem intensificar tanto o vazamento de corrente quanto o efeito capacitivo.

Pesquisas têm sido feitas no meio científico buscando o desenvolvimento de novos materiais que possam substituir o dióxido de silício [3], utilizado como isolante do contato de porta dos transistores MOS, já que este, para espessuras de óxido menores que 2nm tem se mostrado ineficiente para o isolamento de elétrons ou buracos.

Enquanto isso, os resultados apresentados neste trabalho se constituem como referência para os novos desafios e cuidados que demandam o projeto de circuitos integrados analógicos.

Bibliografia

- [1] E. Bruun, “Worst Case Estimate of Mismatch Induced Distortions in Complementary CMOS Current Mirrors”, *IEEE Electron. Lett.*, v. 34, n. 17, pp. 1625-1627, December 1998.
- [2] E. Bruun, “Harmonic Distortion in CMOS Current Mirrors”. In: *Proc. IEEE International Symposium on Circuits and Systems – ISCAS’98*, v. 1, pp. 567-570, 1998.
- [3] B. Wong et al, "Nano-CMOS Circuit and Physical Design", Wiley, 2005.
- [4] Y. Tsividis, Operation and Modeling of the MOS Transistor. Oxford, 1999.
- [5] D. Johns e K. Martin, Analog integrated circuit design. John Wiley & Sons, 1997.
- [6] B. Razavi, Design of Analog CMOS Integrated Circuits, McGraw-Hill, 2001.
- [7] A.J. Annema, B. Nauta, R. van Langevelde e H. Tuinhou, “Analog circuits in ultra-deep-submicron CMOS”, *IEEE J. solid-state circ.*, Jan. 2005, pp. 132-143.
- [8] R. van Langevelde, A.J. Scholten, R. Duffy, F. N. Cubaynes, M. J. Knitel e D. B. M. Klassen, “Gate Current: Modeling, ΔL extraction and impact on RF performance”, in *IEDM Tech. Dig.*, 2001, pp. 289-292.
- [9] P. M. Ferreira, *Instrumentação de Sensores de Imagem IR InGaAs P-I-N QWIP em Modo de Corrente*, Dissertação de Mestrado, Universidade Federal do Rio de Janeiro, COPPE, 2008.
- [10] Sedra, Smith, Microelectronics Circuits, Makron Books, 2000.