

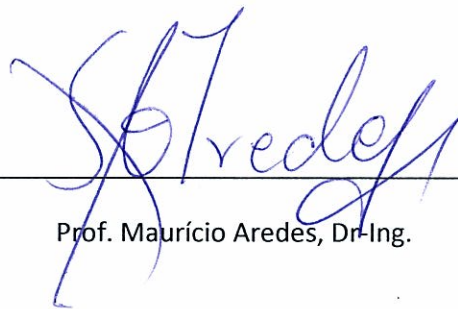
ESTUDO COMPARATIVO DE ALGORITMOS DE SINCRONIZAÇÃO COM APLICAÇÕES EM  
ELETRÔNICA DE POTÊNCIA

Leon Marcel Oliveira de Mesquita

PROJETO SUBMETIDO AO CORPO DOCENTE DO DEPARTAMENTO DE ENGENHARIA ELÉTRICA  
DA ESCOLA POLITÉCNICA DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS  
REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE ENGENHEIRO ELETRICISTA.

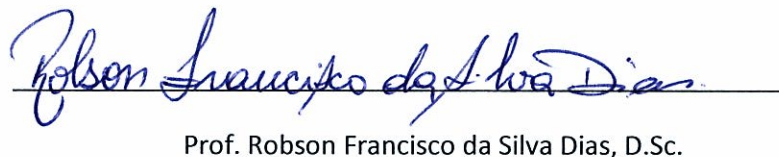
Aprovado por:

Orientador:



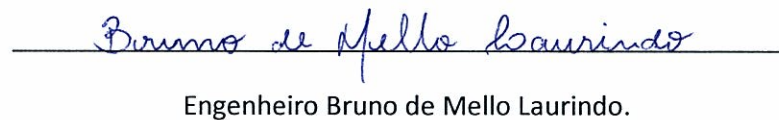
Prof. Maurício Aredes, Dr-Ing.

Examinador:



Prof. Robson Francisco da Silva Dias, D.Sc.

Examinador:



Engenheiro Bruno de Mello Laurindo.

RIO DE JANEIRO, RJ – BRASIL

NOVEMBRO DE 2011



# Agradecimentos

Primeiramente gostaria de agradecer a meus pais, Mauro Loiola de Mesquita e Ivania Oliveira de Mesquita, pelo incentivo e carinho que sempre me deram. Serei eternamente grato por me acompanharem ao longo de minha trajetória, me dando conselhos e apoio. Deixo registrada não apenas a reciprocidade do amor e carinho, mas também a minha eterna admiração por vocês.

Professor e orientador Mauricio Aredes, obrigado pelo convite para trabalhar no LEMT e pela motivação que adquiri ao longo das aulas de eletrônica de potência. Muito obrigado pela sua orientação e conselhos que guiaram no desenvolvimento deste estudo. Não deixando de mencionar os bons momentos de descontração e confraternização.

Professor Robson Dias, muito obrigado por seus conselhos e orientações técnicas que contribuíram enormemente para o desenvolvimento e execução deste trabalho. Ao engenheiro Bruno de Mello Laurindo minha gratidão pelas discussões e sugestões que foram de grande valia para a execução deste trabalho e para me auxiliar nesta importante etapa.

Meus sinceros agradecimentos à família LEMT, sem exceções. Obrigado a todos pela contribuição direta ou indireta para a conclusão deste trabalho. Não agradeço apenas pelas sugestões e possíveis “dicas” que recebi ao longo deste trajeto. Agradeço, também, pelos momentos de descontração, pelas risadas e pelos momentos que solidificam a idéia de uma verdadeira equipe.

*“Não me sinto obrigado a acreditar que o mesmo Deus que nos dotou de sentidos, razão e intelecto, pretenda que não os utilizemos”*

*Galileu Galilei*

Resumo do Projeto Final apresentado ao DEE/UFRJ como parte dos requisitos necessários para obtenção do grau de Engenheiro Eletricista.

## ESTUDO COMPARATIVO DE ALGORITMOS DE SINCRONIZAÇÃO COM APLICAÇÕES EM ELETRÔNICA DE POTÊNCIA

Leon Marcel Oliveira de Mesquita

Novembro/2011

Orientador: Maurício Aredes

Este trabalho apresenta um estudo comparativo sobre algoritmos de sincronização aplicados em eletrônica de potência. Inicialmente, aspectos sobre PLLs (*Phase Locked Loops*) e sistemas de sincronização monofásicos são abordados. O PLL com gerador de sinais em quadratura, configurações SOGI (*Second Order Generalized Integrator*) e o EPLL (*Enhanced Phase Locked Loop*) são sistemas apresentados no estudo dos algoritmos monofásicos. Resultados de simulações são apresentados para a análise e constatação de conceitos teóricos.

Com base nos conceitos apresentados de algoritmos monofásicos, os seguintes sistemas de sincronização trifásicos são estudados: q-PLL, *Optimized Dual SOGI-FLL* e DEPLL. O funcionamento destes algoritmos será observado com o auxílio de simulações. Conceitos relacionados à Teoria pq, detecção de sequência positiva e ajuste de controladores PI também serão tratados neste trabalho.

Os algoritmos de sincronização trifásicos analisados são submetidos a testes comparativos através de simulações para diferentes condições de rede. As simulações tanto para a observação do funcionamento dos algoritmos quanto para a análise comparativa são feitas com a utilização do simulador PSCAD EMTDC. Os resultados da análise comparativa permitem a obtenção de conclusões sobre as condições de rede para as quais a aplicação de um ou de outro algoritmo pode ser mais adequada.

Abstract of Final Project presented to DEE/UFRJ as a partial fulfillment of the requirements for the degree of Electrical Engineer.

## COMPARATIVE STUDY OF SYNCHRONIZATION ALGORITHMS WITH APPLICATIONS IN POWER ELECTRONIS

Leon Marcel Oliveira de Mesquita

November/2011

Advisor: Mauricio Aredes

This work presents a comparative study of synchronization algorithms applied to power electronics. Initially, some aspects about PLLs (Phase Locked Loops) and single-phase synchronization systems are discussed. The PLL with quadrature signals generation, SOGI (Second Order Generalized Integrator) and the EPLL (Enhanced Phase Locked Loop) are systems presented in the study of single-phase synchronization algorithms. Simulations results are presented for the analysis and confirmation of theoretical concepts.

Based on the presented single-phase synchronization algorithms, the following three-phase synchronization systems are studied: q-PLL, *Optimized Dual SOGI-FLL* and DEPLL. The operation of these algorithms is observed through simulations. Concepts of pq Theory, positive sequence detection and PI controllers adjustment are also treated in this work.

The analyzed three-phase synchronization algorithms are comparatively tested through simulations for different grid conditions. The observation of the operation and the comparative tests are done through the utilization of the PSCAD EMTDC simulator. The comparative analysis results allow the elaboration of conclusions concerning the grid conditions for which the application of one or another algorithm is more suitable.

# Sumário

<b>LISTA DE FIGURAS.....</b>	<b>viii</b>
<b>LISTA DE TABELAS.....</b>	<b>xii</b>
<b>CAPÍTULO 1 - INTRODUÇÃO.....</b>	<b>1</b>
1.1 Motivação.....	2
1.2 Objetivo.....	2
1.3 Estrutura do Texto.....	2
<b>CAPÍTULO 2 - ALGORITMOS DE SINCRONIZAÇÃO MONOFÁSICOS.....</b>	<b>4</b>
2.1 Linearização do PLL para pequenos sinais.....	9
2.1.1 Modelo Linearizado.....	9
2.1.2 Função de transferência e parâmetros de desempenho do modelo linearizado para pequenos sinais.....	10
2.2 Geração de sinais em quadratura.....	12
2.3 Configurações SOGI, SOGI-QSG e SOGI-FLL.....	17
2.3.1 SOGI ( <i>Second order Generalized Integrator</i> ).....	17
2.3.2 SOGI-QSG.....	18
2.3.3 SOGI-FLL.....	21
2.3.4 Análise analítica do SOGI-FLL .....	23
2.3.5 Estabilidade local do FLL.....	24
2.3.6 Ajuste do FLL.....	26
2.4 <i>Adaptive Notch Filter</i> (ANF).....	28

2.5 EPLL ( <i>Enhanced Phase Locked Loop</i> ) .....	25
<b>CAPÍTULO 3 - ALGORITMOS DE SINCRONIZAÇÃO TRIFÁSICOS.....</b>	<b>36</b>
3.1 Transformadas de Clarke.....	37
3.2 Conceitos sobre a Teoria pq.....	39
3.3 A Detectores de sequência positiva.....	41
3.4 Ajuste de controladores PI.....	45
3.4.1 Degrau de Frequência x Degrau de Fase.....	45
3.4.2 Filtragem x Resposta Transitória.....	51
3.5 q-PLL.....	51
3.6 <i>Optimized Dual SOGI-FLL</i> .....	57
3.7 DEPLL.....	59
<b>CAPÍTULO 4 - ANÁLISE COMPARATIVA.....</b>	<b>64</b>
4.1 Testes de Performance.....	67
4.1.1 Teste de Distorção Harmônica.....	67
4.1.2 Teste de Degrau de Fase.....	70
4.1.3 Teste de Degrau de Frequência.....	74
4.1.4 Teste de Distorção Subarmônica.....	78
4.1.5 Teste de Desequilíbrio.....	81
4.2 Síntese dos Resultados.....	86
<b>CAPÍTULO 5 - COMENRÁRIOS FINAIS E CONCLUSÕES.....</b>	<b>88</b>
<b>REFERÊNCIAS BIBLIOGRÁFICAS.....</b>	<b>89</b>



# Lista de Figuras

Figura 2.1: Estrutura básica de estágios de um PLL.....	5
Figura 2.2: PLL simples.....	6
Figura 2.3: Sinal de entrada do PLL.....	8
Figura 2.4: Sinal de saída do PLL comparado com o sinal de entrada.....	8
Figura 2.5: Frequência estimada pelo PLL.....	8
Figura 2.6: Componente de dupla frequência.....	9
Figura 2.7: Modelo Linearizado.....	10
Figura 2.8: PLL com gerador de sinais em quadratura.....	13
Figura 2.9: SOGI empregado como gerador de sinais em quadratura.....	14
Figura 2.10: Sinais de entrada e de saída do PLL com gerador de sinais em quadratura....	15
Figura 2.11: Erro do PLL com gerador de sinais em quadratura em p.u.....	15
Figura 2.12: Erro de estimação de frequência do PLL com gerador de sinais em quadratura.....	16
Figura 2.13: Sinais em quadratura do SOGI presente no bloco PD do PLL.....	16
Figura 2.14: Configuração SOGI.....	17
Figura 2.15: Configuração SOGI-QSG.....	18
Figura 2.16: Diagramas de Bode referentes a $D(s)$ .....	19
Figura 2.17: Diagramas de Bode referentes a $Q(s)$ .....	19
Figura 2.18: Resposta livre do SOGI-QSG.....	20

Figura 2.19: SOGI-FLL.....	21
Figura 2.20: Diagramas de Bode de $E_v(s)$ e $QV'(s)$ .....	22
Figura 2.21: Modelo linearizado do SOGI-FLL.....	26
Figura 2.22: SOGI-FLL com normalização de ganho.....	27
Figura 2.23: <i>Adaptive Notch Filter</i> I.....	28
Figura 2.24: Saída do <i>Adaptive Notch Filter</i> I com o sinal de entrada e o sinal do bloco oscilador em fase.....	29
Figura 2.25: Saída do <i>Adaptive Notch Filter</i> I com defasagem de $30^\circ$ entre o sinal de entrada e o sinal do bloco oscilador.....	29
Figura 2.26: <i>Adaptive Notch Filter</i> II.....	30
Figura 2.27: Saída do <i>Adaptive Notch Filter</i> II com defasagem de $30^\circ$ entre o sinal de entrada e o sinal do bloco oscilador.....	31
Figura 2.28: Saída do ANF II com o sinal de entrada e o sinal do bloco oscilador em fase.....	31
Figura 2.29: EPLL.....	33
Figura 2.30: Sinal de entrada no EPLL.....	34
Figura 2.31: Saída do EPLL comparada com o sinal de entrada.....	35
Figura 2.32: Fase do sinal de entrada do EPLL.....	35
Figura 3.1: Transformada de Clarke.....	38
Figura 3.2: Fasores de tensão e corrente.....	40
Figura 3.3: Potências p e q.....	41
Figura 3.4: Componentes de Fortescue.....	42
Figura 3.5: Detector de sequências baseado em ISC.....	44
Figura 3.6: Controlador PI utilizado como bloco <i>Loop Filter</i> .....	45
Figura 3.7: Modelo linearizado do PLL no domínio da frequência.....	46

Figura 3.8: Localização dos pólos em função de ajustes de parâmetros do controlador PI.....	50
Figura 3.9: Configuração q-PLL.....	52
Figura 3.10: Instante de estabilização do q-PLL.....	53
Figura 3.11: Estrutura q-PLL com detector de sequência positiva.....	54
Figura 3.12: Sinal de entrada do q-PLL.....	55
Figura 3.13: Saída do q-PLL indicando as tensões de sequência positiva.....	56
Figura 3.14: Fase e sequência positiva detectados pelo q-PLL.....	56
Figura 3.15: <i>Optimized Dual</i> SOGI-FLL.....	57
Figura 3.16: Sinal de entrada do <i>Optimized Dual</i> SOGI-FLL.....	58
Figura 3.17: Sequência positiva detectada pelo <i>Optimized Dual</i> SOGI-FLL.....	58
Figura 3.18: Sequência negativa detectada pelo <i>Optimized Dual</i> SOGI-FLL.....	59
Figura 3.19: Estrutura EPLL modificado.....	60
Figura 3.20: DEPLL.....	61
Figura 3.21: Sinal de entrada do DEPLL.....	62
Figura 3.22: Sequência positiva detectada pelo DEPLL.....	62
Figura 3.23: Fase e sequência positiva detectados pelo DEPLL.....	63
Figura 4.1: Comparação entre os erros dos algoritmos durante o teste de distorção harmônica.....	68
Figura 4.2: Frequência estimada no teste de distorção harmônica.....	68
Figura 4.3: Referência de sequência positiva $v_{refa+}$ e a fase $va+$ de sequência positiva detectada no teste de distorção harmônica.....	69
Figura 4.4: Diferença entre a referência de sequência positiva e a fase $va+$ detectada no teste de distorção harmônica.....	70

Figura 4.5: Comparação entre os erros dos algoritmos durante o teste de degrau de fase.....	71
Figura 4.6: Erros em detalhes no teste de degrau de fase a partir de $t = 1s$ .....	71
Figura 4.7: Erros em detalhes no teste de degrau de fase a partir de $t = 4s$ .....	72
Figura 4.8: Frequência estimada no teste de degrau de fase .....	72
Figura 4.9: Referência de sequência positiva $v_{refa+}$ e a fase $va+$ de sequência positiva estimada no teste de degrau de fase a partir de $t = 1s$ .....	73
Figura 4.10: Referência de sequência positiva $v_{refa+}$ e a fase $va+$ de sequência positiva estimada no teste de degrau de fase a partir de $t = 4s$ .....	74
Figura 4.11: Erros dos algoritmos durante o teste de degrau de frequência .....	75
Figura 4.12: Frequência em detalhes no teste de degrau de frequência para $t = 1s$ .....	75
Figura 4.13 Frequência em detalhes no teste de degrau de frequência para $t = 4s$ .....	76
Figura 4.14: Referência de sequência positiva $v_{refa+}$ e a fase $va+$ de sequência positiva estimada no teste de degrau de frequência a partir de $t = 1s$ .....	77
Figura 4.15: Referência de sequência positiva $v_{refa+}$ e a fase $va+$ de sequência positiva estimada no teste de degrau de frequência a partir de $t = 4s$ .....	77
Figura 4.16: Comparação entre os erros dos algoritmos durante o teste de distorção subarmônica .....	78
Figura 4.17: Frequência estimada no teste de distorção subarmônica.....	79
Figura 4.18: Referência de sequência positiva $v_{refa+}$ e a fase $va+$ de sequência positiva detectada no teste de distorção subarmônica.....	80
Figura 4.19: Diferença entre a referência de sequência positiva e a fase $va+$ detectada no teste de distorção subarmônica.....	80
Figura 4.20: Comparação entre os erros dos algoritmos durante o teste de desequilíbrio ..	81
Figura 4.21: Frequência estimada no teste de desequilíbrio .....	82
Figura 4.22: Referência de sequência positiva $v_{refa+}$ e a fase $va+$ de sequência positiva detectada no teste de desequilíbrio.....	83
Figura 4.23: Diferença entre a referência de sequência positiva e a fase $va+$ detectada no teste de desequilíbrio.....	83

# Lista de Tabelas

Tabela 4.1: Ganhos utilizados nos testes.....	84
Tabela 4.2: $t_s$ e P.O para teste de degrau de fase.....	84
Tabela 4.3: $t_s$ e P.O para teste de degrau de frequência.....	84
Tabela 4.4: Erros em regime permanente.....	84
Tabela 4.5: Erro de estimação de frequência.....	84
Tabela 4.6: Erro de detecção de sequência positiva.....	85

# 1. Introdução

O avanço da eletrônica de potência tem propiciado grandes contribuições para soluções relacionadas à qualidade e transmissão de energia. Estas contribuições podem ser exemplificadas pelo desenvolvimento de compensadores estáticos, a utilização de filtros ativos decorrentes do aumento quantidade de cargas não lineares em redes de média tensão, e a aplicação de retificadores e inversores em sistemas de potência.

Para a adequada operação destes dispositivos, dentre outros requisitos, é necessário detectar a fase da componente fundamental de sinais de tensão e/ou de corrente. Logo, faz-se necessária a utilização de algoritmos para o desempenho desta função.

O PLL (*Phase Locked Loop*) é um sistema de sincronização cuja função é gerar um sinal de sincronismo em fase com o sinal da componente fundamental do sinal de entrada. Em aplicações de sistemas de potência, algoritmos de PLL trifásicos eventualmente apresentam blocos detectores de sequência positiva e negativa em suas saídas, como será visto o longo deste estudo.

Nesse estudo será apresentada a performance de três algoritmos de sincronização trifásicos com detectores de sequência positiva. Cada um dos algoritmos tem características diferentes de implementação: a primeira é baseada na Teoria pq [3], a segunda é baseada em SOGIs (*Second Order Generalized Integrators*) [19], e a terceira é baseada em filtros *notch* adaptativos [12]. Estes algoritmos serão submetidos a uma análise comparativa de desempenho feita por meio de simulações computacionais. Será observado para que circunstâncias a escolha de um ou de outro algoritmo pode ser mais adequada.

Inicialmente será feito um estudo detalhado de PLLs e conceitos de algoritmos de sincronização monofásicos convencionais [1], [8] e [12], que servem de base para a análise dos sistemas de sincronização trifásicos. São apresentadas análises qualitativas e quantitativas de PLLs monofásicos convencionais, visando esclarecer detalhes operativos e de ajuste cuja aplicação é estendida para os sistemas trifásicos vistos

posteriormente. Ao longo deste estudo de algoritmos de sincronização monofásicos, simulações computacionais são utilizadas para análise, exemplificação e constatação de conclusões teóricas desenvolvidas.

## **1.1 Motivação**

Os PLLs e os algoritmos de sincronização são de grande importância para a operação adequada de variados tipos de dispositivos baseados em eletrônica de potência. Por estas razões, sua compreensão qualitativa e quantitativa é fundamental para estudos e para a execução de variados projetos com foco nesta área.

A falta de uma fonte de consulta que contenha a apresentação de diferentes tipos de algoritmos de sincronização motiva o desenvolvimento deste trabalho, que pode servir como uma referência para estudantes e profissionais que anseiam adquirir conhecimentos sobre este assunto.

Existem variados tipos de algoritmos de sincronização monofásicos e trifásicos aplicados em eletrônica de potência. Estes algoritmos, apesar de apresentarem as mesmas finalidades do ponto de vista de controle, apresentam diferentes performances dependendo dos tipos de perturbação na rede da qual seus sinais de entrada são provenientes.

O conhecimento das características gerais de desempenho de sistemas de sincronização trifásicos submetidos a diferentes condições de rede é de grande valia para a seleção da configuração mais apropriada a ser empregada em projetos específicos. Por esta razão, a execução de uma análise comparativa entre diferentes algoritmos pode auxiliar estudantes e profissionais na seleção do tipo de configuração a ser utilizada frente a diferentes condições de rede.

## 1.2 Objetivo

Além das análises comparativas entre os algoritmos de sincronização trifásicos já citados, este trabalho tem como objetivo servir como uma fonte de consulta. Discussões teóricas e resultados de simulações são apresentados para auxiliar na compreensão de configurações de algoritmos monofásicos, seja para fins didáticos, seja para o auxílio na escolha de algoritmos de sincronização a serem aplicados em projetos específicos.

## 1.3 Estrutura do Texto

O texto está organizado em cinco capítulos, incluindo a introdução, em que estão contidas considerações gerais sobre algoritmos de sincronização e os objetivos do estudo. No capítulo 2 há discussões e esclarecimentos fundamentais sobre o PLL e sistemas de sincronização monofásicos. Inicialmente é apresentada a estrutura básica de um PLL. Em seguida, algoritmos de sincronização monofásicos são analisados, tendo seus fundamentos esclarecidos em análises qualitativas e quantitativas. Simulações são utilizadas para ilustrar conceitos e a operação de algoritmos apresentados. As estruturas de sincronização monofásicas apresentadas nestes capítulos são o PLL com gerador de sinais em quadratura, configurações SOGI (*Second Order Generalized Integrator*)[19] e o EPLL (*Enhanced Phase Locked Loop*)[8].

No capítulo 3 são apresentados os sistemas de sincronização trifásicos: q-PLL [10], DEPLL [19], e *Optimized Dual SOGI-FLL* [2]. Os conceitos estudados nos capítulos precedentes são utilizados para a análise destes algoritmos. Simulações são apresentadas para exemplificar sua operação. Nesta etapa também são apresentados conceitos relacionados à Teoria pq que são importantes na compreensão dos fundamentos do q-PLL.

Após a apresentação das estruturas trifásicas, no capítulo 4 simulações são efetuadas com o intuito de se observar o comportamento dinâmico destes algoritmos frente a diferentes condições de rede. Neste mesmo capítulo, os resultados simulados são analisados e conclusões são obtidas a partir desta análise. No capítulo 5 são apresentados comentários e conclusões quanto aos temas do estudo e os resultados obtidos na análise comparativa.



## **2. Algoritmos de sincronização monofásicos**

*Nesse capítulo serão apresentados conceitos introdutórios sobre PLL e algoritmos de sincronização. Em seguida, estes conceitos serão utilizados como base para a análise de diferentes algoritmos monofásicos. A geração de sinais em quadratura e modelos linearizados serão artifícios de controle também apresentados neste capítulo.*

Existem diversos tipos de algoritmos de PLL e, antes da apresentação de configurações mais elaboradas, é fundamental o estudo da estrutura básica deste tipo de sistema. A Figura 2.1 apresenta uma representação em blocos dos estágios usualmente contidos nos sistemas PLL.

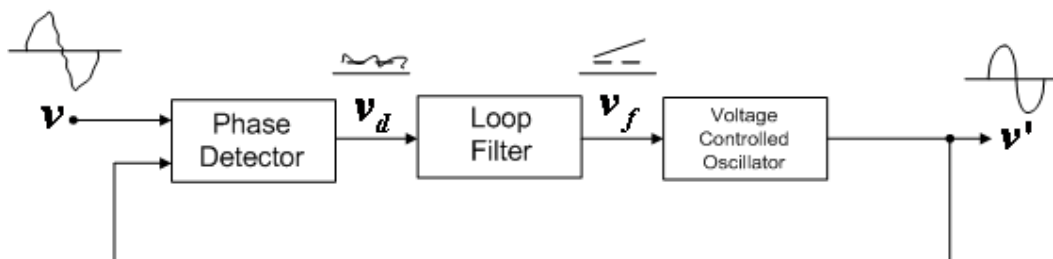


Figura 2.1: Estrutura básica de estágios de um PLL.

- *Phase Detector (PD)* - Fornece o sinal de erro que será entrada do bloco LF.
- *Loop Filter (LF)* - É o bloco em que se encontra o controlador do PLL. Quando em regime o erro em sua entrada é nulo.
- *Voltage Controlled Oscillator (VCO)* - Bloco que cuja saída é a realimentação na entrada do PLL. O erro de saída do bloco PD está relacionado à diferença de fase entre a saída do VCO e o sinal de entrada.

A Figura 2.2 apresenta a estrutura de um PLL padrão, sendo que os blocos referentes a cada estágio têm seus modelos de controle no domínio do tempo. Os algoritmos presentes em cada bloco podem variar dependendo do tipo de PLL utilizado. Suas respectivas finalidades, porém, são as mesmas, ou seja, apesar de possíveis variações na implementação dos algoritmos dos blocos PD, LF e VCO, as suas respectivas funções são preservadas.

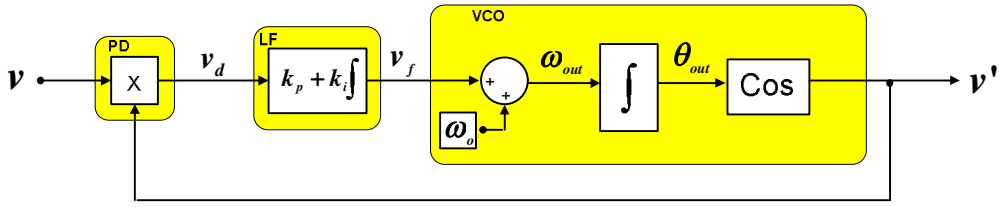


Figura 2.2: PLL simples.

A partir de um sinal de entrada periódico, importantes demonstrações matemáticas relacionadas à dinâmica do PLL são apresentadas a seguir:

Entrada do PD:

$$v = A \sin(\omega_{in}t + \theta_{in}) \quad (2.1)$$

Saída do VCO:

$$v' = \cos(\omega_{out}t + \theta_{out}) \quad (2.2)$$

Saída do PD:

$$v_d = A \sin(\omega_{in}t + \theta_{in}) \cos(\omega_{out}t + \theta_{out}) \quad (2.3)$$

$$v_d = \frac{A}{2} \{ \sin[(\omega_{in} - \omega_{out})t + (\theta_{in} - \theta_{out})] + \sin[(\omega_{in} + \omega_{out})t + (\theta_{in} + \theta_{out})] \} \quad (2.4)$$

Para análise do ponto de vista de controle, há interesse na componente cc do sinal de  $v_d$ . O bloco LF da Figura 2.2 é um controlador PI, que com o ajuste adequado de seus parâmetros pode operar como um filtro passa baixa. Supondo-se que o termo de maior frequência da equação (2.4) seja filtrado pelo bloco LF, a aproximação apresentada na equação (2.5) é válida.

$$\overline{v_d} = \frac{A}{2} \sin((\omega_{in} - \omega_{out})t + (\theta_{in} - \theta_{out})) \quad (2.5)$$

Considerando-se que o PLL está sincronizado aproximadamente na frequência central  $\omega_0$ :

$$\omega_{in} \approx \omega_{out} \quad (2.6)$$

Logo, a equação (2.5) pode ser ainda mais simplificada obtendo-se:

$$\overline{v_d} = \frac{A}{2} \sin(\theta_{in} - \theta_{out}) \quad (2.7)$$

Para que a saída do estágio LF apresente um valor estável em regime, seu valor médio de entrada deve ser nulo. Desta forma, o PLL entrará em regime quando  $\overline{v_d} = 0$ , ou seja,  $\sin(\theta_{in} - \theta_{out}) = 0$ . Será visto mais adiante, com auxílio de simulações, que podem ocorrer erros de estimação de fase caracterizados por oscilações na saída do estágio LF. A operação satisfatória do PLL está, dentre outros requisitos, associada a níveis mínimos de estimação da fase do sinal de entrada, o que é determinado pela saída do bloco LF. A seguir são apresentadas simulações para observação da operação do PLL da Figura 2.2. O programa de simulação utilizado é o PSCAD EMTDC, o valor eficaz da componente fundamental de entrada é 1 p.u e sua frequência é de 50 Hz.

A Figura 2.3 apresenta o sinal de entrada. A Figura 2.4 apresenta a saída do PLL que correspondente à fase do sinal de entrada, em radianos, comparada com o sinal de entrada. A saída do integrador do bloco VCO é monitorada por um bloco de *reset*. A cada ciclo completo de  $2\pi$  radianos o sinal de saída do integrador é zerado. De fato, o intervalo de tempo entre sinais de reset é 20 ms, que corresponde ao período do sinal de entrada. A Figura 2.6 apresenta a frequência estimada em maiores detalhes. Nesta figura observa-se a medição do período do sinal, que é de 10 ms. Isto equivale a uma frequência de 100 Hz, ou seja, o dobro da frequência da componente fundamental de entrada. Esta característica é explicada pela equação (2.4), em que o erro apresenta uma componente oscilante de dupla frequência.

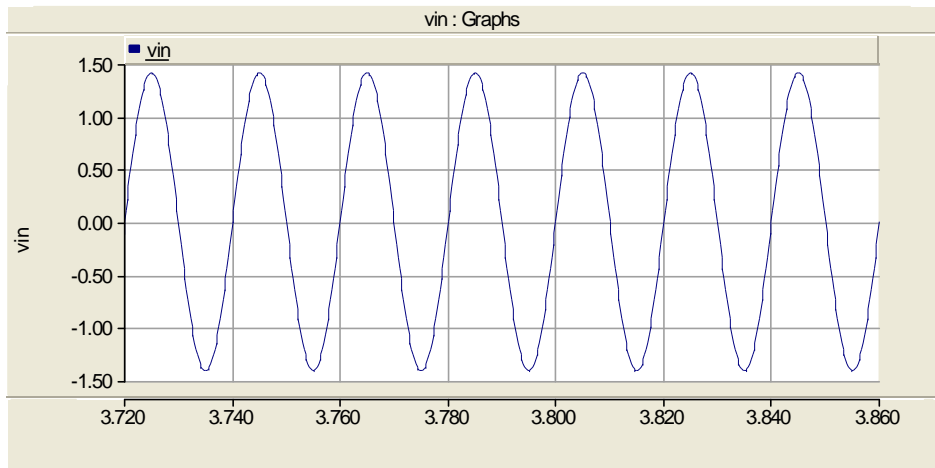


Figura 2.3: Sinal de entrada do PLL.

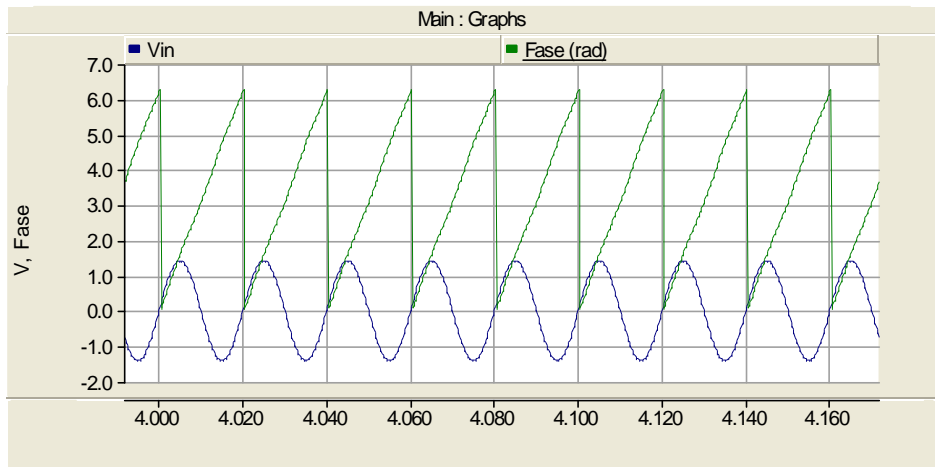


Figura 2.4: Sinal de saída do PLL comparado com o sinal de entrada.

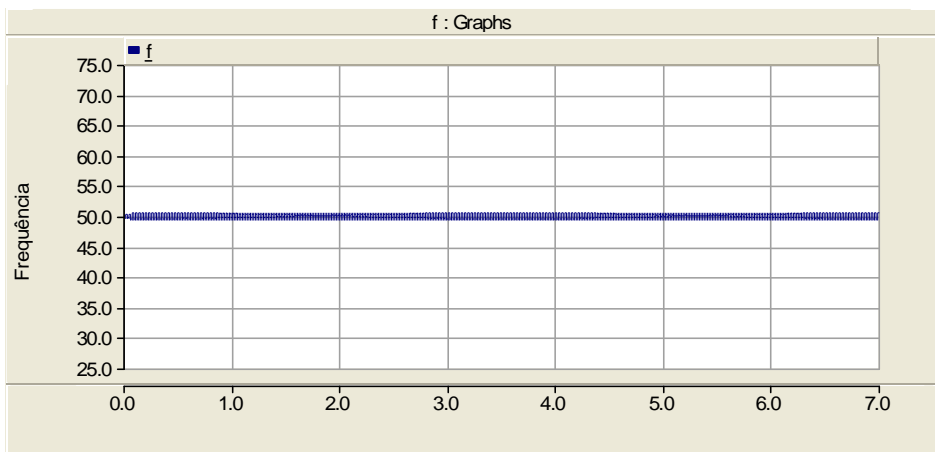


Figura 2.5: Frequência estimada pelo PLL.

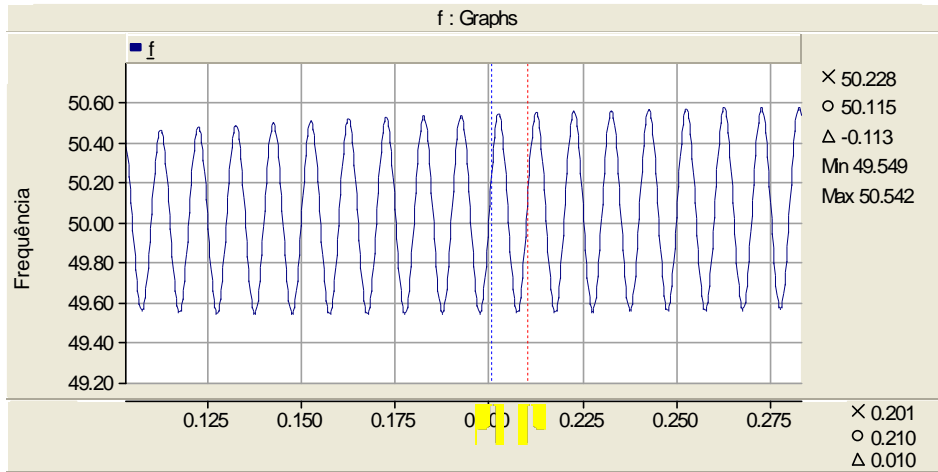


Figura 2.6: Componente de dupla frequência.

## 2.1 Linearização do PLL para pequenos sinais

### 2.1.1 Modelo Linearizado

O modelo linearizado para pequenos sinais [1] do PLL é de grande utilidade na análise quantitativa e na definição dos parâmetros do PLL. Como ponto de partida para a obtenção deste modelo, a equação (2.7) de entrada do LF é aproximada tendo como suposição pequenas variações de fase entre a saída e a entrada:

$$\overline{v_d} = \frac{A}{2} \sin(\theta_{in} - \theta_{out}) \approx K(\theta_{in} - \theta_{out}) \quad (2.8)$$

Tendo-se esta aproximação para  $v_d$  na entrada do controlador PI, o sistema da Figura 2.2 pode então ser representado conforme a Figura 2.7. Esta nova configuração constitui um modelo para um sistema linear de segunda ordem, que poderá ser analisado com base na teoria convencional de controle linear [4].

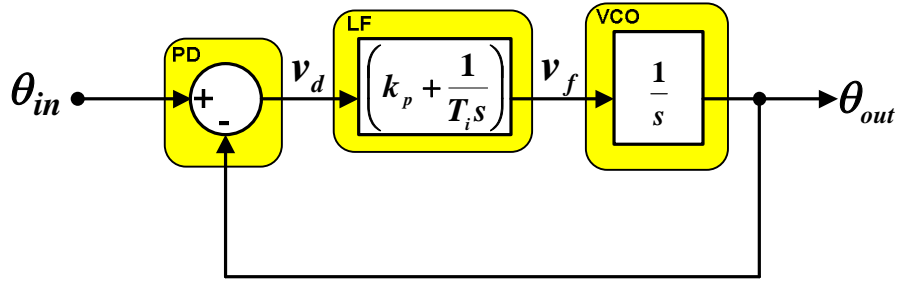


Figura 2.7: Modelo linearizado do PLL no domínio da frequência.

### 2.1.2 Função de transferência e parâmetros de desempenho do modelo linearizado para pequenos sinais

Para início da análise do modelo, são escritas as funções de transferência relacionando  $V_f(s)$  com  $V_d(s)$ , e  $V_f(s)$  com  $\Theta_{out}(s)$ :

$$V_f(s) = \left( k_p + \frac{1}{T_i s} \right) V_d(s), \quad (2.9)$$

$$\Theta_{out}(s) = \frac{1}{s} V_f(s). \quad (2.10)$$

Simplificando-se a equação (2.8) com  $K=1$ ,  $V_d(s)$  é expandida após uma simples inspeção do sistema da Figura 2.7:

$$V_d(s) = (\Theta_{in}(s) - \Theta_{out}(s)) \quad (2.11)$$

Nas expressões acima, a substituição de (2.10) e de (2.11) em (2.9) permite a obtenção da função de transferência do sistema, apresentada em (2.12), sendo  $\frac{1}{T_i} = k_i$ .

$$H_\theta(s) = \frac{\Theta_{out}(s)}{\Theta_{in}(s)} = \frac{k_p s + k_i}{s^2 + k_p s + k_i} \quad (2.12)$$

Considerando-se as atribuições em (2.13), a função de transferência (2.12) pode ser reescrita e observada como uma típica função de transferência para um sistema de segunda ordem com zero. As substituições realizadas anteriormente explicitam os parâmetros usualmente utilizados na teoria de controle para sistemas lineares de segunda ordem, que são  $\omega_n$  e  $\zeta$ . A função de transferência é então representada conforme apresentado em (2.14).

$$\omega_n = \sqrt{k_i}; \zeta = \frac{k_p}{2\sqrt{k_i}} \quad (2.13)$$

$$H_\theta(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (2.14)$$

Por mais que a função de transferência do modelo linearizado apresente um zero em seu numerador, a aproximação para análise de desempenho da resposta transitória do sistema supondo a ausência de zeros é de grande aplicabilidade. Esta aproximação é razoável quando o zero está localizado consideravelmente distante dos pólos do sistema, conforme observado em [15].

Nas aplicações com PLL o valor do ganho do integrador é usualmente bastante alto e, logo, a análise de desempenho como sistema de segunda ordem sem zeros pode ser empregada com uma boa aproximação. Com base na teoria convencional de controle linear, o tempo de acomodação para resposta transitória do sistema de segunda ordem sem zeros é obtido pela equação (2.15) [4]:

$$t_s \approx \frac{4}{\zeta\omega_n} \quad (2.15)$$

O intervalo de bloqueio (*Lock Range*) é, por definição, o desvio máximo da frequência inicial entre referência de entrada e a saída do integrador (VCO) que ainda causará o travamento do PLL para um único passo. Como observado em [17], o intervalo de bloqueio é apresentado na equação (2.16):

$$\Delta\omega_L \approx \omega_n \quad (2.16)$$



O ajuste de uma largura de faixa estreita para o PLL pode causar o seu não travamento na frequência fundamental do sinal de entrada se as seguintes condições ocorrerem simultaneamente:

- O sinal de entrada contiver harmônicos de ordens muito altas ou componentes subarmônicas.
- Uma das componentes harmônicas possuir a frequência próxima ao valor de saída do PI.
- A diferença entre a saída do PI e a frequência fundamental ser maior que o intervalo de bloqueio.

## **2.2 Geração de sinais em quadratura**

A geração de sinais em quadratura melhora o desempenho dinâmico de sistemas PLL [6]. A Figura 2.8 apresenta uma configuração PLL semelhante à apresentada na Figura 2.2, tendo seu bloco PD modificado. No detector de fase, ao invés de ser utilizado o multiplicador presente na estrutura do PLL básico, foi utilizado um gerador de sinais em quadratura associado a operações de multiplicação e soma.

Na literatura encontram-se variados algoritmos para a geração de sinais em quadratura. Na Figura 2.8, no entanto, observam-se apenas suas características usais de entrada e saída. As saídas em quadratura consistem em sinais com amplitude e frequência da componente fundamental do sinal de entrada, o que caracteriza a propriedade de filtragem das componentes harmônicas de maior ordem.

As características operativas do bloco gerador de sinais em quadratura da Figura 2.8 requerem ajustes específicos nos parâmetros de seu algoritmo para que se comporte da forma apresentada. Dependendo do algoritmo empregado para esta finalidade, o ajuste inadequado de parâmetros poderia acarretar saídas com amplitudes diferentes e redução das propriedades de filtragem, por exemplo.

Seguindo-se as operações do algoritmo da Figura 2.8, a expressão correspondente à saída do bloco PD pode ser elaborada. O desenvolvimento da expressão de saída do PD é apresentado nas equações (2.17), (2.18) e (2.19).

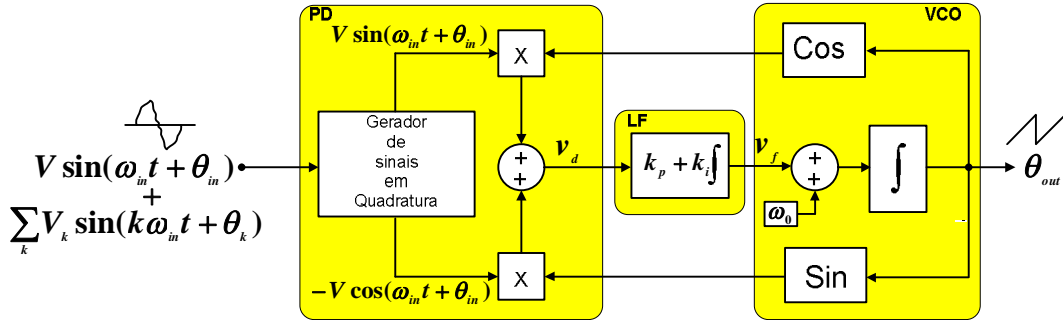


Figura 2.8: PLL com gerador de sinais em quadratura.

$$v_d = V \sin(\omega_{in} t + \theta_{in}) \cos(\omega_{out} t + \theta_{out}) - V \cos(\omega_{in} t + \theta_{in}) \sin(\omega_{out} t + \theta_{out}) = \quad (2.17)$$

$$V \sin[(\omega_{in} - \omega_{out})t + (\theta_{in} - \theta_{out})] \quad (2.18)$$

$$v_d = V \sin(\theta_{in} - \theta_{out}) \quad (2.19)$$

Sabendo-se que  $\sin(\alpha \pm \beta) = \sin(\alpha)\cos(\beta) \pm \cos(\alpha)\sin(\beta)$ , o sinal de saída do PD pôde ser reescrito da maneira como foi elaborado na equação (2.17). Como a frequência central  $\omega_0$  de ajuste do PLL está usualmente próxima da frequência da componente fundamental do sinal de entrada, a equação (2.17) é simplificada conforme apresentado em (2.19).

O que se observa destas deduções é que a geração dos sinais em quadratura acarretou a remoção do termo maior frequência da expressão para  $v_d$ , que é o sinal de excitação do bloco LF do PLL. A remoção desta componente permite melhorias no desempenho do bloco LF, reduzindo perturbações oscilatórias relacionadas às componentes de maiores frequências presentes no valor da frequência angular em sua saída, quando operando em regime.

Devido à maior quantidade de informações disponíveis, a geração de sinais em quadratura pode ser obtida com menos esforço computacional nos sistemas de sincronização trifásicos [2]. Nos sistemas PLL monofásicos, devido à falta de informações disponíveis, a geração de sinais em quadratura é feita “artificialmente” por meio de métodos mais elaborados [1].

As informações aqui mencionadas referem-se à maior disponibilidade de grandezas a serem medidas nos sistemas trifásicos. Sinais em quadratura podem ser obtidos a partir de transformações lineares de correntes e tensões trifásicas, como será visto adiante com a Transformada de Clarke. Para a geração de sinais em quadratura em sistemas de sincronização monofásicos, no entanto, maiores esforços computacionais são exigidos, pois transformações lineares obtidas de medições diretas de grandezas não são suficientes para esta aplicação.

Neste estudo será apresentada a geração de sinais em quadratura para sistemas monofásicos com a utilização do SOGI (*Second Order Generalized Integrator*) [19] devido à sua grande importância para escopo do trabalho. A Figura 2.9 apresenta um sistema PLL baseado na geração de sinais em quadratura simulado no programa PSCAD EMTDC. O bloco de geração de sinais em quadratura é uma estrutura SOGI, que a partir de um sinal de entrada, disponibiliza duas saídas com as mesmas amplitudes da componente fundamental da entrada e defasadas de 90°. O SOGI será analisado em detalhes na próxima seção e, por ora, saber suas características básicas de entrada e de saída é suficiente para observar suas características como gerador de sinais em quadratura. As simulações demonstrativas da operação deste algoritmo são apresentadas nas figuras seguintes. O valor eficaz do sinal de entrada apresentado na Figura 2.10 é 1 p.u e sua frequência fundamental é de 50Hz.

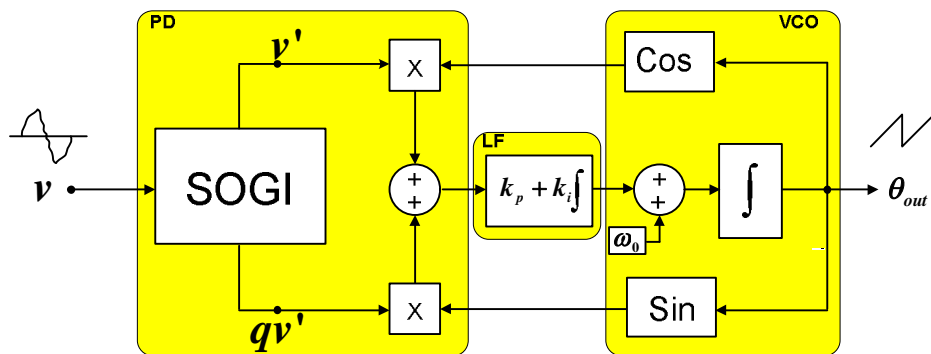


Figura 2.9: SOGI empregado como gerador de sinais em quadratura.

A Figura 2.11 apresenta o sinal de erro presente na entrada do bloco LF. Observa-se que o período deste sinal é de 20 ms, o que equivale a uma frequência de 50 Hz. Isto ilustra a grande vantagem da geração de sinais em quadratura na eliminação das componentes de dupla frequência. Na Figura 2.13 são apresentadas as saídas em quadratura do bloco SOGI, ambas com valor eficaz de 1 p.u e a frequência de 50 Hz.

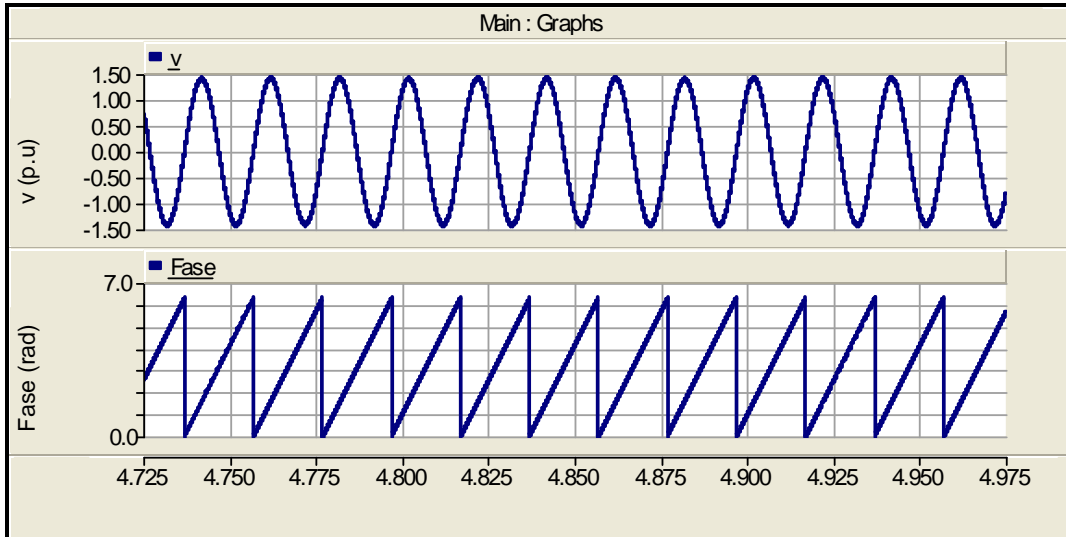


Figura 2.10: Sinais de entrada e saída do PLL com gerador de sinais em quadratura.

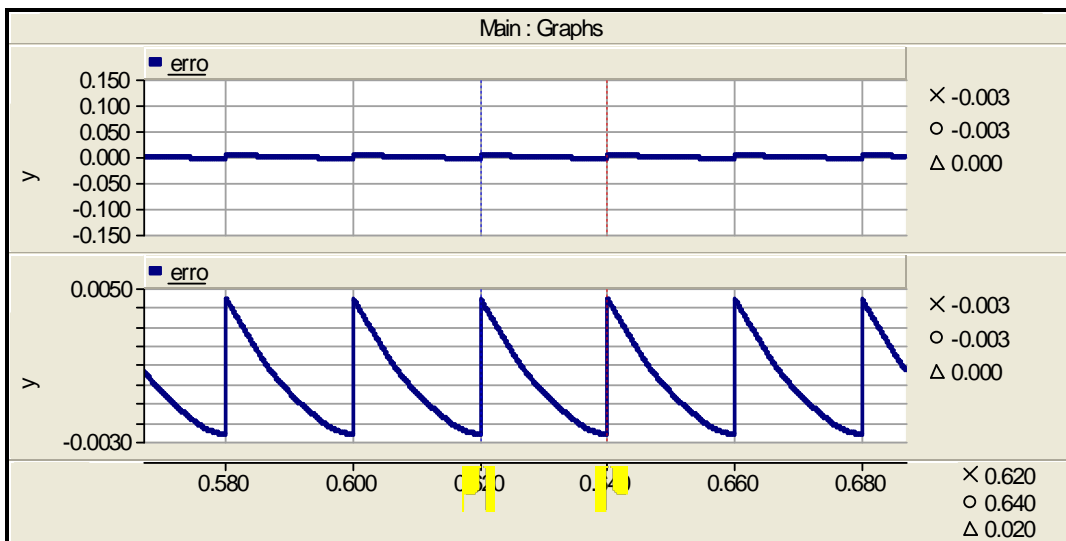


Figura 2.11: Erro do PLL com gerador de sinais em quadratura em p.u.

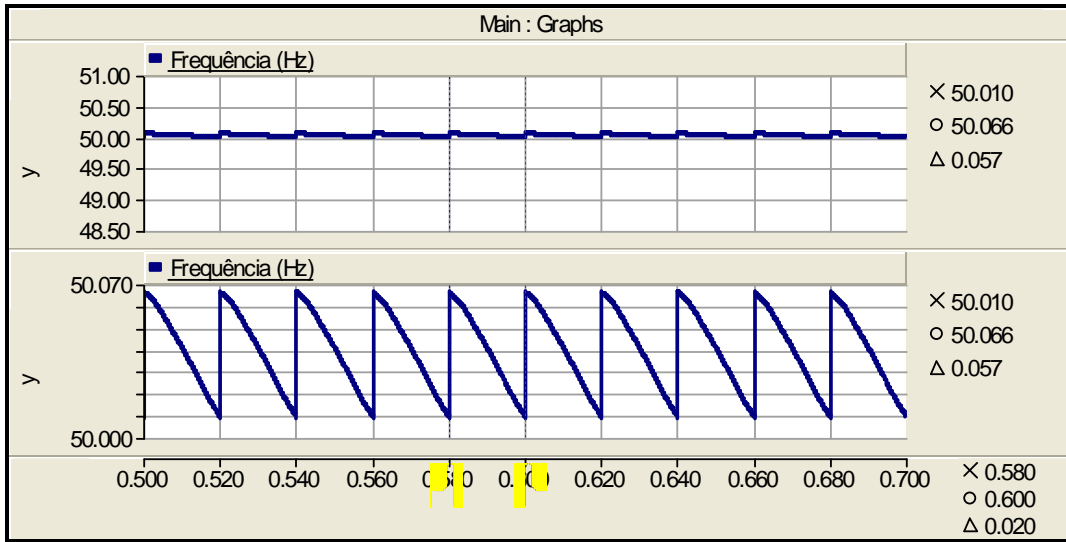


Figura 2.12: Erro de estimação de frequência do PLL com gerador de sinais em quadratura.

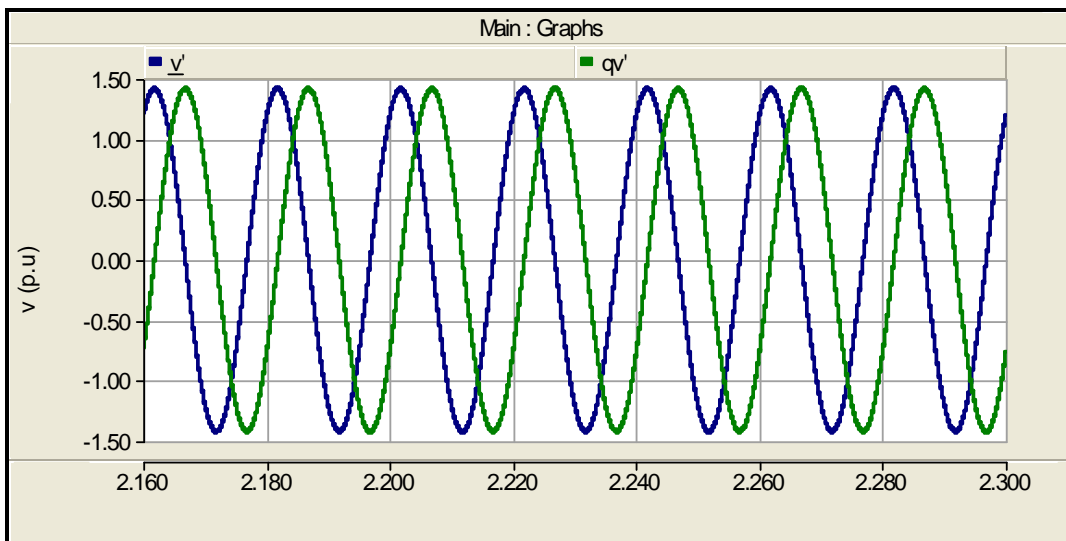


Figura 2.13: Sinais em quadratura de saída do SOGI presente no bloco PD do PLL.



$$T(s) = \frac{q}{f}(s) = \frac{\omega'^2}{s^2 + \omega'^2} \quad (2.21)$$

Para a observação do ganho em módulo das funções de transferência para o sistema acima, a substituição  $s = j\omega$  foi empregada [4]. Com isso Para  $s = j\omega$ , observam-se valores nulos nos denominadores das funções de transferência (2.20) e (2.21). Quando  $\omega = \omega'$ , ou seja, quando o sinal de entrada apresenta a mesma frequência angular de ajuste do SOGI, o mesmo se comporta como um integrador de ganho infinito para suas duas saídas.

### 2.3.2 SOGI-QSG

O bloco SOGI pode ser associado à elaboração do algoritmo da Figura 2.15, formando-se assim o SOGI *quadrature signal generator* ou SOGI- QSG [19]. Nesta configuração o SOGI é utilizado, sendo que há o acréscimo de um ganho  $k$  e uma realimentação externa para o sinal de entrada. Este algoritmo pode ser analisado através de suas funções de transferência apresentadas em (2.22) e (2.23), associadas às suas duas saídas.

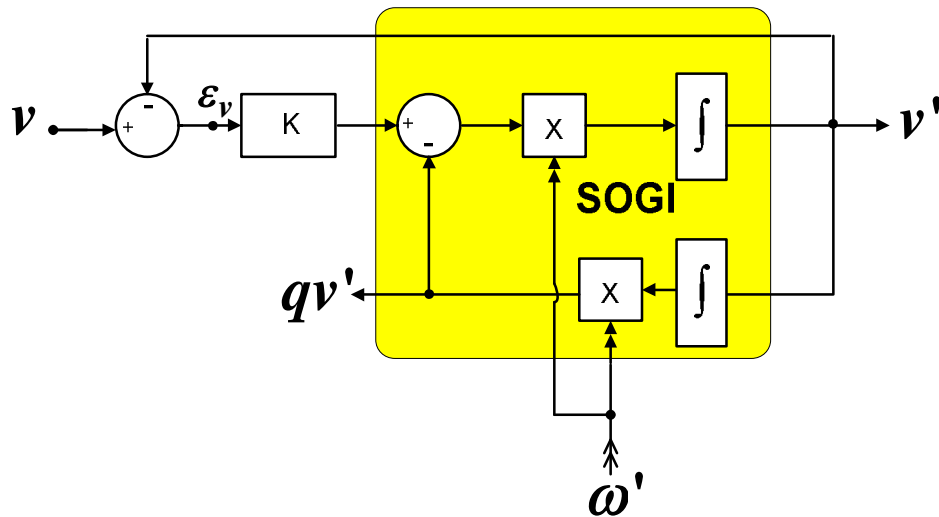


Figura 2.15: Configuração SOGI-QSG.

$$D(s) = \frac{v'}{v}(s) = \frac{k\omega' s}{s^2 + k\omega' s + \omega'^2}, \quad (2.22)$$

$$Q(s) = \frac{qv'}{v}(s) = \frac{k\omega'^2}{s^2 + k\omega's + \omega'^2}. \quad (2.23)$$

Com a substituição  $s = j\omega$  nestas funções de transferência os diagramas de Bode de módulo e fase para as duas saídas podem ser traçados. A análise destes diagramas permite a obtenção de conclusões sobre este algoritmo. A Figura 2.16 e a Figura 2.17 apresentam os diagramas de Bode referentes às saídas do SOGI-QSG. A frequência da componente fundamental do sinal de entrada, neste exemplo, é de 60 Hz.

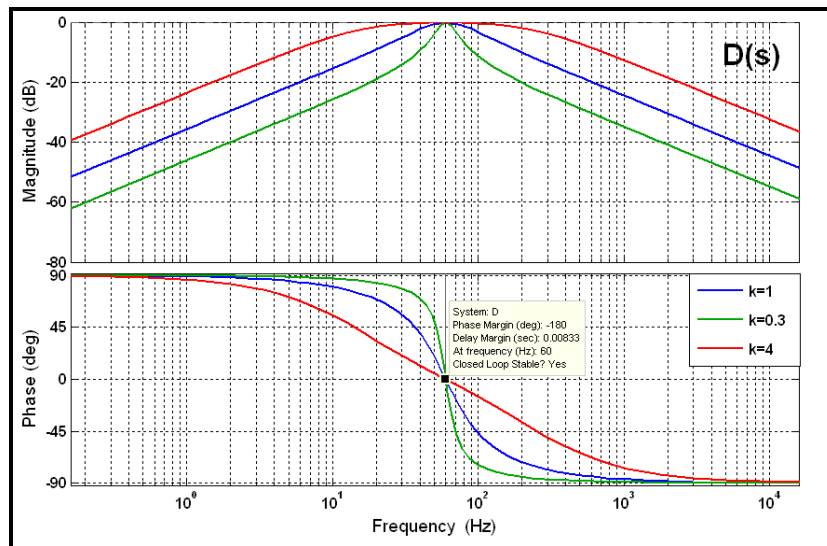


Figura 2.16: Diagramas de Bode referentes a  $D(s)$ .

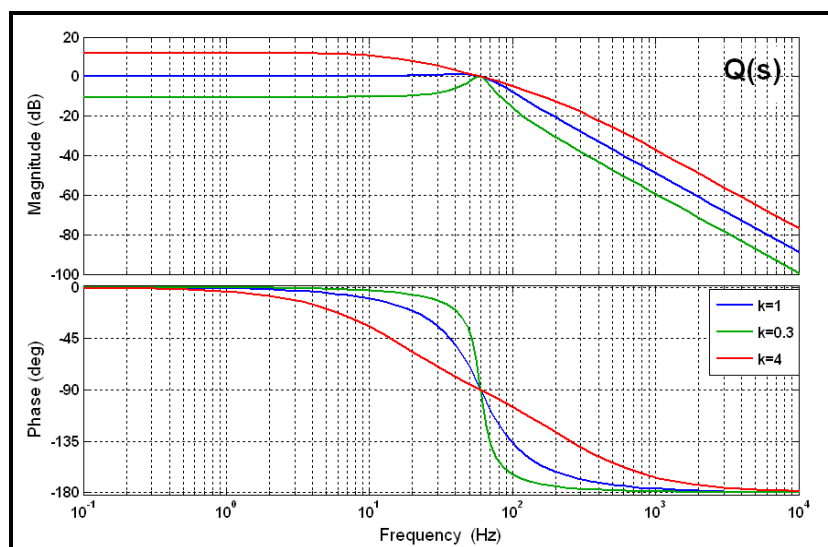


Figura 2.17: Diagramas de Bode referentes a  $Q(s)$ .



Nos gráficos de módulo, há um ganho unitário para sinais cuja frequência angular tem do mesmo valor de  $\omega'$  ajustado nos ganhos do SOGI. Observa-se ainda nos gráficos de módulo que há um decaimento no ganho dos sinais para frequências superiores à frequência angular de ajuste, o que explicita a atuação do SOGI como filtro para os possíveis harmônicos presentes no sinal de entrada. O desempenho da filtragem aumenta com a diminuição dos valores de  $k$ , porém esta diminuição acarreta a redução no tempo de resposta livre do sistema, como pode ser observado na Figura 2.18. O sinal de entrada aplicado para a obtenção da resposta livre é um degrau de 1 p.u.

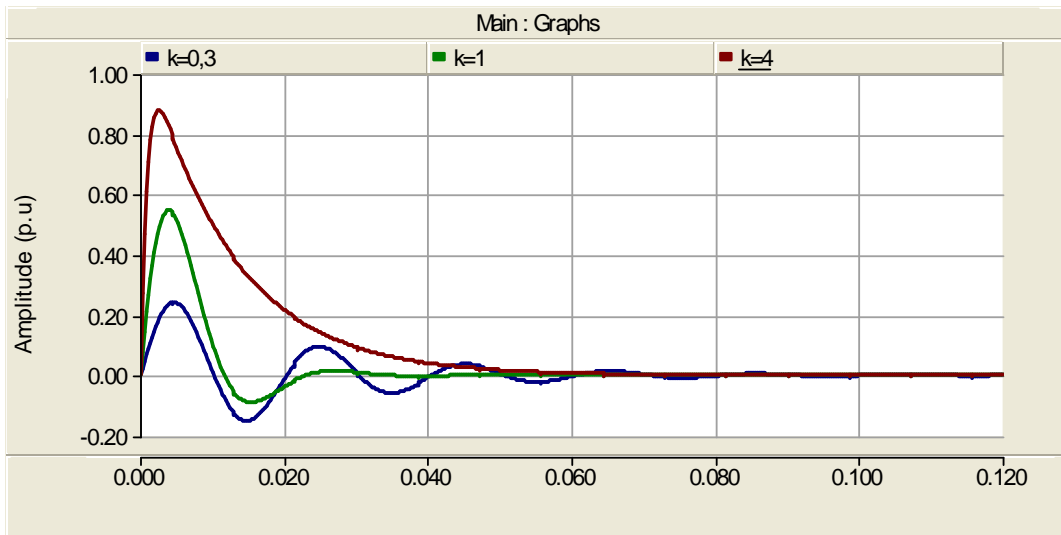


Figura 2.18: Resposta livre do SOGI-QSG.

A redução do desempenho da filtragem em função da diminuição do ganho  $k$  é decorrente da redução da Largura de Faixa do sistema [15]. O ajuste deste parâmetro depende diretamente do valor de  $k$ , presente nos numeradores e denominadores das equações (2.22) e (2.23).

Através dos diagramas de fase observa-se que os sinais de saída estarão sempre em quadratura. De certa forma, esta defasagem é intuitiva. Quando há a substituição  $s = j\omega$  nas funções de transferência  $D(s)$  e  $Q(s)$ , o denominador de  $D(s)$  é multiplicado por  $j$  diferentemente do denominador de  $Q(s)$ , o que sugere que a saída  $v'$  estará sempre adiantada  $90^\circ$  da saída  $v$ .



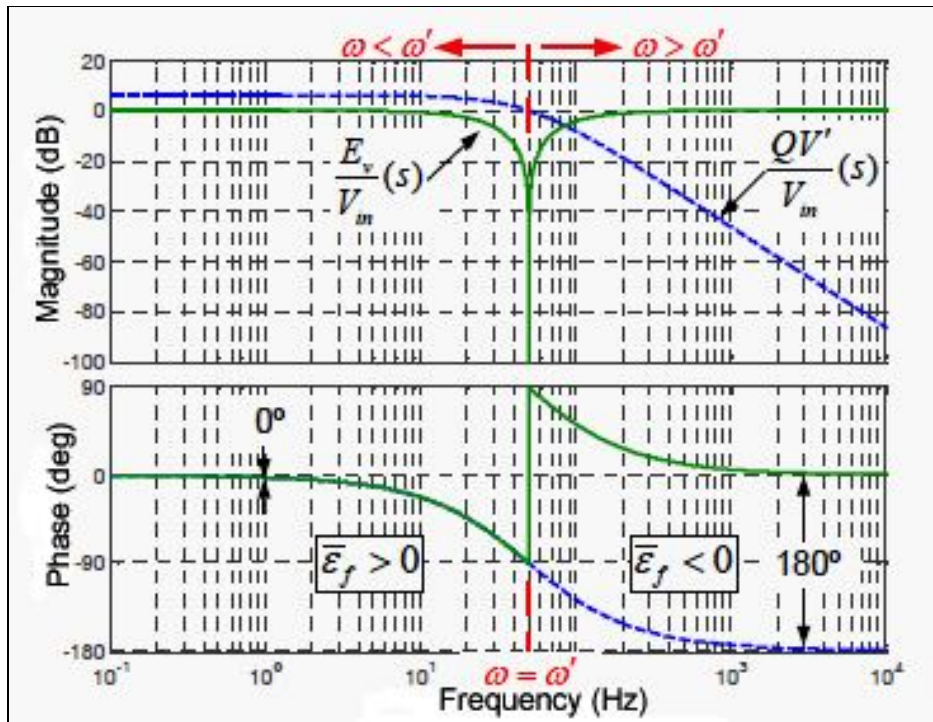


Figura 2.20: Diagramas de Bode de  $E_v(s)$  e  $QV'(s)$ .

Como pode ser verificado na Figura 2.20 o sinal de erro do FLL é proveniente do produto entre  $\varepsilon_v$  e  $qv'$ . Com base na análise dos diagramas de Bode da Figura 2.20, observa-se que os sinais  $\varepsilon_v$  e  $qv'$  possuem seus ângulos de fase igual a  $0^\circ$  para  $\omega < \omega'$ , o que caracteriza o valor positivo do erro médio do FLL. Quando  $\omega = \omega'$ , o sinal  $\varepsilon_v$  é nulo, o que caracteriza o erro zero do bloco FLL. Para  $\omega > \omega'$ , os sinais  $\varepsilon_v$  e  $qv'$  estão defasados de  $180^\circ$  e, logo, o valor do erro médio do FLL será negativo.

Como o ganho  $\gamma$  do FLL apresenta sinal negativo, os valores de saída do integrador do bloco FLL serão incrementados caso haja aumento da frequência do sinal de entrada ( $\overline{\varepsilon}_f < 0$ ) e decrementados caso haja diminuição do mesmo ( $\overline{\varepsilon}_f > 0$ ). Quando o sistema entrar em regime ( $\omega = \omega'$ ), a nova frequência é detectada, com as saídas em quadratura filtradas. É necessário ressaltar a importância do sinal negativo no ganho do bloco FLL. Caso o ganho  $\gamma$  seja positivo, haverá realimentação positiva e os

correspondentes decrementos e incrementos da saída do integrador não ocorrerão como esclarecido anteriormente, sendo o sistema conduzido à instabilidade.

### 2.3.4 Análise analítica do SOGI-FLL

As equações em espaço de estados [5] são um excelente passo inicial para se analisar o SOGI-FLL. As equações são apresentadas abaixo:

$$x = \begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = Ax + Bv = \begin{bmatrix} -k\omega' - \omega'^2 & \\ 1 & 0 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} k\omega' \\ 0 \end{bmatrix} v \quad (2.25)$$

$$y = \begin{bmatrix} v' \\ qv' \end{bmatrix} = Cx = \begin{bmatrix} 1 & 0 \\ 0 & \omega' \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} \quad (2.26)$$

Considerando-se um ponto estável de operação, com  $\omega' = 0$  e  $\omega = \omega'$ , a equação (2.27) pode ser obtida. Nesta equação as variáveis com barra indicam que estão sendo consideradas durante a operação em regime permanente do sistema.

$$\bar{\dot{x}} = \begin{bmatrix} \bar{\dot{x}}_1 \\ \bar{\dot{x}}_2 \end{bmatrix} = \begin{bmatrix} 0 & -\omega'^2 \\ 1 & 0 \end{bmatrix} \begin{bmatrix} \bar{x}_1 \\ \bar{x}_2 \end{bmatrix} \quad (2.27)$$

Os autovalores do Jacobiano obtido de (2.27) apresentam parte real nula e, portanto, a resposta em regime é periódica e sem decaimento. Para um sinal de entrada senoidal do tipo  $v = V \sin(\omega t + \phi)$ , o vetor de saída em regime permanente será dado por:

$$\bar{y} = \begin{bmatrix} v' \\ qv' \end{bmatrix} = V \begin{bmatrix} \sin(\omega t + \phi) \\ -\cos(\omega t + \phi) \end{bmatrix} \quad (2.28)$$

Caso a frequência angular de ajuste do FLL fosse intencionalmente fixada com um valor diferente da frequência do sinal de entrada ( $\omega \neq \omega'$ ), o vetor de saída ainda assim se manteria numa órbita estável definida pela frequência da componente fundamental do sinal de entrada. As amplitudes dos sinais de saída, no entanto, não seriam as mesmas, conforme observado na equação (2.29):

$$\overline{y'} = V|D(j\omega)| \begin{bmatrix} \sin(\omega t + \phi + \angle D(j\omega)) \\ -\frac{\omega'}{\omega} \cos(\omega t + \phi + \angle D(j\omega)) \end{bmatrix} \quad (2.29)$$

Em que:

$$|D(j\omega)| = \frac{k\omega\omega'}{\sqrt{(k\omega\omega')^2 + (\omega'^2 - \omega^2)^2}} \quad (2.30)$$

$$\angle D(j\omega) = \arctan \frac{\omega'^2 - \omega^2}{k\omega\omega'} \quad (2.31)$$

### 2.3.5 Estabilidade local do FLL

Em (2.29) observa-se que os estados do SOGI, quando em sua entrada é aplicado um sinal senoidal de frequência  $\omega$ , mantêm a seguinte relação:

$$\dot{x}_1 = -\omega'^2 x_2 \quad (2.32)$$

O erro de sincronização em regime pode, no entanto, ser escrito de (2.25) na forma:

$$\overline{\varepsilon_v} = (v - x_1) = \frac{1}{k\omega'} \left( \dot{x}_1 + \omega'^2 x_2 \right) \quad (2.33)$$

De (2.32) e (2.33) o sinal de erro de frequência quando o sistema opera em regime é dado por:

$$\overline{\varepsilon_f} = \omega' \overline{x_2} \varepsilon_v = \frac{\overline{x_2}^2}{k} (\omega'^2 - \omega^2) \quad (2.34)$$

A equação (2.34) indica que o sinal coleta informações no que diz respeito ao erro na estimação de frequência e, portanto, se mostra adequado para atuar como sinal de excitação do FLL. O FLL se estabilizará quando a entrada de seu integrador em regime for nula, o que significa  $\overline{\varepsilon_f} = 0$ . Esta condição ocorrerá quando a frequência

angular estimada for igual à frequência angular da componente fundamental de entrada, o que caracteriza o êxito na estimação da frequência fundamental. Isto justifica o fato de o sinal  $\overline{\varepsilon_f}$  ser apropriado para ser a excitação do FLL.

A estabilidade local do FLL pode ser analisada considerando-se  $\omega \approx \omega'$ . Neste caso,  $\omega'^2 - \omega^2$  é aproximado como  $(\omega' - \omega)(2\omega')$ , e a dinâmica local do FLL é descrita como:

$$\dot{\omega}' = -\gamma \overline{\varepsilon_f} = \frac{\gamma}{k} \overline{x_2}^2 (\omega'^2 - \omega^2) \approx -2 \frac{\gamma}{k} \overline{x_2}^2 (\omega' - \omega) \omega' \quad (2.35)$$

Definindo-se o erro de frequência estimada como  $\sigma = (\omega' - \omega)$ , sua derivada será dada por  $\dot{\sigma} = \dot{\omega}'$ , porque  $\omega$  é considerado constante. Assim, a condição (2.36) será sempre verdadeira para valores positivos da frequência detectada  $\omega'$ .

$$\sigma \dot{\sigma} = -2 \frac{\gamma}{k} \overline{x_2}^2 \sigma^2 \omega' \leq 0 \quad (2.36)$$

Como  $\sigma = (\omega' - \omega)$ , quando  $\sigma > 0$ , para que haja rastreamento da frequência  $\omega$ , a frequência estimada  $\omega'$  deve diminuir. Isto caracteriza  $\dot{\sigma} < 0$ . Nos instantes em que  $\sigma < 0$ , para que haja rastreamento da frequência  $\omega$ , a frequência estimada  $\omega'$  deve aumentar o que caracteriza  $\dot{\sigma} > 0$ . Isto justifica a desigualdade da equação (2.36), em que  $\sigma \dot{\sigma} \leq 0$ . Esta condição é, logo, fundamental para o mecanismo de estabilidade local do FLL.

### 2.3.6 Ajuste do FLL

Considerando-se o sinal  $v = V \sin(\omega t + \phi)$  como entrada do SOGI-FLL e supondo um ponto instável de operação do FLL com  $\omega \neq \omega'$ , o estado  $x_2$  operando em regime e elevado ao quadrado pode ser reescrito conforme apresentado abaixo:

$$\overline{x_2^2} = \frac{V^2}{2\omega^2} |D(j\omega)|^2 [1 + \cos(2(\omega t + \phi + \angle D(j\omega)))] \quad (2.37)$$

Nas proximidades do ponto de operação em regime, o termo não linear da equação (2.35),  $\overline{x_2^2}$ , apresentará uma componente constante com o valor de  $V^2/2\omega^2$  adicionada a uma componente periódica com o dobro da frequência do sinal de entrada.

O comportamento dinâmico do FLL, no entanto, pode ser analisado de forma aproximada em termos de valores médios para  $\omega' \approx \omega$ , de forma que o termo periódico da equação (2.37) é desconsiderado. Em (2.38) observa-se a redução da equação (2.35) após a remoção da componente periódica.

$$\frac{\dot{\omega}'}{\omega'} = -\frac{\gamma V^2}{k\omega'} (\omega' - \omega) \quad (2.38)$$

Na equação (2.38) há uma separação entre a resposta dinâmica do FLL, as variáveis de entrada, e o ganho do SOGI-QSG. Desta relação, o valor de  $\gamma$  pode ser normalizado com um fator  $\Gamma$  conforme apresentado em (2.39).

$$\gamma = \frac{k\omega'}{V^2} \Gamma \quad (2.39)$$

Desta forma, o sistema linearizado da Figura 2.21 é obtido, sendo independente das variáveis da rede (entrada) e do ganho do SOGI-QSG.

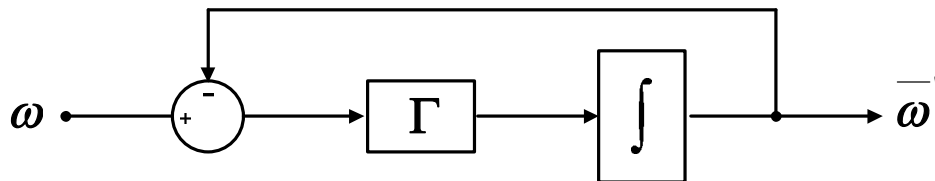


Figura 2.21: Modelo linearizado do SOGI-FLL.

O sistema da Figura 2.21 engloba as relações do FLL para as circunstâncias apresentadas anteriormente. A função de transferência deste sistema de primeira ordem pode ser facilmente obtida, sendo apresentada na equação (2.40).

$$\frac{\omega'}{\omega} = \frac{\Gamma}{s + \Gamma} \quad (2.40)$$

O tempo de acomodação deste sistema, no entanto, depende exclusivamente do parâmetro  $\Gamma$  e pode ser aproximado como apresentado em (2.41):

$$t_{s(FLL)} \approx \frac{5}{\Gamma} \quad (2.41)$$

O FLL linearizado e com realimentação (*Feedback-based linearized FLL*) é apresentado na Figura 2.21. O ganho neste sistema é ajustado em tempo real através de uma realimentação em que as condições operacionais da rede e de ajuste do SOGI-QSG estão contidas.

Isto garante um tempo de acomodação constante para a estimação da frequência da rede independentemente das características do sinal de entrada. A compreensão do *Feedback-based linearized FLL* é um dos pilares para a análise do *Optimized Dual SOGI-FLL*, que será feita no capítulo 3.

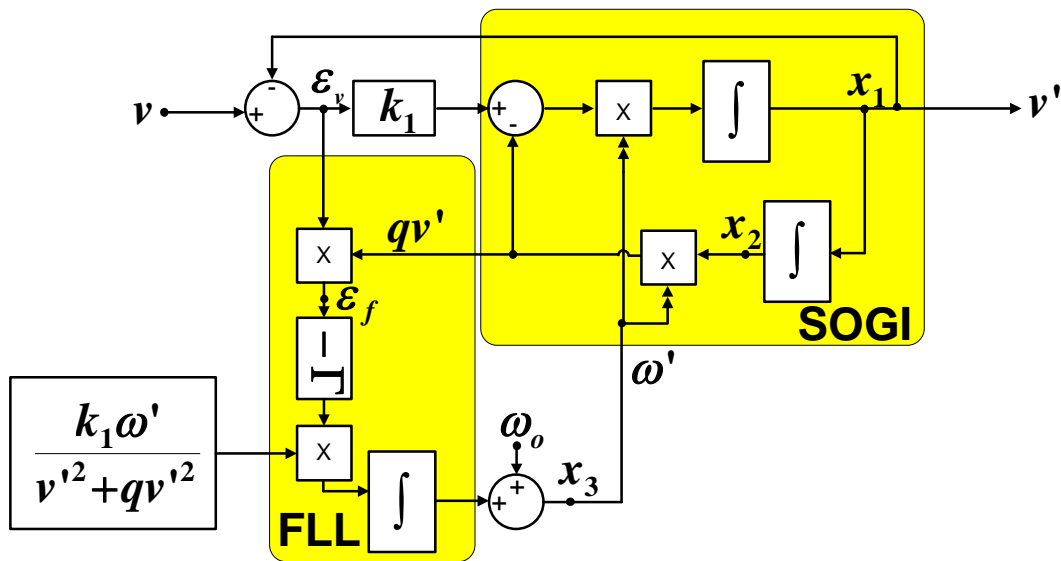


Figura 2.22: SOGI-FLL com normalização de ganho.



## 2.4 Adaptive notch filter (ANF)

O conhecimento de determinados casos particulares de ANFs (*Adaptive Notch Filters*) é muito interessante para o estudo do EPLL. O ANF é um algoritmo utilizado, por exemplo, na detecção de correntes reativas [13]. A Figura 2.23 e a Figura 2.26 apresentam configurações de ANFs. Estes algoritmos foram simulados com a utilização do programa PSCAD EMTDC. O sinal de entrada nas simulações é dado pela equação (2.42), o valor eficaz da componente fundamental de entrada é 1 p.u. Sua frequência é 50 Hz ( $\omega_{in} = 314$  rad/s) e sua fase é  $0^\circ$ .

Primeiramente, o sistema da Figura 2.23 é simulado para diferentes sinais de entrada. Na Figura 2.24 observa-se a saída quando há um degrau de frequência de -5 Hz entre  $t = 1$ s e  $t = 3$ s. Durante este intervalo, a frequência do oscilador (*Oscillator*), é a mesma da componente fundamental de entrada (50 Hz) e sua fase permanece inalterada em  $0^\circ$ . Na Figura 2.25 o mesmo degrau de frequência é aplicado e a fase do bloco oscilador, porém, é fixada em  $30^\circ$ . As simulações deste sistema indicam sua principal propriedade que é o valor nulo de saída para sinais cuja frequência seja igual à do sinal do bloco oscilador independentemente de seu ângulo de fase.

$$v = \sqrt{2} \sin(314t + \theta_i) \rightarrow \theta_i = 0 \quad (2.42)$$

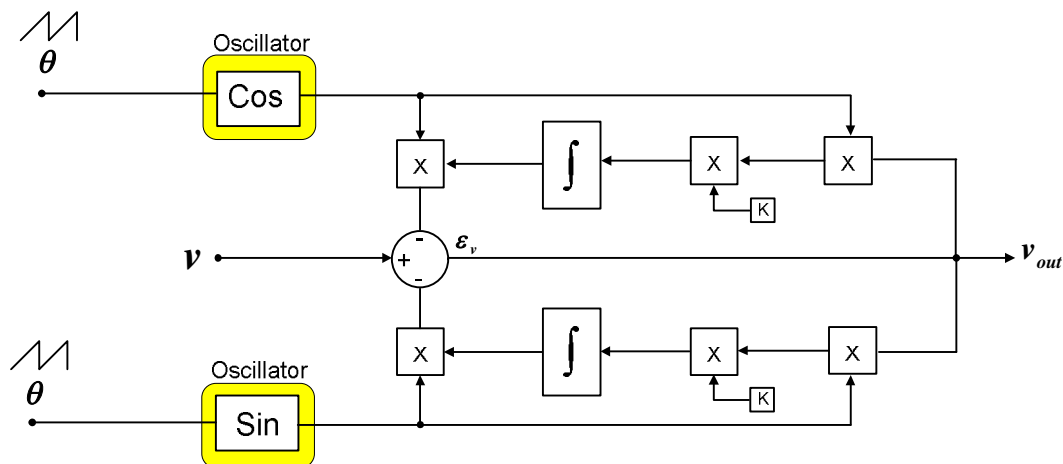


Figura 2.23: Adaptive Notch Filter I.

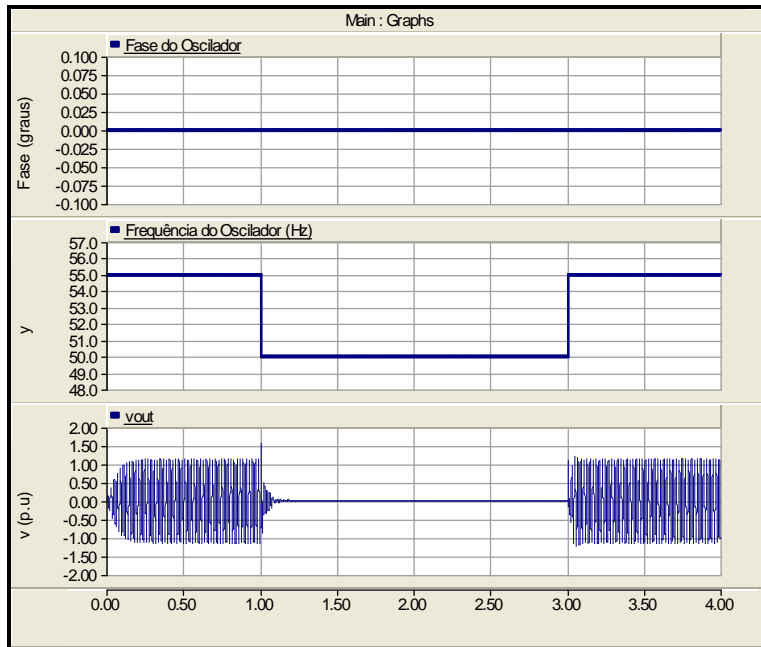


Figura 2.24: Saída do *Adaptive Notch Filter I* com o sinal de entrada e o sinal do bloco oscilador em fase.

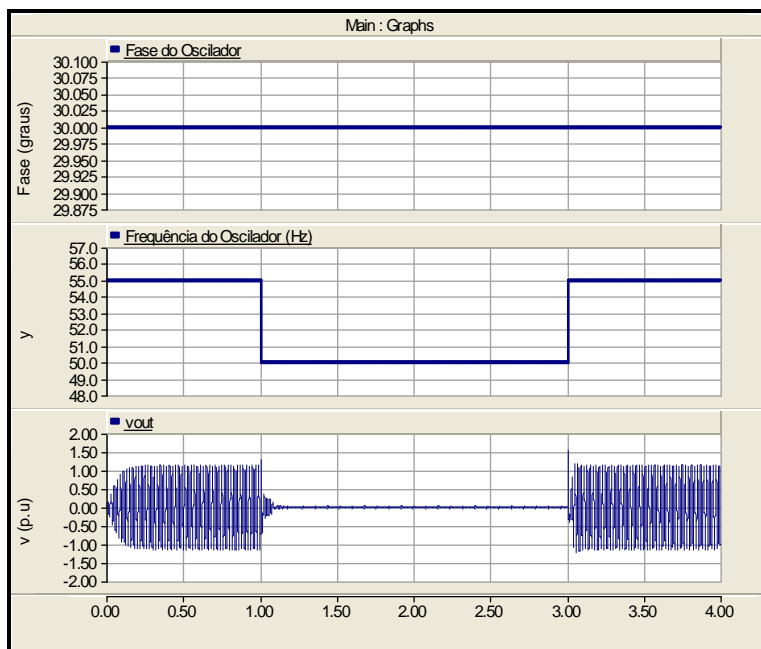


Figura 2.25: Saída do *Adaptive Notch Filter I* com defasagem de  $30^\circ$  entre o sinal de entrada e o sinal do bloco oscilador.

O ANF da Figura 2.26 é basicamente o sistema da Figura 2.23 dividido pela metade. Esta mudança confere uma propriedade importante a este novo sistema no que diz respeito à sua operação. A Figura 2.27 e a Figura 2.28 apresentam simulações deste ANF quando submetido a variações nas características do sinal do Oscilador.

Na Figura 2.27 a frequência inicial do oscilador é de 55 Hz. Entre os instantes  $t=1s$  e  $t=3s$ , um degrau de -5 Hz altera a frequência do oscilador para 50 Hz, sendo que sua fase permanece constante em  $30^\circ$ . Observa-se que no intervalo em que a frequência do oscilador é igual à frequência da componente fundamental, a saída do ANF, apesar de ter sua amplitude reduzida, permanece com seu valor diferente de zero. Na Figura 2.28 o mesmo degrau de frequência é aplicado, porém a fase do oscilador é fixada em  $0^\circ$ . Neste caso, observa-se que no intervalo em que a frequência do oscilador é igual à do sinal de entrada, a saída do ANF tem valor zero. Conforme é observado nas simulações, a saída deste sistema é somente nula para sinais de entrada cuja frequência e fase sejam as mesmas que o sinal  $\theta$  do bloco oscilador. Em outras palavras, para assegurar um sinal nulo na saída deste sistema não basta que a frequência angular do oscilador seja igual à do sinal de entrada. Para que isto ocorra é, também, essencial que os ângulos de fase do sinal de entrada e do sinal de oscilação sejam iguais.

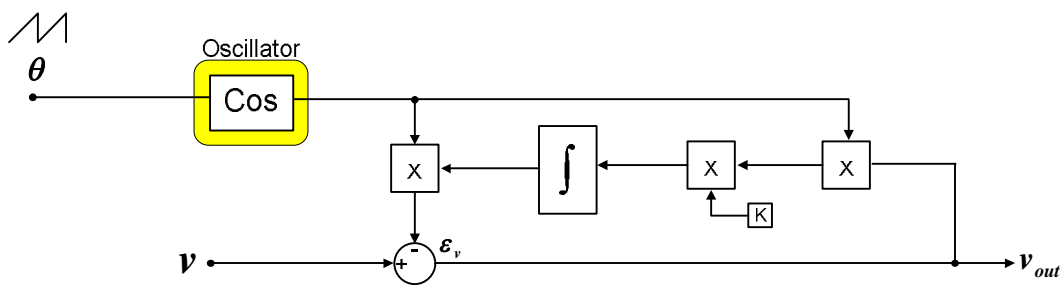


Figura 2.26: Adaptive Notch Filter II

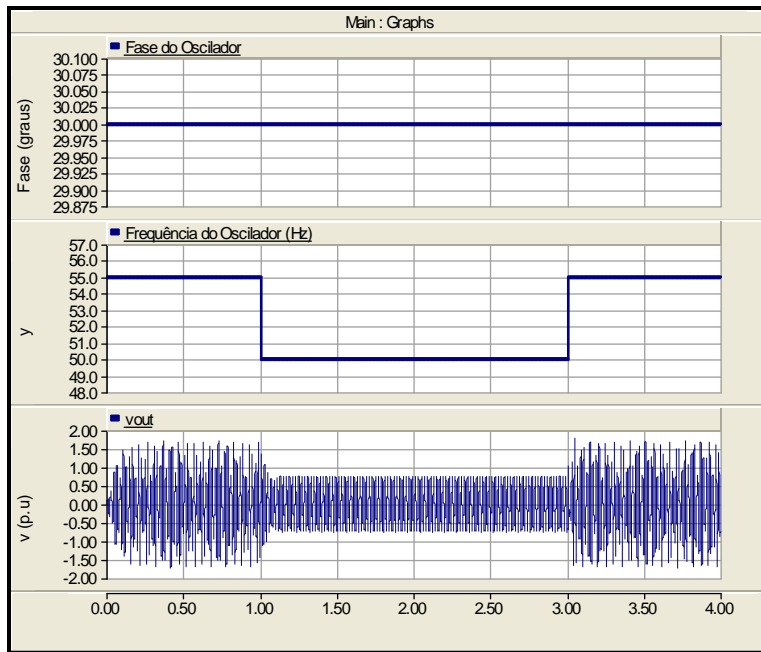


Figura 2.27: Saída do *Adaptive Notch Filter II* com defasagem de  $30^\circ$  entre o sinal de entrada e o sinal do bloco oscilador.

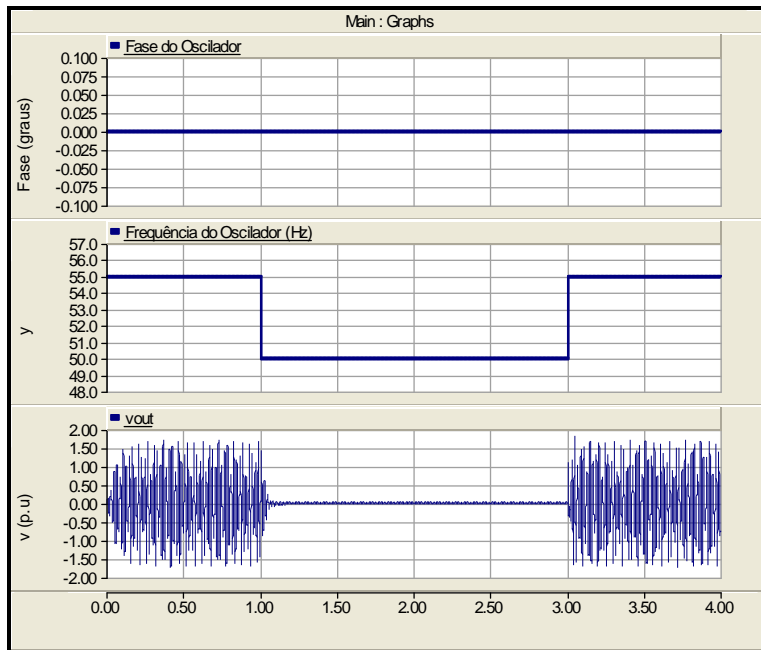


Figura 2.28: Saída do *Adaptive Notch Filter II* com o sinal de entrada e o sinal do bloco oscilador em fase.

## 2.5 EPLL (*Enhanced Phase Locked Loop*)

O DEPLL, um dos três sistemas trifásicos de sincronização analisados neste trabalho, é composto por blocos de EPLLs monofásicos. A compreensão de um destes blocos contribui para o aprendizado dos fundamentos do DEPLL.

O EPLL é um algoritmo de sincronização que apresenta diferenças características se comparado ao PLL convencional. A grande diferença nesta configuração de PLL está na presença de um novo esquema de detector de fase (PD) [9].

Ao invés de se utilizar um bloco de multiplicação entre o sinal de entrada e o sinal de saída do bloco VCO, é feito um ajuste do sinal de saída do VCO. Este sinal refinado é subtraído do sinal de entrada para a geração de um erro intermediário que, por sua vez, é multiplicado pelo sinal proveniente do VCO, da mesma maneira em que ocorre no PLL convencional.

A Figura 2.29 apresenta uma estrutura EPLL. Nela observa-se que o bloco PD proposto nesta estrutura é basicamente uma configuração ANF como apresentada na Figura 2.26. O funcionamento do EPLL pode ser compreendido como a unificação das propriedades do ANF com as propriedades do PLL, de forma que a entrada do oscilador do ANF passa a ser proveniente do bloco VCO do PLL convencional. A saída do ANF é parte do bloco PD, para geração de um sinal de erro intermediário conforme descrito anteriormente.

Na literatura há pequenas variações nas configurações do EPLL, porém a estrutura base é sempre a mesma: O bloco PD é constituído por uma configuração similar às encontradas em aplicações de ANFs.



de dois sinais em quadratura na estrutura EPLL. Uma síntese dos fundamentos do algoritmo EPLL é descrita pelo seguinte teorema [9]:

Teorema: O EPLL apresentado na Figura 2.29 simultaneamente extrai um sinal de saída  $y(t)$  onde sua amplitude e fase, que são estimadas diretamente, são parâmetros associados à componente fundamental do sinal de entrada.

A seguir são apresentadas simulações em que o comportamento do EPLL pode ser observado. O programa de simulação utilizado é o PSCAD EMTDC. Na Figura 2.30 observa-se o sinal de entrada cuja componente fundamental tem frequência 50 Hz e valor eficaz de 1 p.u. Este sinal é distorcido por harmônicos de ordem 3 e 5 com amplitudes de 0,3 p.u e 0,2 p.u, respectivamente.

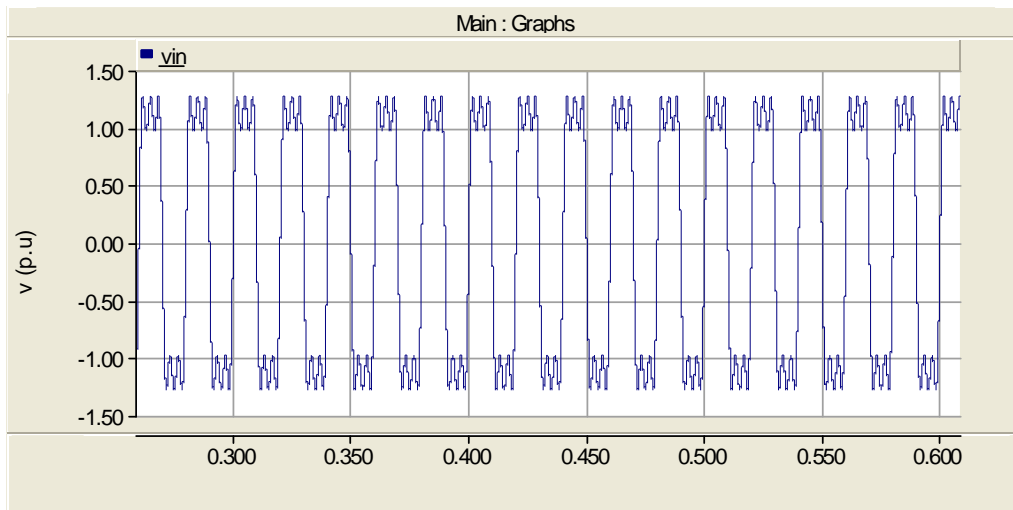


Figura 2.30: Sinal de entrada do EPLL.

Na Figura 2.31 é apresentado sinal de saída  $v'$  comparado com o sinal de entrada. Observa-se que este sinal possui a mesma amplitude, frequência e fase da componente fundamental de entrada. A Figura 2.32 apresenta a fase estimada pelo EPLL, em radianos.

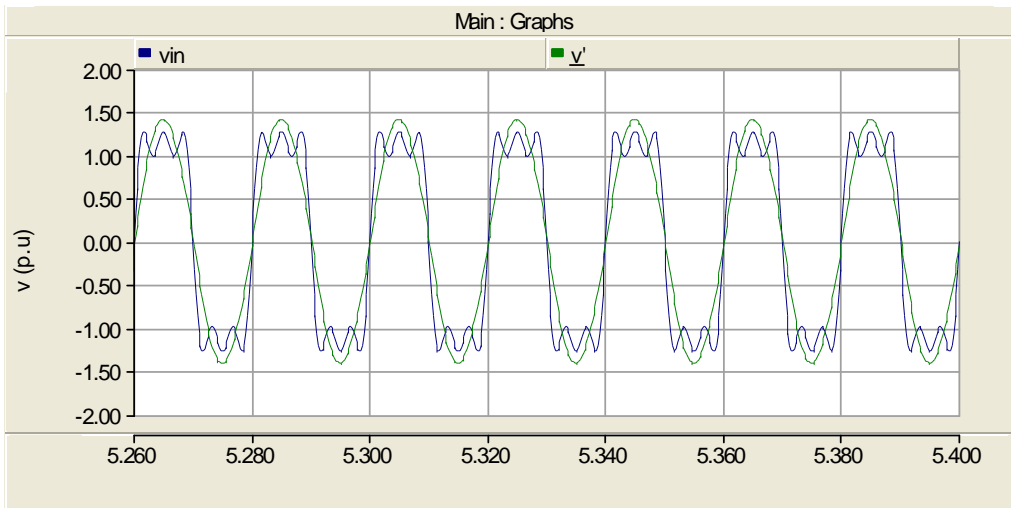


Figura 2.31: Saída do EPLL comparada com o sinal de entrada.

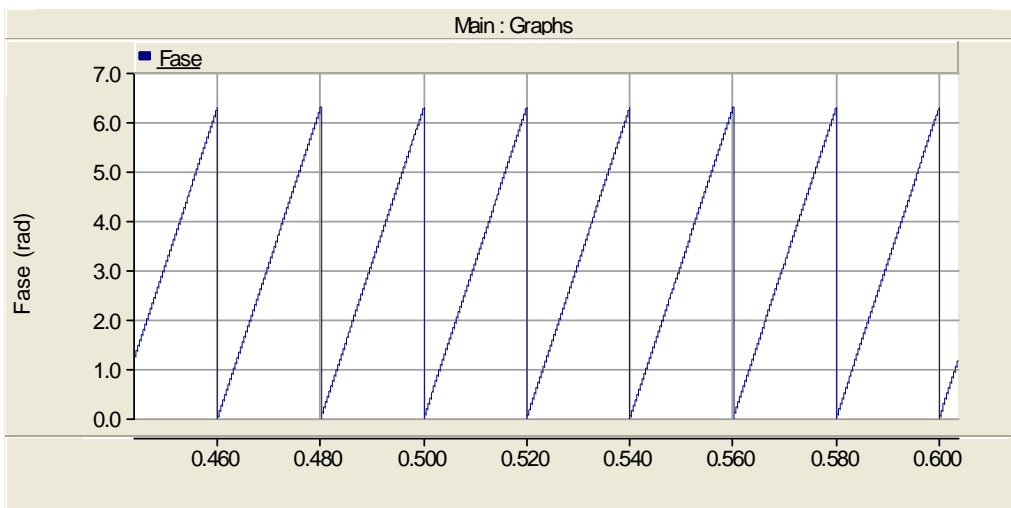


Figura 2.32: Fase do sinal de entrada do EPLL.



# 3. Algoritmos de sincronização trifásicos

*Nesse capítulo serão analisados os algoritmos de sincronização trifásicos: q-PLL, Optimized Dual SOGI- FLL e DEPLL. Conceitos teóricos apresentados no capítulo 2 serão utilizados como base para o estudo dos sistemas trifásicos deste capítulo. Estes algoritmos terão seus desempenhos comparados no capítulo 4, o que justifica a necessidade da análise presente neste capítulo. Conceitos sobre Transformadas de Clarke, Teoria pq, e ajuste de ganhos em controladores PI serão também apresentados.*

### 3.1 Transformadas de Clarke

A transformada de Clarke é uma operação linear de grande utilidade para simplificação e o aumento de robustez de sistemas PLL trifásicos. Esta operação consiste numa transformação matricial de vetores de três componentes para três vetores em que as componentes são representadas em dois eixos estacionários [3].

A operação matricial para as componentes  $v_0$ ,  $v_\alpha$  e  $v_\beta$  varia de acordo com o tipo de sequência a ser transformada. As equações (3.1) e (3.2) apresentam, respectivamente, a transformação direta e inversa de Clarke para a sequência abc.

$$\begin{bmatrix} v_0 \\ v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1/\sqrt{2} & 1/\sqrt{2} & 1/\sqrt{2} \\ 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (3.1)$$

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1/\sqrt{2} & 1 & 1/\sqrt{2} \\ 1/\sqrt{2} & -1/2 & \sqrt{3}/2 \\ 1/\sqrt{2} & -1/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_0 \\ v_\alpha \\ v_\beta \end{bmatrix} \quad (3.2)$$

A Figura 3.1 apresenta graficamente em que consiste a transformada de Clarke. No lado esquerdo observa-se a representação fasorial de grandezas de um sistema trifásico tendo a sequência representada em abc. Neste caso, as grandezas são tensões. Com a transformada de Clarke, as tensões abc passam a ser representadas por um sistema constituído pelos dois eixos estacionários  $\alpha$  e  $\beta$ , no domínio do tempo. Assim como ocorre com a representação em abc com vetores unitários, os valores instantâneos representados nos dois eixos, quando somados, apresentam um fasor de módulo constante e que gira na frequência da rede trifásica que foi transformada.

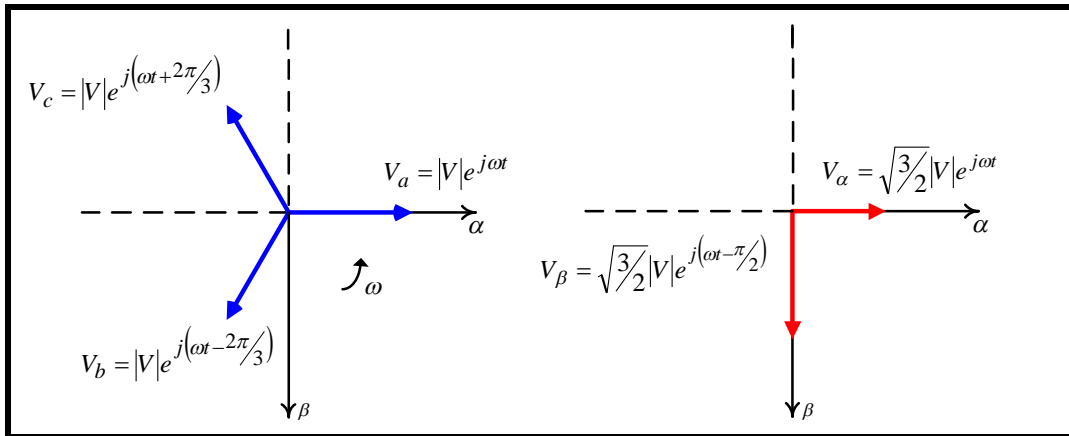


Figura 3.1: Transformada de Clarke.

Conforme verificado anteriormente, a utilização de sinais em quadratura é um recurso para a implementação de algoritmos mais robustos de sistemas PLL. Nos PLLs monofásicos a obtenção de sinais em quadratura é feita através de atrasos do sinal original com o auxílio de blocos específicos para esta funcionalidade, como exemplo deste trabalho o SOGI foi apresentado para este fim.

Nos sistemas trifásicos, entretanto, os sinais em quadratura são obtidos por meio de transformações lineares de tensões trifásicas, o que torna os sinais mais robustos em relação a distorções. Este fato pode ser explicado pela Figura 3.1. As componentes de Clarke estarão defasadas de  $90^\circ$  para todos os valores instantâneos transformados das componentes em abc, o que explicita a grande utilidade desta operação. A utilização da transformada de Clarke envolve apenas operações algébricas, ao contrário dos recursos de obtenção artificial de sinais em quadratura, que envolvem operações de integração e /ou trigonométricas, o que reflete em maiores esforços computacionais de implementação.

As transformadas de Clarke apresentadas anteriormente nas equações (3.1) e (3.2) utilizam as componentes de sequência zero na operação. Em certas aplicações a componente de sequência zero não é um fator de interesse, e pode ser eliminada das equações apresentadas.

As equações (3.3) e (3.4) apresentam as transformadas de Clarke sem a utilização da sequência zero. Basicamente é retirada a linha referente à componente de

sequência zero da matriz de transformação  $\alpha\beta$ . A matriz de transformação inversa pode ser então obtida, sendo que seus números de coluna e de linha são também invertidos.

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 0 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (3.3)$$

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & 0 \\ -1/2 & \sqrt{3}/2 \\ -1/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} \quad (3.4)$$

### 3.2 Conceitos da Teoria pq

O q-PLL, um dos algoritmos de sincronização trifásicos estudados neste trabalho, tem seu princípio de funcionamento análogo a conceitos da Teoria pq. Logo, para compreensão deste algoritmo, o esclarecimento de certos conceitos desta teoria é de grande valia.

A Teoria pq tem como um de seus principais pilares, a análise de potências instantâneas. A análise com valores eficazes é substituída pela análise de potências obtidas com base em tensões e correntes instantâneas. A Teoria pq também introduz novos conceitos de potência, que não necessariamente são conflitantes com os conceitos convencionais de potência e, sim, são complementares. As definições de potência empregadas na teoria pq são [11]:

$p_0 \rightarrow$  Potência Instantânea de Sequência Zero

$p \rightarrow$  Potência Instantânea

$q \rightarrow$  Potência Imaginária

As tensões e correntes trifásicas instantâneas, após a transformação de Clarke, são representadas como valores instantâneos que variam nos eixos estacionários. A soma instantânea resultante destas componentes em quadratura constitui um vetor que gira na frequência da rede trifásica. Considerando-se  $e$  como o fasor de tensão e  $i$  como o fasor de corrente, o ângulo entre estes dois fasores será o ângulo de defasagem entre as tensões e correntes na rede trifásica, como é apresentado na Figura 3.2.

Como ocorre nas definições convencionais de potência aparente, este valor é determinado pelo produto escalar entre os vetores  $e$  e o conjugado de  $i$ . Esta operação é desenvolvida na equação (3.5).

$$s = e.i^* = (v_\alpha + jv_\beta)(i_\alpha - ji_\beta) = (v_\alpha i_\alpha + v_\beta i_\beta) + j(v_\beta i_\alpha - v_\alpha i_\beta) \quad (3.5)$$

Nesta equação as componentes de sequência zero não são consideradas. Observa-se como resultado uma parte real e imaginária, a primeira com produtos diretos entre as componentes de corrente e tensão é a potência real instantânea; a segunda com produtos cruzados é potência imaginária.

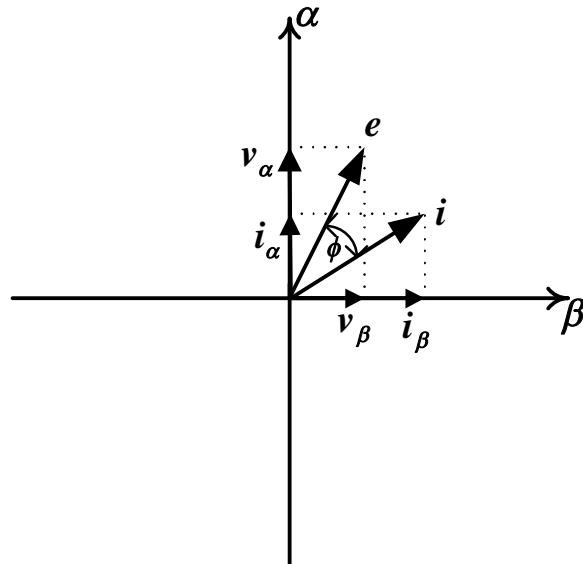


Figura 3.2: Fasores de tensão e corrente.

A potência instantânea real e a imaginária podem então ser representadas na forma matricial, como apresentado na equação (3.6). A Figura 3.3 ilustra os conceitos

de potência real e imaginária estabelecidos na Teoria pq [11]. A potência real é a que está fluindo de um ponto a outro do sistema. A potência imaginária está associada à troca de energia entre fases e, logo, a potência imaginária não flui.

$$\begin{bmatrix} p \\ q \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ v_\beta & -v_\alpha \end{bmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (3.6)$$

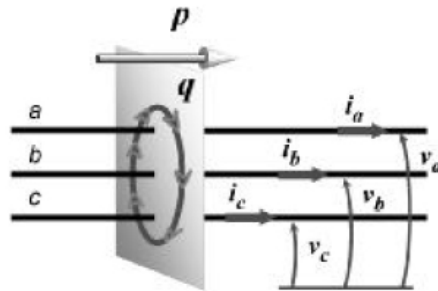


Figura 3.3: Potências p e q.

### 3.3 Detectores de Sequência Positiva

Em diversas aplicações para sistemas trifásicos, não apenas um sinal em sincronismo com a fase das componentes fundamentais da rede é suficiente. Há propósitos em que a detecção da fase e módulo das componentes de sequência positiva da rede é necessária.

Um exemplo desta finalidade são os filtros ativos. A operação do filtro ativo consiste na geração de correntes de compensação para a rede. Durante sua operação, para a determinação das correntes de referência necessárias na compensação, a sequência positiva da rede é um fator indispensável.

Um dos algoritmos existentes para esta finalidade é o Método das Componentes Simétricas Instantâneas, do inglês *Instantaneous Symmetrical Components (ISC)* [18]. Por estes motivos é comum observar um bloco conectado à saída de certos PLLs

trifásicos, que tem a finalidade de detectar a sequência positiva da rede, após o sincronismo e filtragem do PLL.

As saídas de determinados PLLs trifásicos detectam a frequência da componente fundamental do sinal de entrada, assim como o ângulo de fase. Os valores de fase, porém, não corresponderão aos da sequência positiva caso o sistema esteja desequilibrado. Este fato é explicitado na Figura 3.4. Nesta figura, observa-se a decomposição dos fasores de um sistema trifásico desequilibrado em sequências positiva, negativa e zero. O PLL detectará as fases dos fasores desequilibrados. A obtenção das fases e amplitudes da sequência positiva deve, portanto, ser realizada com a utilização de artifícios algébricos, que estarão contidos no bloco específico para esta finalidade.

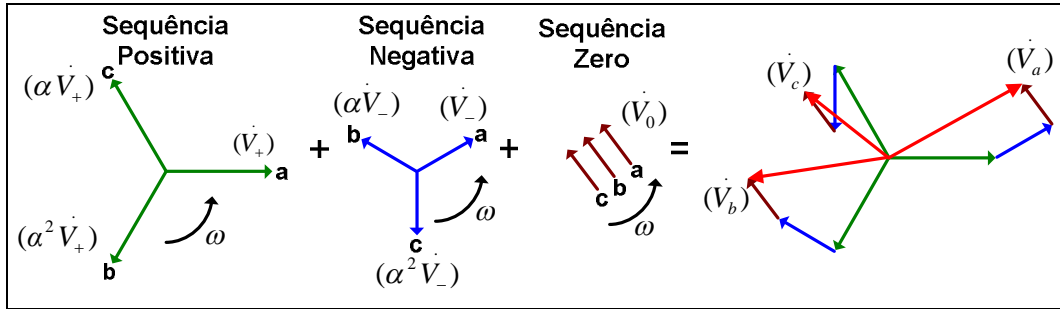


Figura 3.4: Componentes de Forstescue.

O bloco de detecção apresentado neste trabalho é o *Positive-Negative Sequence* (PNSC). O algoritmo deste bloco consiste no cálculo de sequência positiva e negativa tendo como base os eixos  $\alpha\beta$  de referência. A detecção da sequência negativa pode ser de interesse para a análise qualitativa e quantitativa do sinal de entrada, dentre outras finalidades.

A seguir serão desenvolvidas demonstrações relacionando as transformações de Clarke de sinais trifásicos desbalanceados com as componentes de Clarke referentes à sequência positiva dos mesmos [18]. Considerando-se:

$$v_{abc}^+ = \begin{bmatrix} v_a^+ & v_b^+ & v_c^+ \end{bmatrix}^T = [T_+] v_{abc} \quad (3.7)$$

$$v_{abc}^- = \begin{bmatrix} v_a^- & v_b^- & v_c^- \end{bmatrix}^T = [T_-] v_{abc} \quad (3.8)$$

Em que:

$$[T_+] = \frac{1}{3} \begin{bmatrix} 1 & \alpha & \alpha^2 \\ \alpha^2 & 1 & \alpha \\ \alpha & \alpha^2 & 1 \end{bmatrix} \quad (3.9)$$

$$[T_-] = \frac{1}{3} \begin{bmatrix} 1 & \alpha^2 & \alpha \\ \alpha & 1 & \alpha^2 \\ \alpha^2 & \alpha & 1 \end{bmatrix} \quad (3.10)$$

E conforme já observado nas Transformadas de Clarke:

$$v_{\alpha\beta} = [T_{\alpha\beta}] v_{abc} \quad (3.11)$$

$$[T_{\alpha\beta}] = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \quad (3.12)$$

Para as componentes de Clarke de sequência positiva, substituindo-se (3.7) em (3.11) obtém-se:

$$v_{\alpha\beta}^+ = [T_{\alpha\beta}] v_{abc}^+ = [T_{\alpha\beta}] [T_+] v_{abc} \quad (3.13)$$

$$v_{\alpha\beta}^+ = [T_{\alpha\beta}] [T_+] [T_{\alpha\beta}]^T v_{\alpha\beta} \quad (3.14)$$

Logo, sendo  $q = e^{-j\frac{\pi}{2}}$ :

$$v_{\alpha\beta}^+ = \frac{1}{2} \begin{bmatrix} 1 & -q \\ q & 1 \end{bmatrix} v_{\alpha\beta} \quad (3.15)$$



Procedimentos análogos são executados para a obtenção de  $v_{\alpha\beta}^-$  em função de  $v_{\alpha\beta}$ :

$$v_{\alpha\beta}^- = [T_{\alpha\beta}] v_{abc}^- = [T_{\alpha\beta}] [T_-] v_{abc} \quad (3.16)$$

$$v_{\alpha\beta}^- = [T_{\alpha\beta}] [T_-] [T_{\alpha\beta}]^T v_{\alpha\beta} \quad (3.17)$$

$$v_{\alpha\beta}^- = \frac{1}{2} \begin{bmatrix} 1 & q \\ -q & 1 \end{bmatrix} v_{\alpha\beta} \quad (3.18)$$

Baseando-se nestas demonstrações, é construído o bloco PNSC, apresentado na Figura 3.5.

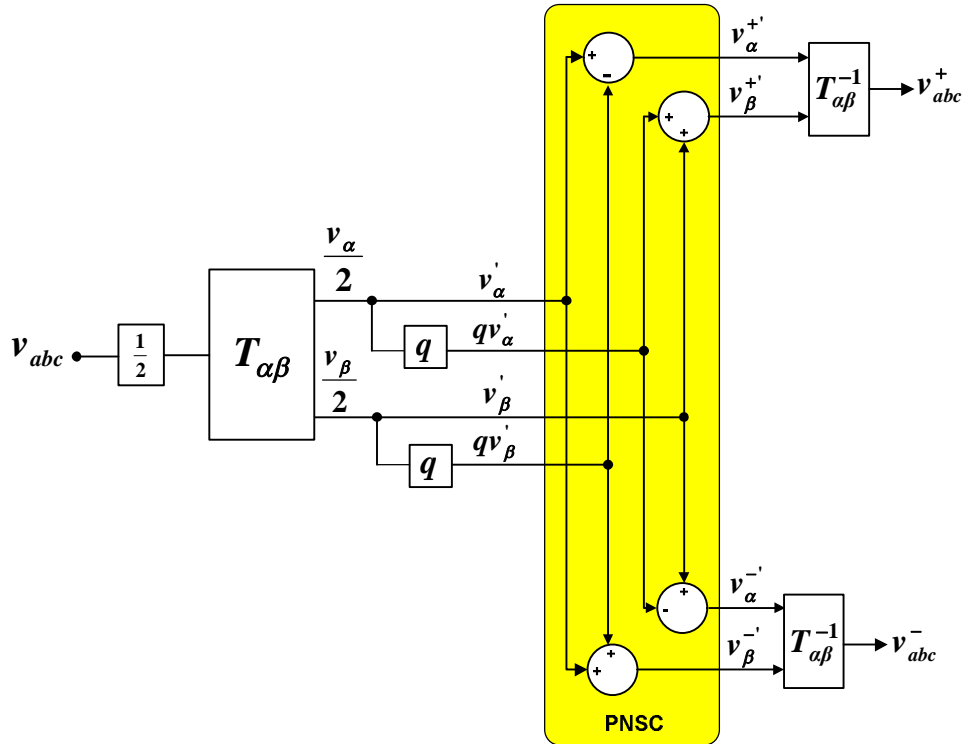


Figura 3.5: Detector de seqüências baseado em ISC.

## 3.4 Ajuste dos ganhos dos controladores PI

Esta seção tem como objetivo abordar o ajuste de controladores PI em sistemas PLL com o auxílio de teorias convencionais de controle. A relação entre características de filtragem e desempenhos dinâmicos decorrente dos ajustes de ganhos dos controladores PI será analisada nesta seção.

### 3.4.1 Degrau de Frequência x Degrau de Fase

O q-PLL e o DEPLL, dois dos PLLs trifásicos que serão analisados neste trabalho, empregam controladores PI no bloco *Loop Filter* (LF), conforme apresentado pela Figura 3.6. As simulações apresentadas até este ponto têm como finalidade ilustrar o comportamento dos diferentes tipos de sistema estudados. Logo, não houve preocupação na observação de seu desempenho para diferentes condições de rede, para a resposta transitória ou tempo de acomodação.

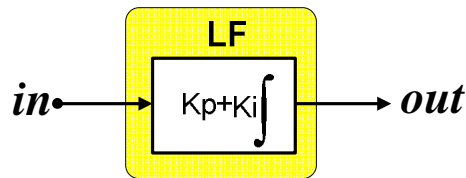


Figura 3.6: Controlador PI utilizado como bloco *Loop Filter*.

Por outro lado, estes parâmetros devem ser considerados durante a comparação entre os três algoritmos trifásicos, já que é um dos focos deste trabalho. Neste capítulo serão apresentadas análises com base na teoria de controle que evidenciam consequências e características de comportamento do PLL decorrente de ajustes de controladores PI.

A Figura 3.7 apresenta o modelo linearizado do PLL [7]. Este modelo será a base para a análise do ajuste dos controladores PI, que constituem os blocos LF dos PLLs analisados neste trabalho.

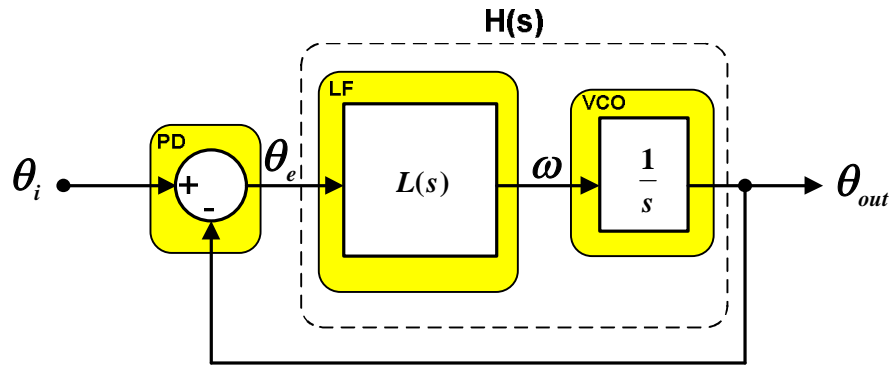


Figura 3.7: Modelo linearizado do PLL no domínio da frequência.

Conforme observado na Figura 3.7:

$$H(s) = L(s) \cdot \frac{1}{s} \quad (3.19)$$

A função de transferência relacionando a entrada e o erro do bloco PD é dada por (3.20):

$$H_e(s) = \frac{1}{H(s) + 1} \quad (3.20)$$

Para um degrau angular na entrada, a saída do bloco PD será dada pela equação (3.21):

$$\Theta_e^{\Delta\theta}(s) = H_e(s) \cdot \frac{\Delta\theta}{s} \quad (3.21)$$

De acordo com o Teorema do Valor Final [4], a saída  $\theta_e(t)$  em regime permanente é dada pela equação (3.22):

$$\Theta_e^{\Delta\theta}(\infty) = \lim_{s \rightarrow \infty} s \cdot \Theta_e^{\Delta\theta}(s) = 0 \quad (3.22)$$

Como  $\theta(t) = \omega \cdot t$ , para um degrau de frequência observa-se que o sinal de entrada, no domínio da frequência, é caracterizado pelo termo  $s^2$  no denominador. A saída  $\Theta_e(s)$  para um degrau de frequência é dada por:

$$\Theta_e^{\Delta\omega}(s) = H_e(s) \cdot \frac{\Delta\omega}{s^2} \quad (3.23)$$

E pelo Teorema do Valor Final, o erro delta em regime permanente é apresentado na equação (3.24):

$$\Theta_e^{\Delta\omega}(\infty) = \lim_{s \rightarrow \infty} s \cdot \Theta_e^{\Delta\omega}(s) = 0 \quad (3.24)$$

De fato, os resultados obtidos na equação (3.22) e na equação (3.24) são esperados. O erro  $\theta_e(t)$  deve ser nulo quando em regime para que o sistema seja estável. Como ao longo deste trabalho os blocos LF são todos constituídos por controladores PI, a função  $L(s)$  é definida como:

$$L(s) = k_p + \frac{k_i}{s} \quad (3.25)$$

Com a expansão de  $L(s)$ , as saídas  $\Theta_e(s)$  para o degrau de fase e o degrau de frequência são apresentadas em (3.26) e (3.27), respectivamente. Observa-se que para estas expressões há uma analogia direta com os parâmetros utilizados na análise de sistemas lineares de segunda ordem.

$$\Theta_e^{\Delta\theta}(s) = \frac{\Delta\theta \cdot s}{s^2 + k_p s + k_i} = \frac{\Delta\theta \cdot s}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3.26)$$

$$\Theta_e^{\Delta\omega}(s) = \frac{\Delta\omega}{s^2 + k_p s + k_i} = \frac{\Delta\omega}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3.27)$$

As expressões para  $\theta_e^{\Delta\theta}(t)$  e  $\theta_e^{\Delta\omega}(t)$  no domínio do tempo são determinadas pelas raízes dos denominadores das funções de transferência (3.26) e (3.27). Estas raízes são:

$$p_{1,2} = \frac{-k_p \pm \sqrt{k_p^2 - 4k_i}}{2} \quad (3.28)$$

E com as atribuições de (2.13) obtém-se:

$$p_{1,2} = -\omega_n \left( \zeta \pm \sqrt{\zeta^2 - 1} \right) \quad (3.29)$$

Para diferentes valores do parâmetro  $\zeta$ , diferentes serão os comportamentos dinâmicos observados. Em seguida serão analisados os casos para  $\zeta < 1$  e para  $\zeta > 1$ .

Caso Subamortecido ( $\zeta < 1$ ):

- $\theta_e^{\Delta\theta}(t)$ :

$$\theta_e^{\Delta\theta}(t) = \frac{\Delta\theta}{\sqrt{1-\zeta^2}} \cdot e^{-\zeta\omega_n t} \cdot \sin\left(\omega_n \sqrt{1-\zeta^2} t + \phi\right) \quad (3.30)$$

$$\phi = \tan^{-1}\left(-\frac{\sqrt{1-\zeta^2}}{\zeta}\right) \quad (3.31)$$

- $\theta_e^{\Delta\omega}(t)$ :

$$\theta_e^{\Delta\omega}(t) = \frac{\Delta\omega}{\omega_n \sqrt{1-\zeta^2}} \cdot e^{-\zeta\omega_n t} \cdot \sin\left(\omega_n \sqrt{1-\zeta^2} t\right) \quad (3.32)$$

Caso Superamortecido ( $\zeta > 1$ ):

- $\theta_e^{\Delta\theta}(t)$ :

$$\theta_e^{\Delta\theta}(t) = \frac{\Delta\theta}{2\sqrt{\zeta^2-1}} \left[ \left(1-\sqrt{\zeta^2}\right)e^{-\zeta\omega_n(1-\sqrt{\zeta^2-1})t} - \left(1+\sqrt{\zeta^2-1}\right)e^{-\zeta\omega_n(1+\sqrt{\zeta^2-1})t} \right] \quad (3.33)$$

$$\theta_e^{\Delta\theta}(t) = \frac{\Delta\theta}{2\sqrt{\zeta^2-1}} \left[ \left(1-\sqrt{\zeta^2}\right)e^{p_2t} - \left(1+\sqrt{\zeta^2-1}\right)e^{p_1t} \right] \quad (3.34)$$

•  $\theta_e^{\Delta\omega}(t)$ :

$$\theta_e^{\Delta\omega}(t) = \frac{\Delta\omega}{2\omega_n\sqrt{\zeta^2-1}} \left[ \left(1-\sqrt{\zeta^2}\right)e^{-\zeta\omega_n(1-\sqrt{\zeta^2-1})t} - \left(1+\sqrt{\zeta^2-1}\right)e^{-\zeta\omega_n(1+\sqrt{\zeta^2-1})t} \right] \quad (3.35)$$

$$\theta_e^{\Delta\omega}(t) = \frac{\Delta\theta}{2\omega_n\sqrt{\zeta^2-1}} \left[ e^{p_2t} - e^{p_1t} \right] \quad (3.36)$$

Nas equações (3.30) e (3.32) observa-se que a resposta transitória é melhorada com o aumento de  $k_i$  ( $\omega_n$ ) ou  $k_p$  ( $\zeta$ ). Conforme explicitado em (2.13), o aumento de  $k_i$  significa o aumento de  $\omega_n$  e a elevação de  $k_p$  acarreta o aumento de  $\zeta$  mantendo-se fixo o valor de  $\omega_n$ . O aumento destes parâmetros acarreta o aumento da taxa de amortecimento das respostas ao degrau apresentadas pelas equações (3.30) e (3.32). A equação (3.32) apresenta ainda  $\omega_n$  como um fator de seu denominador e seu aumento acarreta a diminuição de seu valor inicial, o que aumenta o tempo de acomodação. No entanto, o caso superamortecido contém certas minúcias a serem consideradas para o ajuste dos ganhos. As equações (3.34) e (3.36) apresentam dois termos: Um decaindo como  $e^{p_1t}$  (pólo rápido), e outro decaindo com  $e^{p_2t}$  (pólo lento). A Figura 3.8 [7] apresenta a localização dos pólos rápidos e lentos para o caso superamortecido, em verde, e pólos para o caso subamortecido, em azul. Quanto maiores os valores das partes imaginárias dos pólos no caso subamortecido, maiores os níveis de overshoot para a resposta ao degrau.

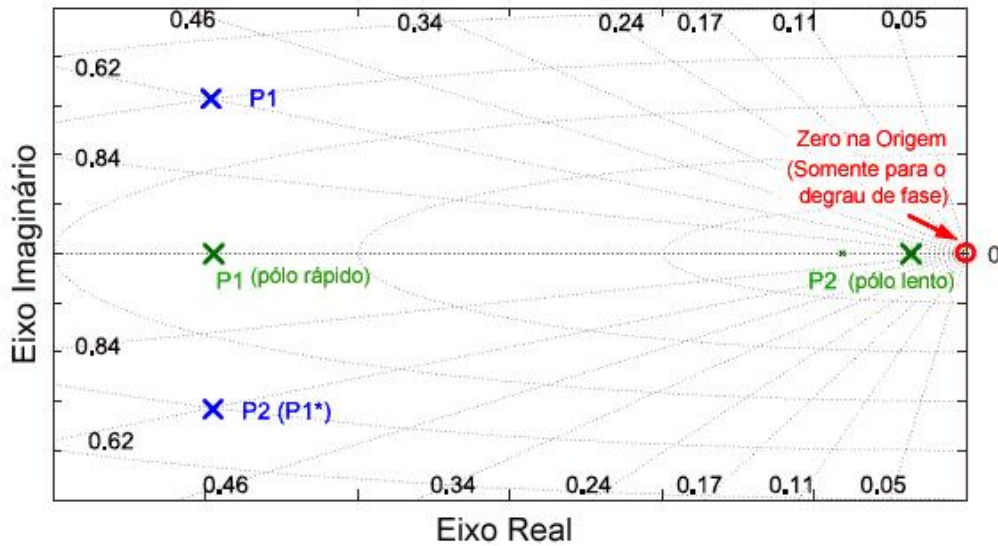


Figura 3.8: Localização de polos em função de ajustes de parâmetros do controlador PI.

No caso do degrau de fase, o termo associado ao pólo lento apresenta um coeficiente menor. Se o controlador PI for ajustado de tal forma que  $p_1 \gg p_2$ , o transiente dependerá apenas do pólo rápido. Logo, esta resposta transitória pode ser melhorada aumentando-se  $\zeta$  no caso em questão.

O grande problema desta abordagem ocorreria quando a entrada fosse um degrau de frequência. Na equação (3.36) observa-se que o coeficiente para os dois pólos é o mesmo. Se  $p_2$  estiver muito próximo da origem, a resposta transiente definida por  $\theta_e^{\Delta\omega}(t)$  poderá levar um tempo demasiadamente longo para alcançar o regime. Vale ressaltar que quanto maior a parte imaginária do pólo dominante, maior tenderá a ser o *Overshoot* na saída do sistema.

Durante o ajuste dos ganhos dos controladores PI é importante levar em consideração que a localização dos pólos e o valor de  $\zeta$  acarretam diferentes desempenhos proporcionados por estes ajustes quando a entrada é um degrau de fase, e quando a mesma é um degrau de frequência.

### 3.4.2 Filtragem x Resposta Transitória

A velocidade de resposta transitória do PLL pode ser melhorada com o aumento da largura de banda ( $\omega_n$ ). O aumento deste parâmetro para valores elevados diminui o tempo de decaimento determinado pelos pólos e, logo, o regime permanente é atingido mais rapidamente.

Para sinais de entrada provenientes de redes com sinais distorcidos, porém, considerações importantes devem ser feitas. O grau de filtragem do PLL está intimamente relacionado com a redução da largura de banda, o que significa reduzir o desempenho de resposta transitória do mesmo. Este é um grande inconveniente quando se lida com sinais distorcidos, para aumentar-se a filtragem, a velocidade de resposta transitória do PLL é inevitavelmente reduzida.

## 3.5 q-PLL

A estrutura do q-PLL [10] é apresentada na Figura 3.9. Os estágios de PD, LF e VCO são de fácil identificação. Os fundamentos do algoritmo do q-PLL podem ser explicados através de analogias diretas a conceitos da Teoria pq e, logo, os conceitos desta teoria apresentados neste trabalho serão utilizados para a explicação deste sistema. Na equação (3.37) é apresentada a expressão do erro na saída do bloco PD.



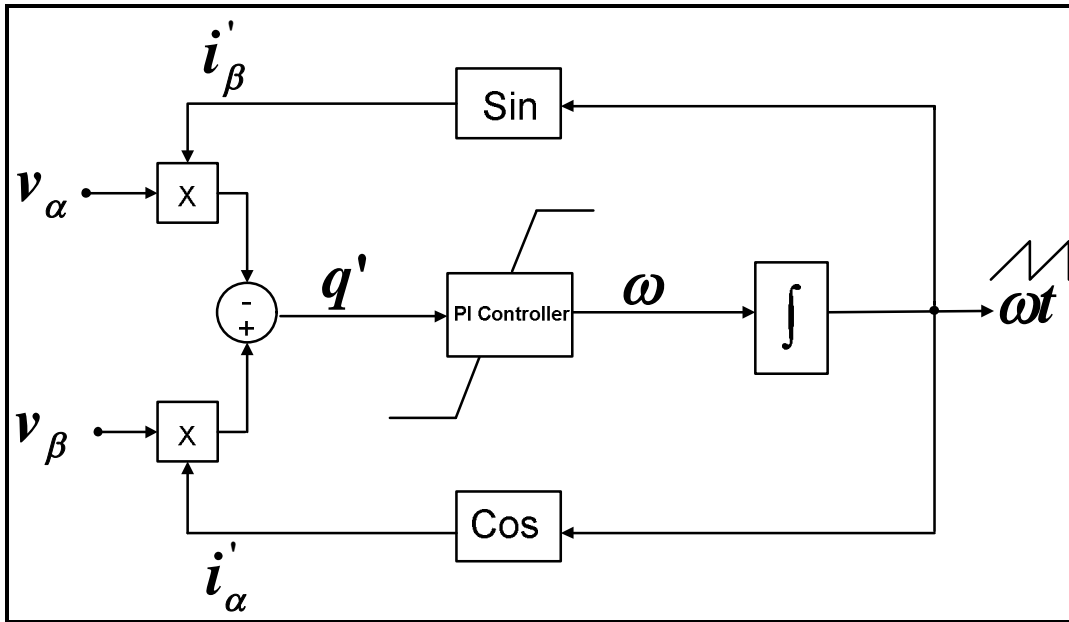


Figura 3.9: Configuração q-PLL.

$$q' = v_{\beta} i'_{\alpha} - v_{\alpha} i'_{\beta} \quad (3.37)$$

De fato a expressão (3.37) é exatamente idêntica a (3.6). A única diferença é o nome das variáveis que foi ligeiramente alterado, sendo  $i'_{\alpha}$  e  $i'_{\beta}$  as saídas dos blocos *cos* e *sin* do VCO, respectivamente. Estes nomes, no entanto, são propositalmente semelhantes devido à analogia do algoritmo com os conceitos da Teoria pq. Isto justifica, inclusive, o nome deste algoritmo.

Como foi observado na Teoria pq, a componente q (potência imaginária) será nula somente se as componentes fundamentais de sequência positiva das tensões e correntes apresentarem defasagem nula. Somente componentes de mesma frequência e mesma sequência são capazes de “produzir” potência ativa média [3]. Desta forma, levando-se em conta que as componentes harmônicas do sinal de entrada são devidamente filtradas pelo q-PLL, o sistema se estabilizará quando o valor de q for zero, ou seja, quando somente houver potência ativa média, em analogia com o que ocorre na Teoria pq.

Logo, ao longo da dinâmica do q-PLL, partindo-se de  $t = 0$ , as correntes fictícias  $i'_{\alpha}$  e  $i'_{\beta}$  irão diminuir gradativamente o erro de saída do PD, ou seja,  $q'$ . Isto

significa que a sequência positiva referente às correntes  $i'_\alpha$  e  $i'_\beta$  está deslocando sua fase até atingir à mesma fase da sequência positiva das tensões de entrada.

Quando as duas sequências apresentam defasagens nulas, o valor de  $q'$ , ou seja, o erro de saída do bloco PD é zero e o sistema é estabilizado. Este ponto corresponderá à fase da sequência positiva das tensões de entrada, o que caracteriza a base de funcionamento do q-PLL. A Figura 3.10 apresenta a condição na qual o q-PLL se estabiliza, quando a componente de sequência positiva da corrente está em fase com a componente de sequência positiva da tensão.

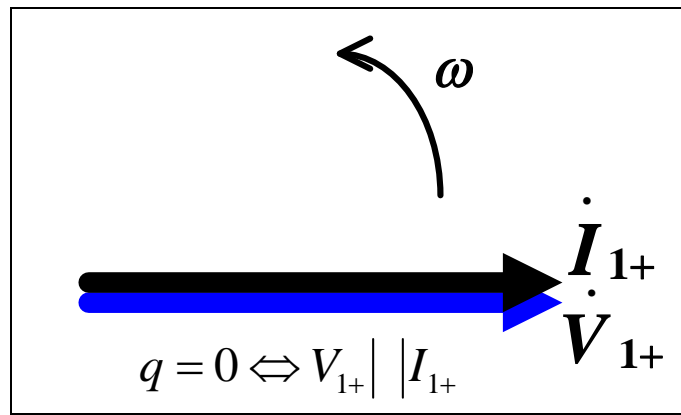


Figura 3.10: Instante de estabilização do q-PLL.

A partir do momento em que o q-PLL se estabiliza, a fase da sequência positiva é detectada. Para a detecção das magnitudes, no entanto, alguns outros artifícios são necessários. Sabendo-se que:

$$\begin{bmatrix} p \\ q \end{bmatrix} = \begin{bmatrix} i_\alpha & i_\beta \\ -i_\beta & i_\alpha \end{bmatrix} \begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} \quad (3.38)$$

Em analogia com o q-PLL, o sistema alcançará o regime permanente quando  $q = 0$ . Logo, após esta consideração e algumas manipulações matriciais obtém-se:

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \frac{1}{i_\alpha^2 + i_\beta^2} \begin{bmatrix} i_\alpha & i_\beta \\ -i_\beta & i_\alpha \end{bmatrix} \begin{bmatrix} \bar{p} \\ 0 \end{bmatrix} \quad (3.39)$$

Os valores de  $v_\alpha$  e  $v_\beta$  na equação (3.40) correspondem, na referência abc, às tensões trifásicas para as quais  $q = 0$  e há somente potência ativa média. Em outras palavras,  $v_\alpha$  e  $v_\beta$  correspondem às tensões de sequência positiva do sinal de entrada. Os valores  $i_\alpha$  e  $i_\beta$  são as componentes de Clarke das correntes trifásicas. A Figura 3.11 apresenta a implementação do detector de magnitude de sequência positiva no q-PLL. Trata-se de um bloco em malha aberta que tem sua resposta determinada pelos valores de  $i_\alpha$  e  $i_\beta$  quando o q-PLL atinge o regime permanente.

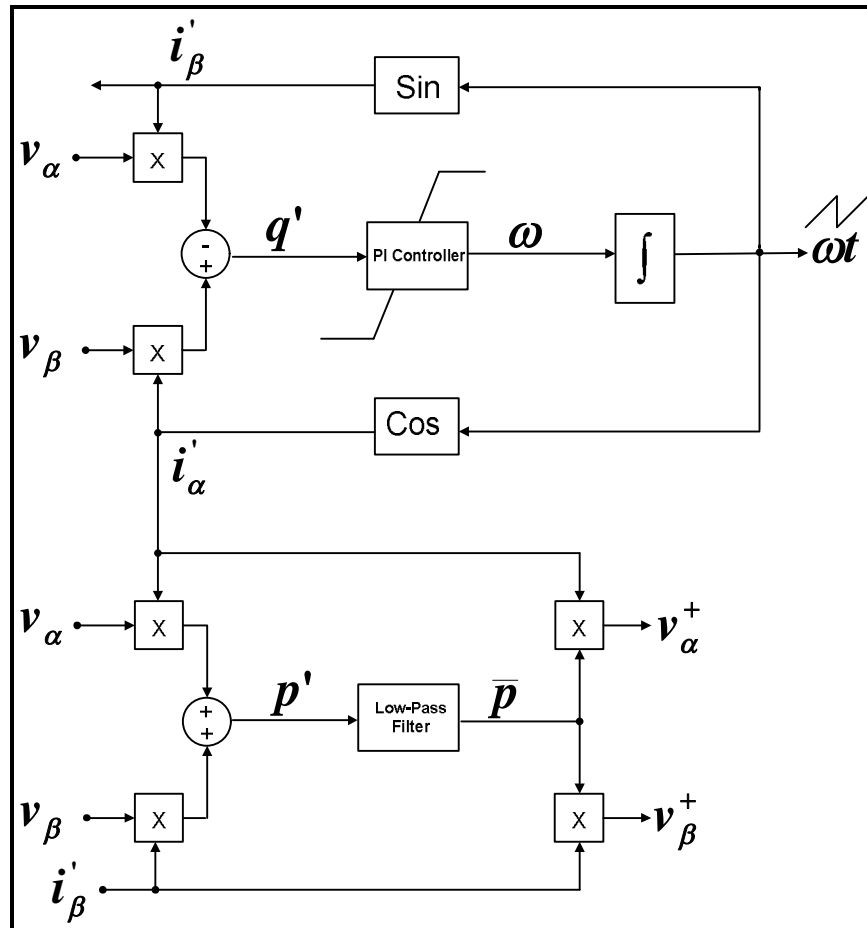


Figura 3.11: Estrutura q-PLL com detector de sequência positiva.

A escolha dos nomes das variáveis é, conforme já observado, análoga às variáveis da Teoria pq. Assim, a expressão para a saída do detector, de acordo com o apresentado na Figura 3.11 é:

$$p' = v_{\alpha} i'_{\alpha} + v_{\beta} i'_{\beta} \quad (3.40)$$

Deve-se ressaltar que as equações (3.37) e (3.40) estão relacionando valores de grandezas instantâneas. Logo com todos os valores em p.u, a soma instantânea dos quadrados  $i_{\alpha}^2$  e  $i_{\beta}^2$ , que estão em quadratura, é constante e vale  $\sqrt{2}$ . O inverso deste valor multiplicado por  $i_{\alpha}$  e  $i_{\beta}$  irá corresponder aos sinais  $i'_{\alpha}$  e  $i'_{\beta}$  observados na Figura 3.10, com seus valores de pico variando entre 1 e -1.

A seguir são apresentados resultados de simulações para a observação da operação deste algoritmo. A Figura 3.12 apresenta o sinal trifásico de entrada equilibrado e com 5% de THD, sendo esta distorção causada por 5° e 7° harmônicos com frequência fundamental de 50 Hz. A Figura 3.13 apresenta a sequência positiva detectada, e a Figura 3.14 apresenta a comparação entre a fase da sequência positiva com o sinal trifásico de sequência positiva, ambos detectados pelo q-PLL.

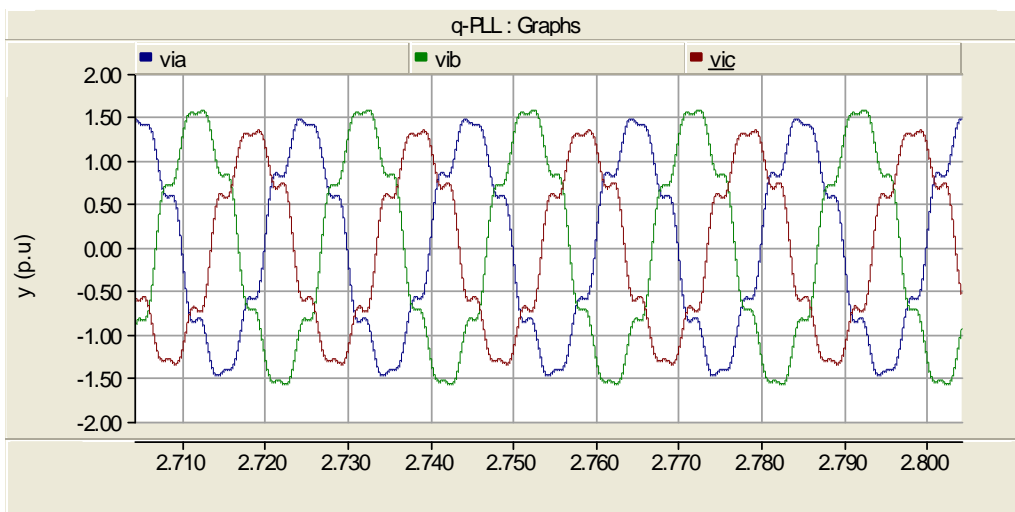


Figura 3.12: Sinal de entrada do q-PLL.

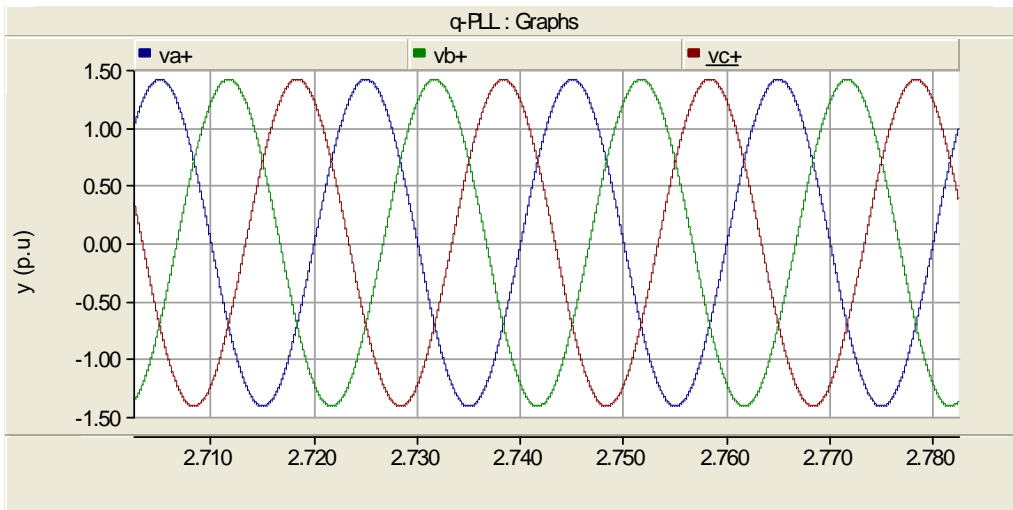


Figura 3.13: Saída do q-PLL indicando as tensões de seqüência positiva.

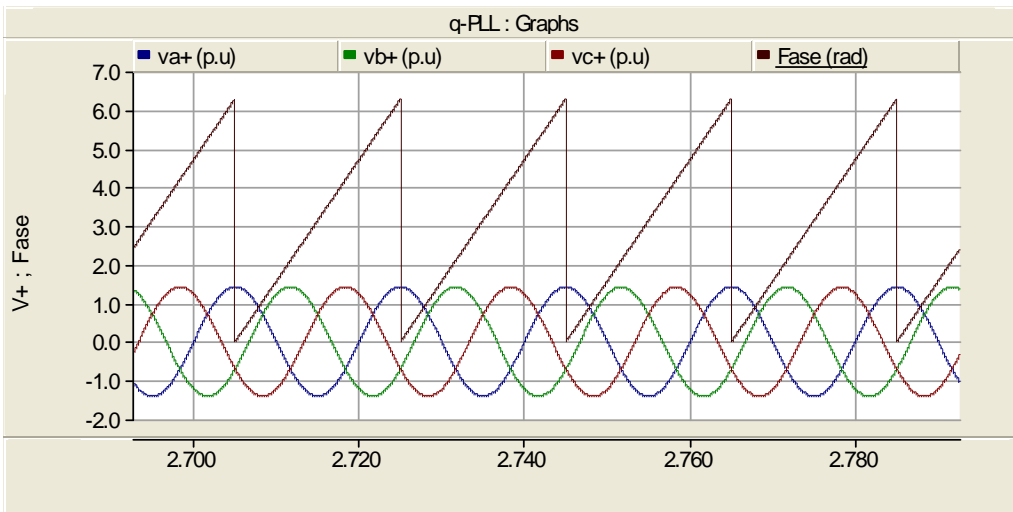


Figura 3.14: Fase e seqüência positiva detectados pelo q-PLL.

### 3.6 Optimized Dual SOGI-FLL

A estrutura do *Optimized Dual SOGI-FLL* [2] é apresentada na Figura 3.15. A entrada, constituída por tensões trifásicas, é transformada para suas duas componentes de Clarke. Cada componente é entrada de uma estrutura SOGI idêntica à estrutura monofásica já observada neste trabalho.

Para cada SOGI-QSG há duas saídas em quadratura, que contêm as informações da componente fundamental do sinal de entrada. Estes sinais são as entradas do bloco PNSC, que fornece em suas saídas as componentes de  $v_{\alpha}^{+}$  e  $v_{\beta}^{+}$  relativas à sequência positiva e as componentes  $v_{\alpha}^{-}$  e  $v_{\beta}^{-}$ , que são relativas à sequência negativa do sinal de entrada. Estas saídas passam por um bloco de transformada de Clarke inversa, para que sejam fornecidas em suas componentes abc correspondentes. A estrutura FLL apresenta muitas semelhanças com a configuração da Figura 2.22.

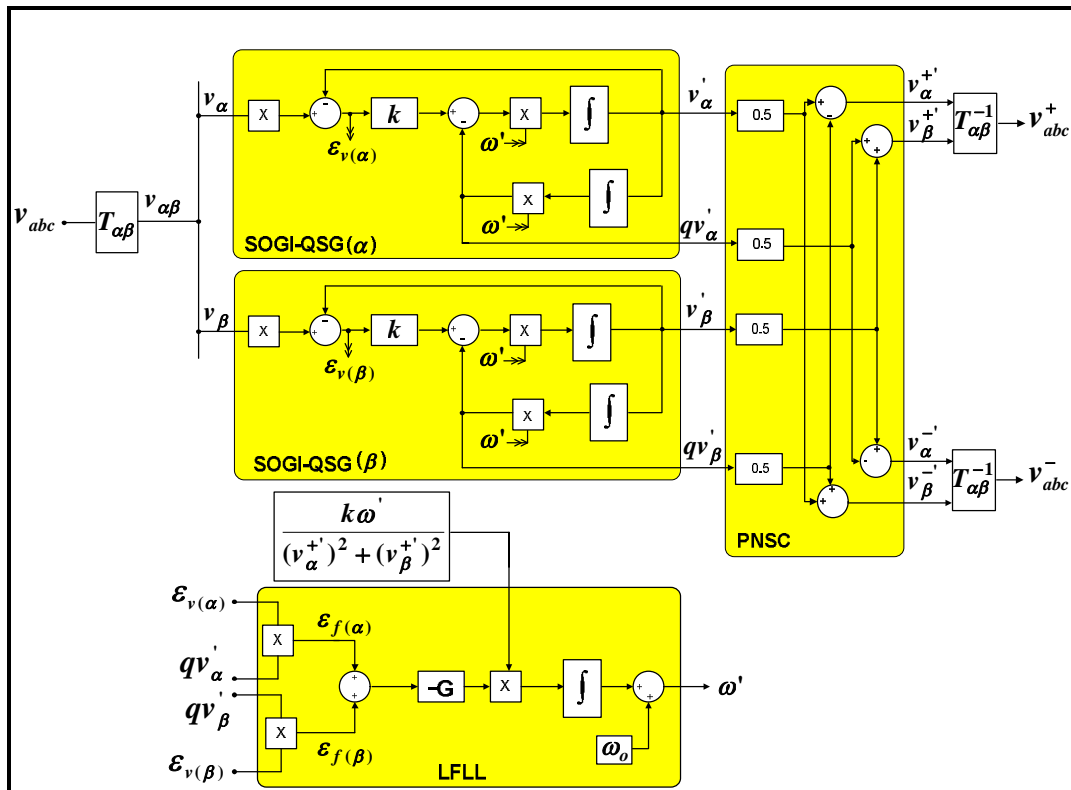


Figura 3.15: *Optimized Dual SOGI-FLL*

Uma grande peculiaridade deste bloco é o sinal de erro proveniente da soma dos produtos entre os erros dos blocos SOGI-QSG e de suas respectivas saídas em quadratura. As figuras a seguir são simulações, nas quais o comportamento deste algoritmo pode ser observado. A Figura 3.16 apresenta o sinal de entrada que não apresenta distorção harmônica e está com 10% de desequilíbrio, com frequência fundamental de 50 Hz. A Figura 3.17 e a Figura 3.18 apresentam as tensões de sequência positiva e negativa detectadas, respectivamente.

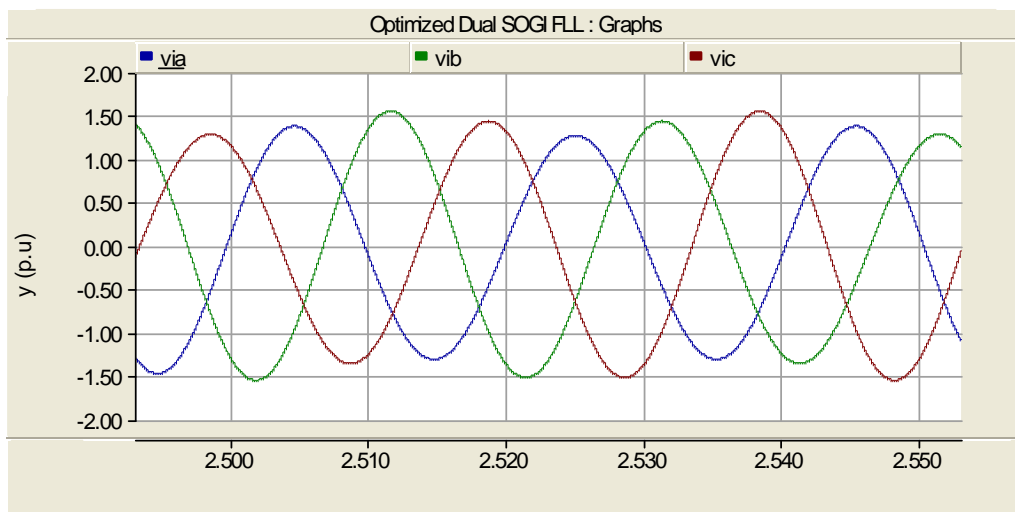


Figura 3.16: Sinal de entrada do *Optimized Dual SOGI-FLL*.

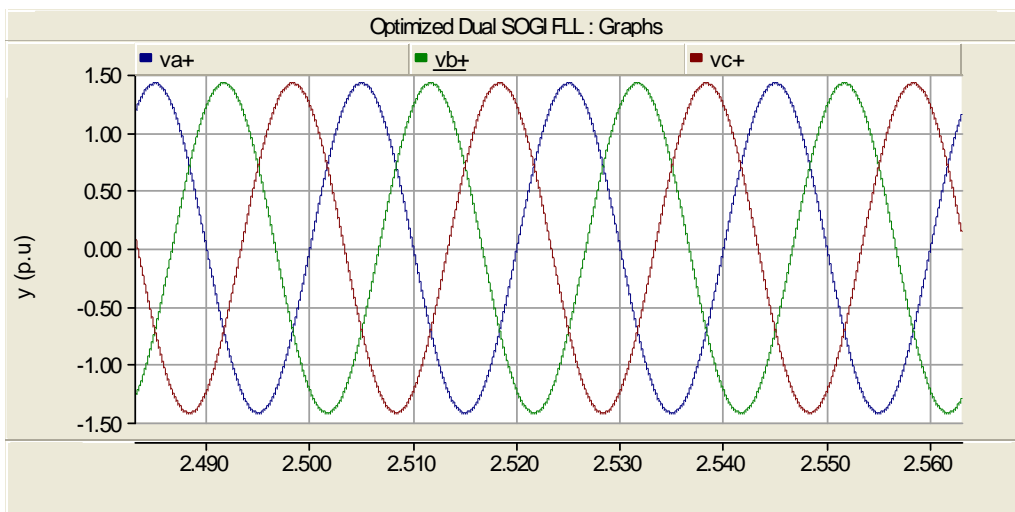


Figura 3.17: Sequência positiva detectada pelo *Optimized Dual SOGI-FLL*.

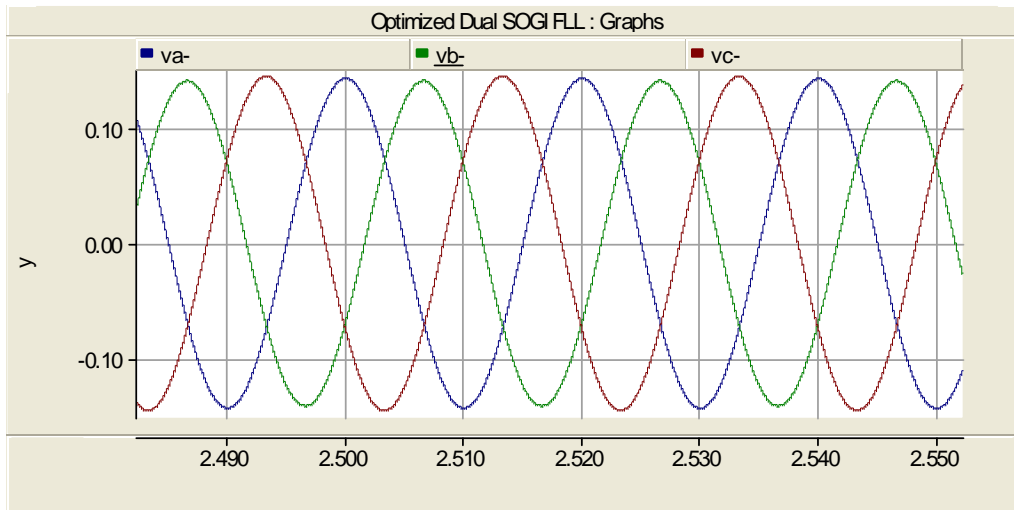


Figura 3.18: Sequência negativa detectada pelo *Optimized Dual SOGI-FLL*

### 3.7 DEPLL

A Figura 3.19 apresenta a estrutura de um EPLL modificado. O EPLL foi redesenhado, sendo que as duas áreas em destaque apresentam um bloco constituído por um filtro ANF do tipo BPAF ( *Band-Pass Adaptive Filter*) [18], e um bloco PLL padrão. Deve-se ressaltar que a estrutura básica deste sistema é a mesma do EPLL apresentado anteriormente. Ao invés de ser dividida em blocos PD, LF e VCO, conforme apresentado na Figura 2.29, a estrutura foi separada como uma associação entre um BPAF e um PLL padrão. A modificação é o ganho de -1 localizado em uma das saídas do PLL. Esta alteração disponibiliza duas saídas em quadratura no bloco. Os sinais  $u$  e  $qu$  variam entre -1 e 1. Quando multiplicados pela amplitude  $V'_{(\omega)}$  estimada pelo BPAF, disponibilizam as saídas  $v'$  e  $qv'$ , que estão em quadratura.



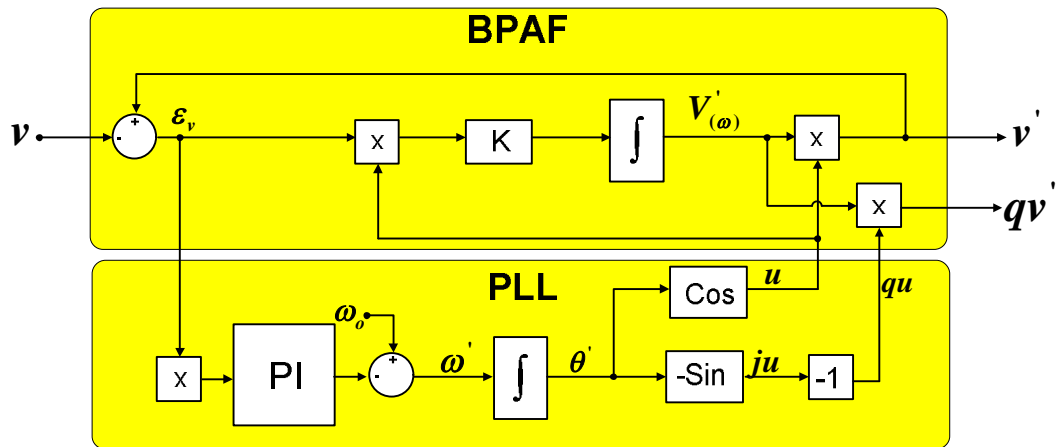


Figura 3.19: Estrutura EPLL modificado.

A estrutura do DEPLL [5] é apresentada na Figura 3.20. Os blocos BPAF são idênticos ao BPAF apresentado no EPLL modificado. Observa-se que o DEPLL trifásico é uma adaptação em que dois filtros BPAF são utilizados, sendo um filtro para cada componente de Clarke do sinal trifásico de entrada. Somente um bloco PLL é utilizado, já que o erro proveniente de um do bloco BPAF ( $\alpha$ ) já é suficiente para a detecção da frequência e da fase do sinal de entrada.

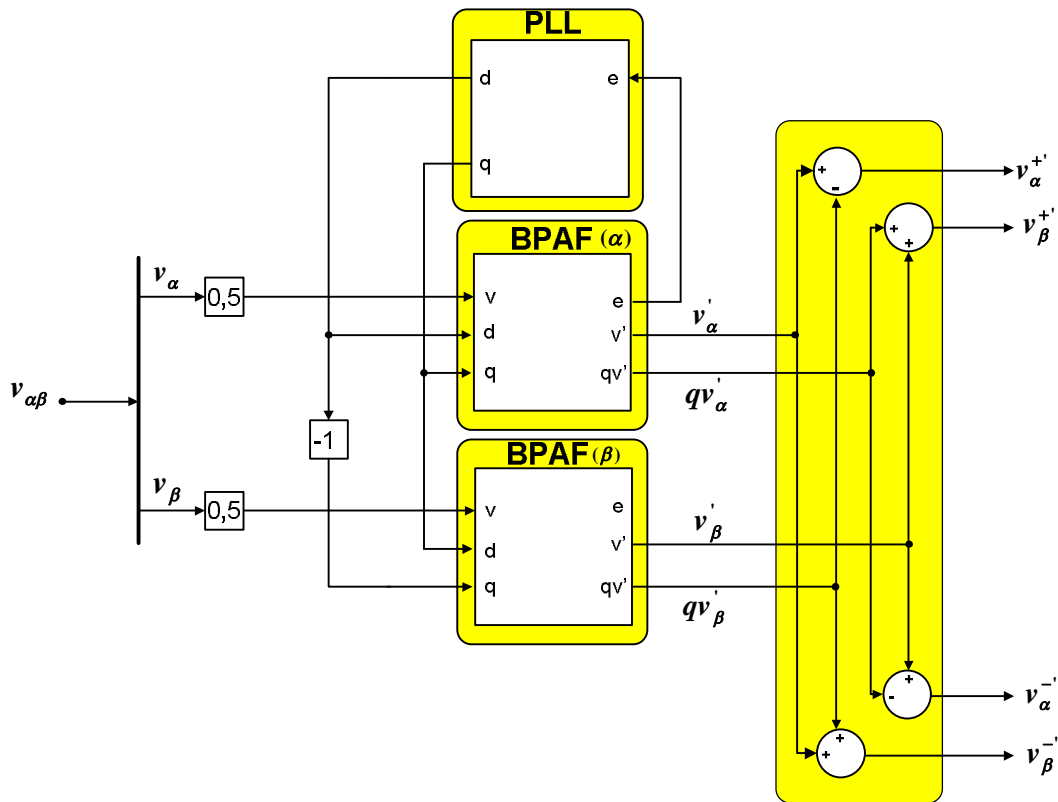


Figura 3.20: DEPLL.

As figuras a seguir são simulações em que servem como exemplo para a observação operativa deste algoritmo. A Figura 3.21 apresenta o sinal de entrada que é constituído por tensões trifásicas distorcidas com 5% de THD, sendo esta distorção decorrente da presença de 5° e 7° harmônicos, com frequência fundamental de 50 Hz. A Figura 3.22 apresenta a sequência positiva detectada pelo algoritmo. A Figura 3.23 apresenta a comparação entre o sinal de fase, em radianos, com o sinal trifásico de sequência positiva, ambos detectados pelo DEPLL.

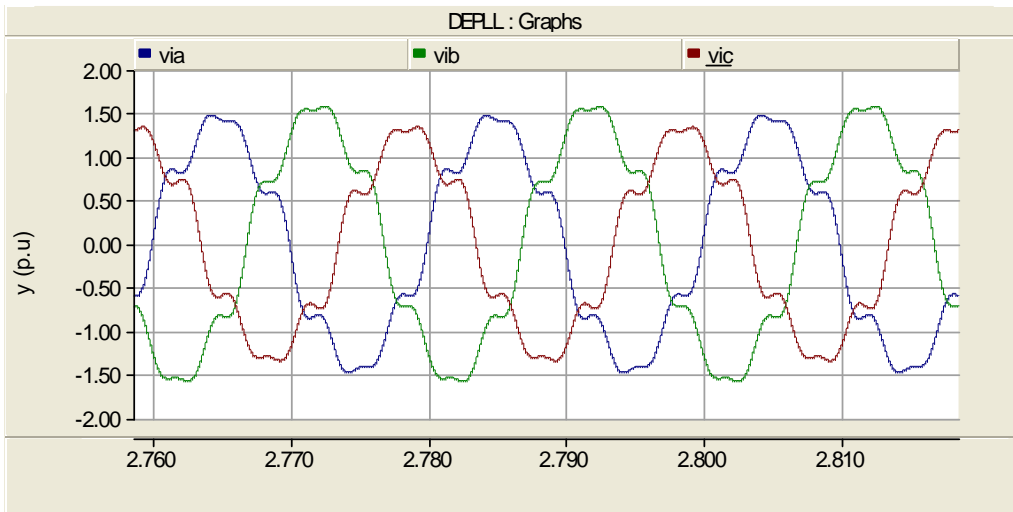


Figura 3.21: Sinal de entrada do DEPLL.

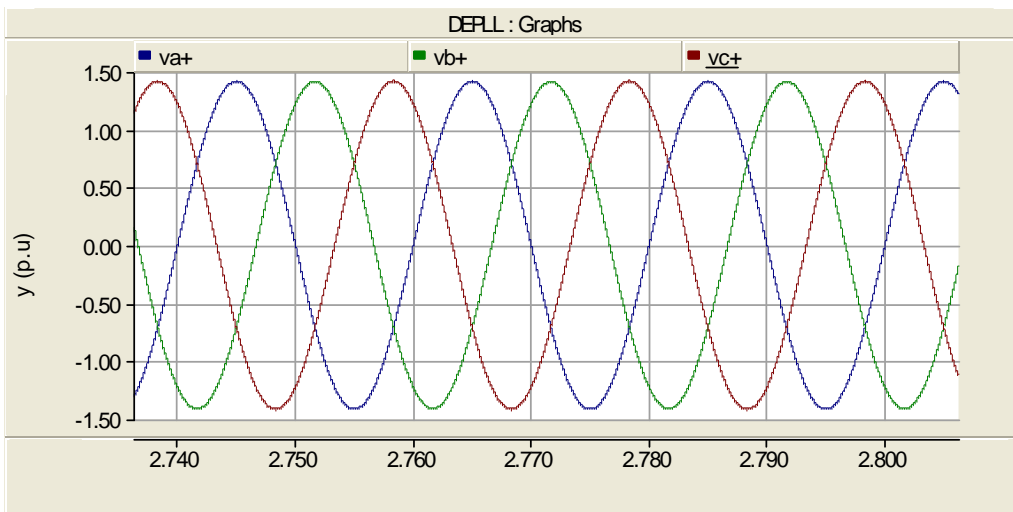


Figura 3.22: Sequência positiva detectada pelo DEPLL.

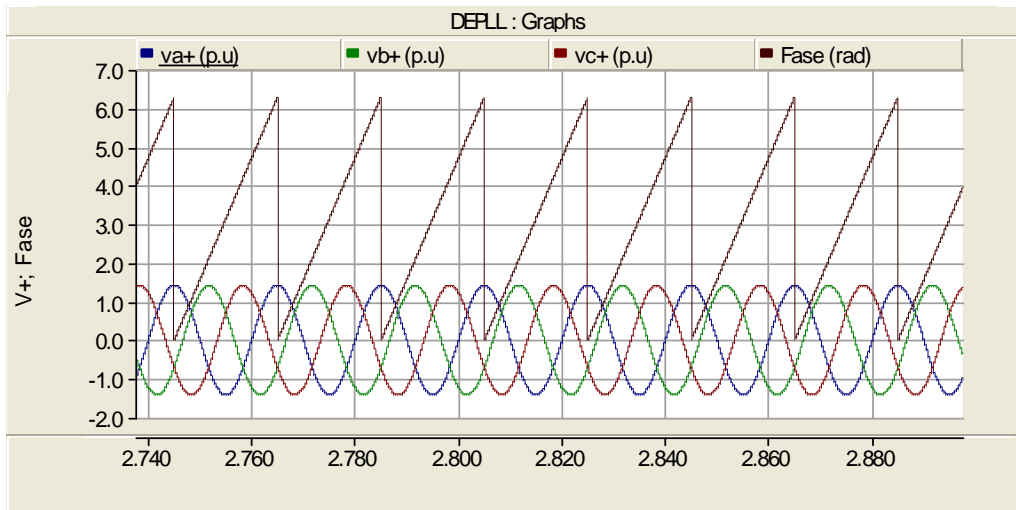


Figura 3.23: Fase e seqüência positiva detectados pelo DEPLL.

## **4. Comparação entre os algoritmos de sincronização trifásicos**

*Esse capítulo apresenta uma comparação através de simulações do desempenho dos algoritmos  $q$ -PLL, Optimized Dual SOGI- FLL e DEPLL. Os algoritmos são testados para diferentes condições de rede. Posteriormente, com a síntese dos resultados, será analisado para que aplicações em particular cada algoritmo pode ser mais adequadamente empregado.*

## 4.1 Testes de performance

Os desempenhos do q-PLL, *Optimized Dual SOGI - FLL* e o DEPLL foram comparados por meio de simulações no programa PSCAD EMTDC. Primeiramente, deve-se ressaltar que esta análise comparativa é de cunho qualitativo e quantitativo. Os índices de desempenho como o tempo de acomodação, percentual de ultrapassagem e valor de pico serão devidamente observados ao longo das comparações. Estes valores, no entanto, não são o único foco desta análise.

Os sistemas elétricos são eventualmente submetidos a variados tipos de perturbação e, logo, faz-se necessária a análise de desempenho dos algoritmos frente a diferentes condições de rede. Os três sistemas foram submetidos aos seguintes testes separadamente:

- Distorção Harmônica;
- Desequilíbrio 10%;
- Distorção Subarmônica;
- Degrau de Frequência;
- Degrau de Fase.

As condições apresentadas são generalizadas. Em aplicações específicas, no entanto, uma ou outra condição de rede apresentada acima pode não ocorrer. Desta forma os ganhos dos algoritmos poderiam ser ajustados para se ter respostas mais rápidas, dependendo da rede à qual estão conectados e do tipo de perturbação que podem eventualmente ocorrer.

Devido aos diferentes tipos de perturbação listados, os ganhos dos controladores tendem a ser menos robustos durante os testes, o que pode comprometer os índices de desempenho como tempo de acomodação, por exemplo. Esta limitação na gama de

ajustes, porém, também é um fator de análise comparativa, já que aborda condições de rede para as quais os respectivos algoritmos de sincronização terão sua utilização recomendada.

O teste de sequência zero não foi citado porque todos os três algoritmos têm transformações de Clarke em suas entradas. Estas transformações seguem as operações apresentadas em (3.3), em que as tensões de sequência zero não são consideradas.

Os ganhos foram determinados a partir de simulações sucessivas em que se buscou um compromisso entre desempenho de respostas transitórias e erros de estimação pequenos para todos os testes. Estes ganhos, uma vez determinados, foram utilizados para todos os testes. Nestas simulações foram observados parâmetros como erros de frequência estimada e o próprio nível de erros na entrada do bloco PD, no caso do q-PLL e do DEPLL. Para o *Optimized Dual* SOGI-FLL, foi observado o erro gerado na entrada do bloco FLL ( $\varepsilon_{f(\alpha)} + \varepsilon_{f(\beta)}$ ) ao longo das simulações. Comparações com a referência de sequência positiva também são apresentadas, tanto para a observação da sincronização dos algoritmos quanto para a observação de erros de estimação. A Tabela 4.1 apresenta os ganhos utilizados para as simulações.

q-PLL		DEPLL		ODS - FLL	
kp	ki	kp	ki	k1	G
20	500	40	488,23	0,7	50

Tabela 4.1: Ganhos utilizados nos testes.

Condições nominais de teste:

- Tensões trifásicas: 1 p.u;
- Frequência: 50 Hz;
- Fase inicial: 0°.

O percentual de ultrapassagem (P.O), o tempo de acomodação ( $t_s$ ) e o valor de pico (Mp) são índices de desempenho que serão analisados nos testes de degrau de fase e/ou degrau de frequência. O tempo de acomodação corresponde ao tempo necessário para a resposta alcançar e permanecer dentro de uma faixa em torno de 2% do valor final [9]. A definição de percentual de ultrapassagem utilizada neste trabalho é dada pela equação (4.1) [4]. Nesta equação  $y_{max}$  corresponde ao valor máximo de saída e  $y_{\infty}$  corresponde a seu valor de saída em regime permanente.

$$P.O = \frac{y_{max} - y_{\infty}}{y_{\infty}} \times 100\% \quad (4.1)$$

As definições apresentadas de tempo de acomodação e percentual de ultrapassagem serão empregadas no teste de degrau de frequência. Para o teste de degrau de fase, o tempo de acomodação será analisado como o tempo em que o erro em regime permanente leva para se estabilizar em zero. Esta é uma boa aproximação para o tempo de acomodação de fases, quando se sabe que o algoritmo permanece sincronizado após o transitório, o que será devidamente observado nas simulações. No teste de degrau de fase o valor de pico do erro será analisado. O valor de pico é definido como o valor máximo de saída durante do regime transitório [4].

#### 4.1.1 Teste de distorção harmônica

Para a execução do teste de distorção harmônica foram escolhidos o 5° e o 7° harmônicos apenas. Este teste poderia envolver harmônicos de ordens e níveis variados. O quinto e o sétimo harmônico são frequentes em diversos tipos de conversores de potência, o que justifica a escolha para o teste. O 7° está relacionado à aplicação de sequência positiva, já o 5° está relacionado à aplicação de sequência negativa.

A Figura 4.1 apresenta o erro de cada algoritmo durante o teste de distorção harmônica. O *Optimized Dual SOGI - FLL* apresentou maior nível de erro neste teste, sendo este de aproximadamente 0,6 p.u. O q-PLL e o DEPLL apresentaram erros de aproximadamente 0,4 p.u e 0,2 p.u, respectivamente. Na Figura 4.2, a frequência estimada por cada algoritmo é apresentada. Nesta figura observa-se que o *Optimized Dual SOGI-FLL* apresentou menores erros de frequência estimada, sendo



aproximadamente 0,3 Hz seu valor máximo. O q-PLL e o DEPLL apresentaram variações máximas de frequência de aproximadamente 1 Hz.

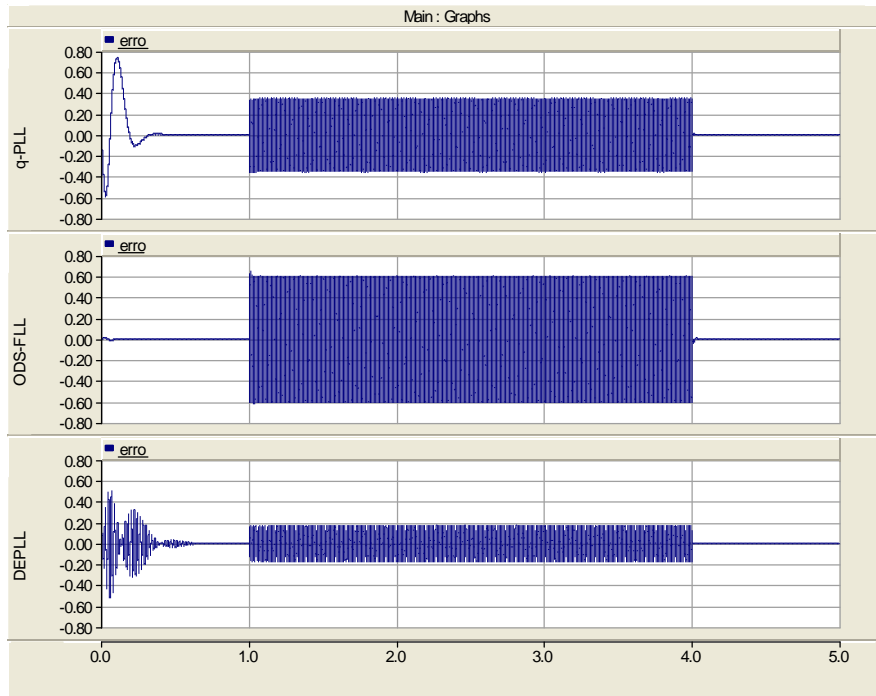


Figura 4.1: Comparação entre os erros dos algoritmos para o teste de distorção harmônica.

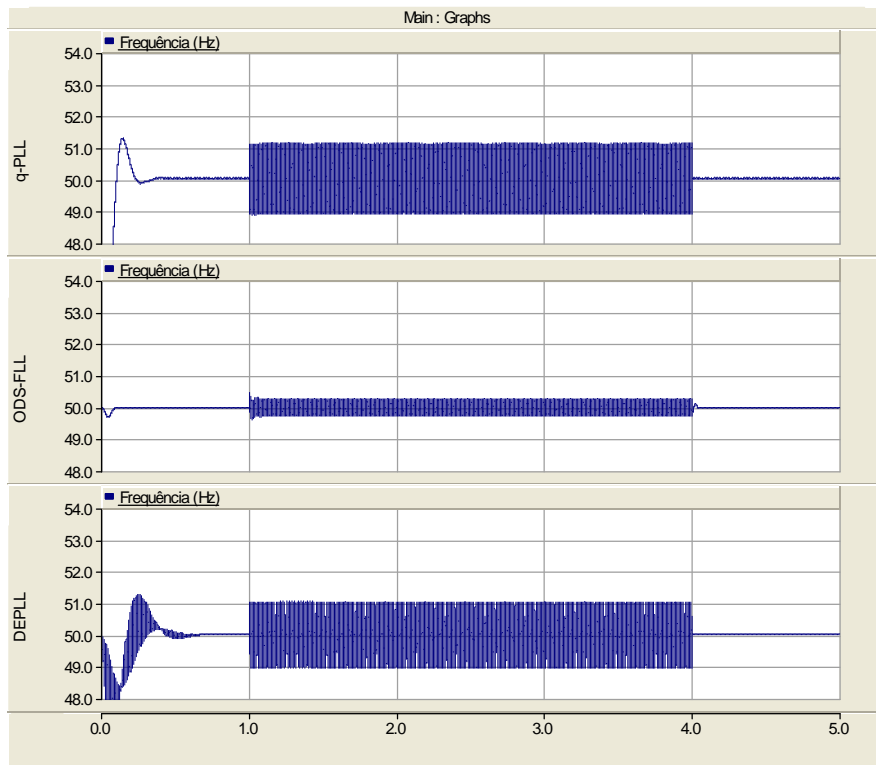


Figura 4.2: Frequência estimada no teste de distorção harmônica.

A Figura 4.3 apresenta a comparação entre o sinal de referência de sequência positiva e o sinal  $v_{a+}$  de sequência positiva detectada pelo respectivo algoritmo. Observa-se, nesta figura, que os algoritmos permanecem sincronizados frente às distorções. A Figura 4.4 apresenta a diferença entre o sinal de referência e o sinal  $v_{a+}$  detectado pelos algoritmos. O *Optimized Dual SOGI - FLL* apresentou maiores níveis de erro na comparação com o sinal de referência, sendo este de aproximadamente 0,024 p.u. O q-PLL apresentou, na comparação com a referência, um erro máximo de 0,01 p.u. O erro máximo do DEPLL foi de aproximadamente 0,007 p.u.

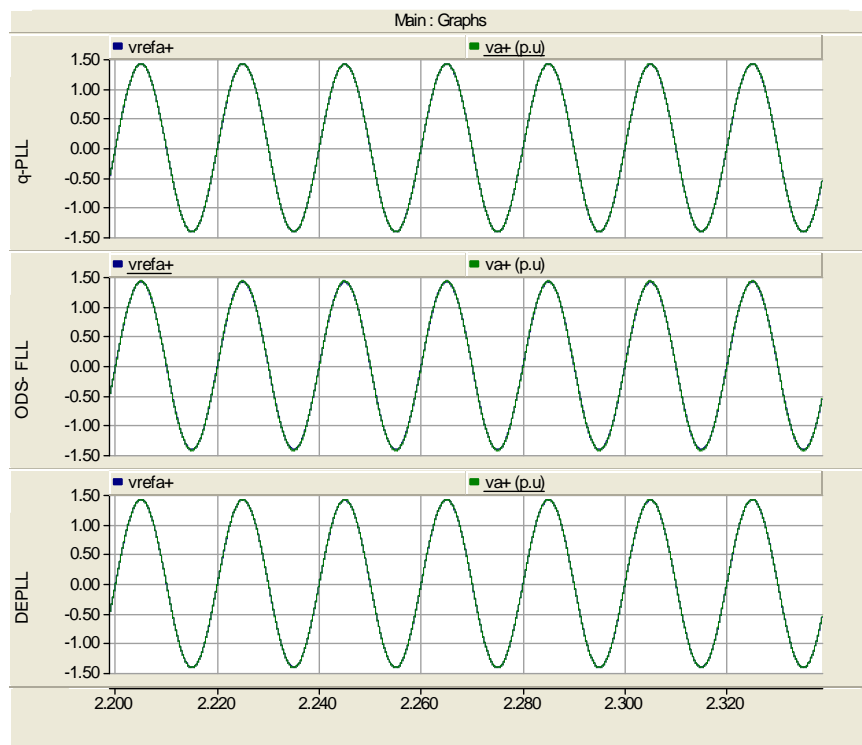


Figura 4.3: Referência de sequência positiva  $v_{refa+}$  e a fase  $v_{a+}$  de sequência positiva detectada no teste de distorção harmônica.

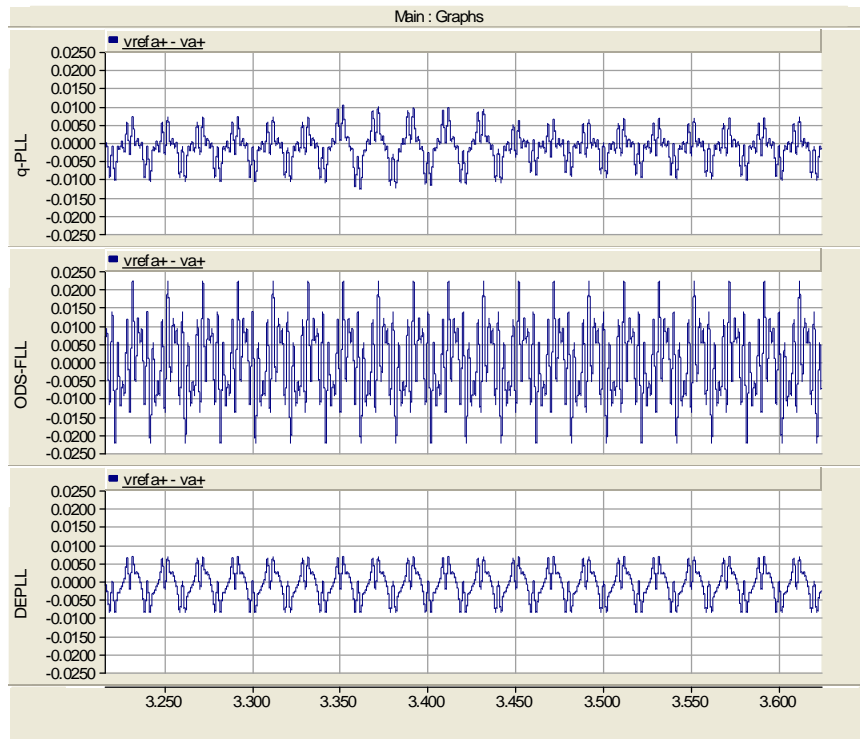


Figura 4.4: Diferença entre a referência de sequência positiva  $v_{refa+}$  e a fase  $va+$  detectada no teste de distorção harmônica.

#### 4.1.2 Teste de degrau de fase

Para a execução do teste de degrau de fase foi aplicado um degrau de  $90^\circ$  nas fases das tensões trifásicas de entrada. Este degrau é aplicado em  $t = 1\text{ s}$  e no instante  $t = 4\text{ s}$  as fases retornam às suas condições iniciais. Na Figura 4.5 são apresentados os erros no teste de degrau de fase. Na Figura 4.6 e na Figura 4.7 os erros são apresentados em detalhes a partir de  $t = 1\text{ s}$  e  $t = 4\text{ s}$ , respectivamente. Observa-se nestas figuras que o *Optimized Dual SOGI-FLL* apresentou menor tempo de acomodação já que em  $t = 70\text{ ms}$  seu erro já está estabilizado em zero.

O q-PLL apresentou o segundo melhor desempenho em velocidade de resposta sendo que atinge seu regime em aproximadamente  $t = 100\text{ ms}$ . O sinal de erro do DEPLL se estabiliza em  $t = 160\text{ ms}$ , mas apresenta oscilações com maiores amplitudes antes de atingir o regime. O *Optimized Dual SOGI-FLL* apresentou maior valor de pico em seu erro, sendo 2 p.u. O DEPLL apresentou o menor valor de pico, sendo este de 1.0 p.u. O erro do q-PLL apresentou valor de pico de aproximadamente 1,7 p.u. A Figura 4.8 apresenta a frequência estimada pelos algoritmos.

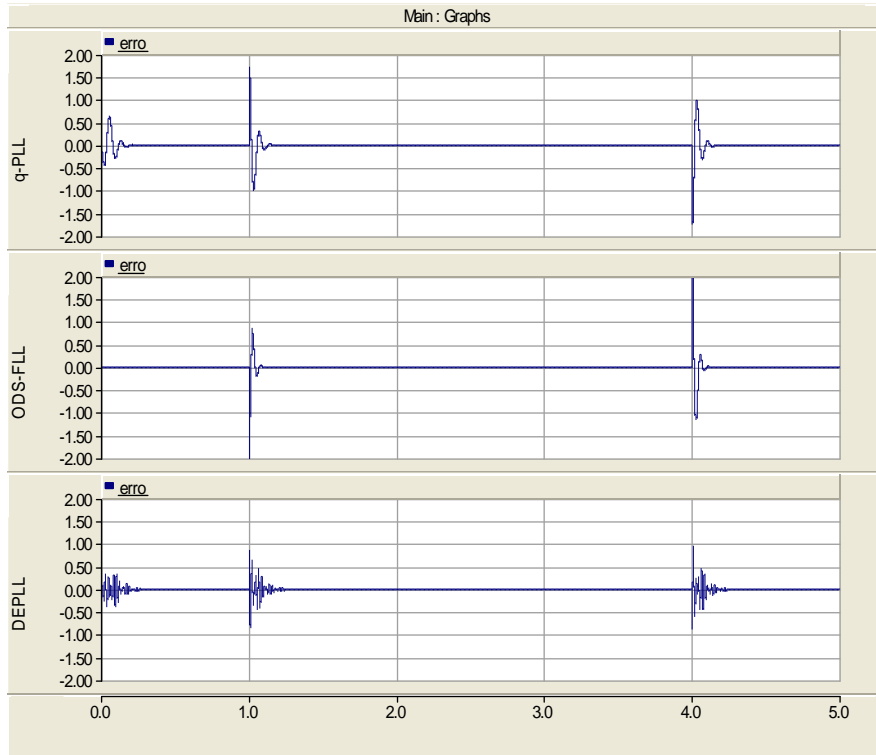


Figura 4.5: Comparação entre os erros dos algoritmos durante o degrau de fase.

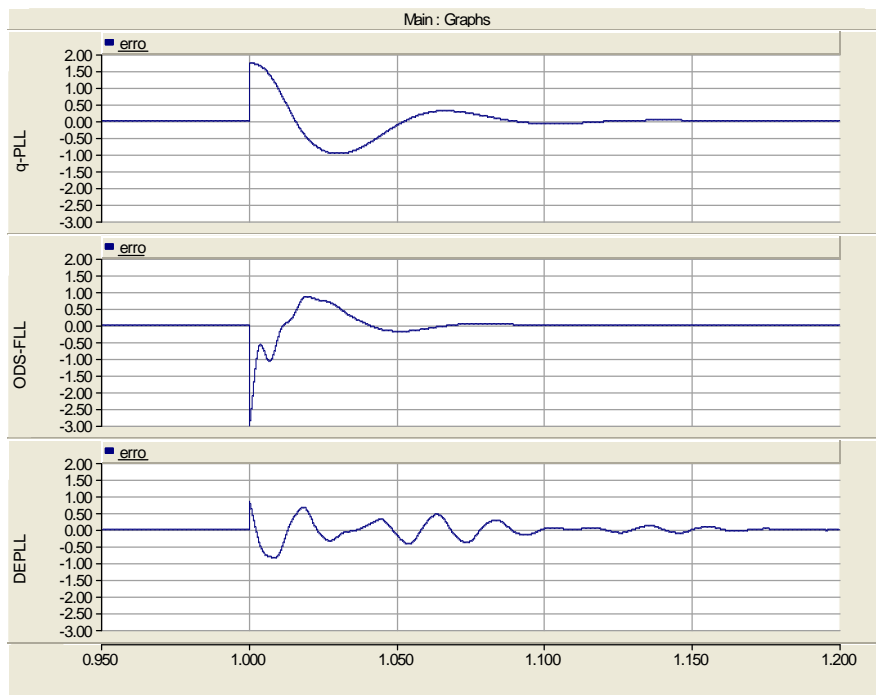


Figura 4.6: Erros em detalhes no teste de degrau de fase a partir de  $t = 1$  s.

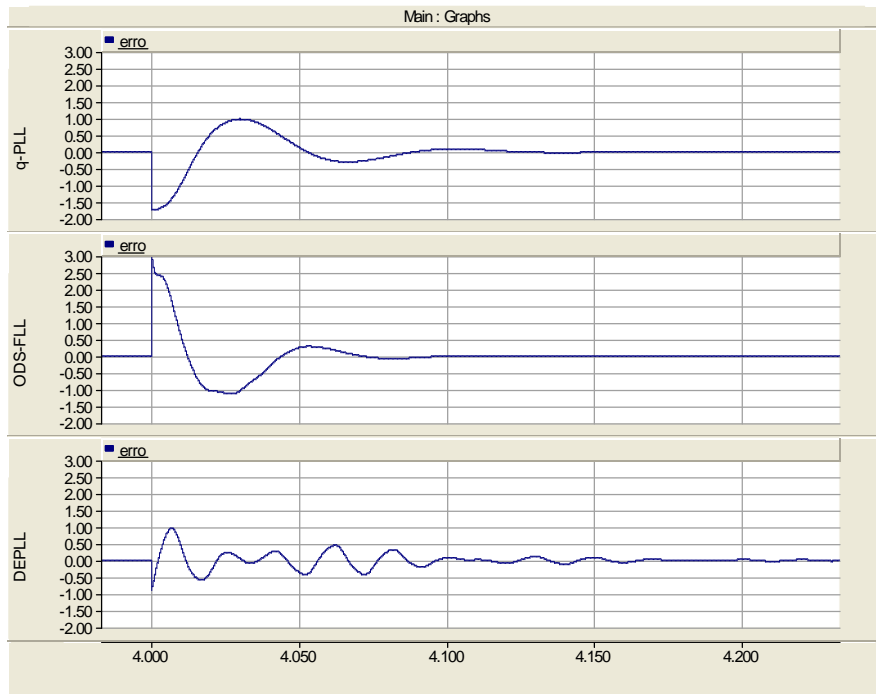


Figura 4.7: Erros em detalhes no teste de degrau de fase a partir de  $t = 4$ s.

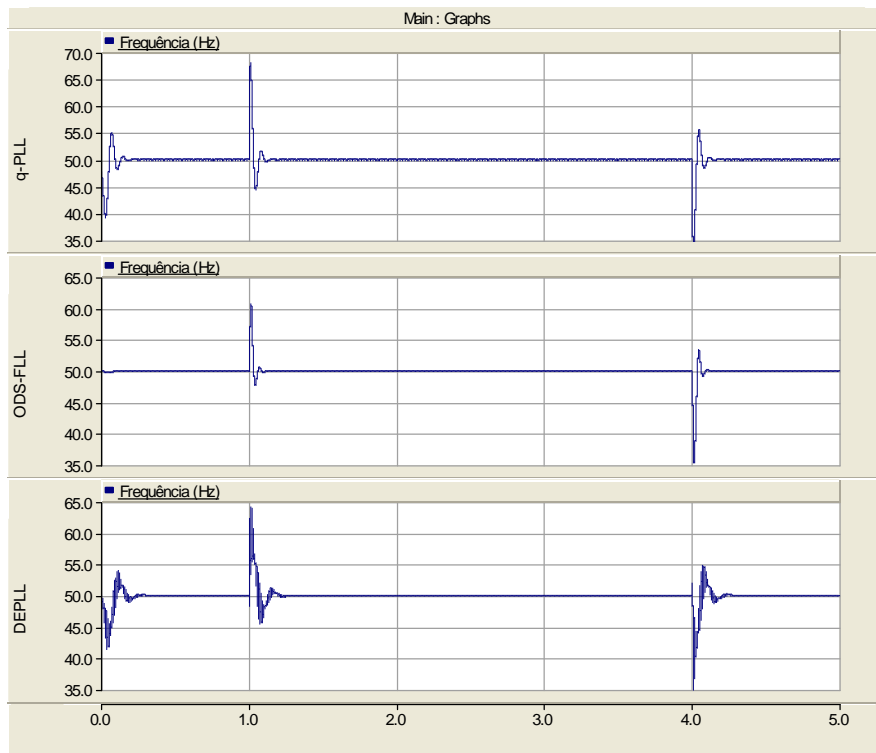


Figura 4.8: Frequência estimada no teste de degrau de fase.

A Figura 4.9 e a Figura 4.10 apresentam a comparação entre o sinal de referência de sequência positiva  $v_{refa+}$  com a fase  $va+$  de sequência positiva estimada pelos algoritmos. Nestas figuras observa-se que após o período de transitório a sequência positiva  $va+$  está sincronizada com a referência. Quando os algoritmos estão sincronizados, os erros são visualmente imperceptíveis.

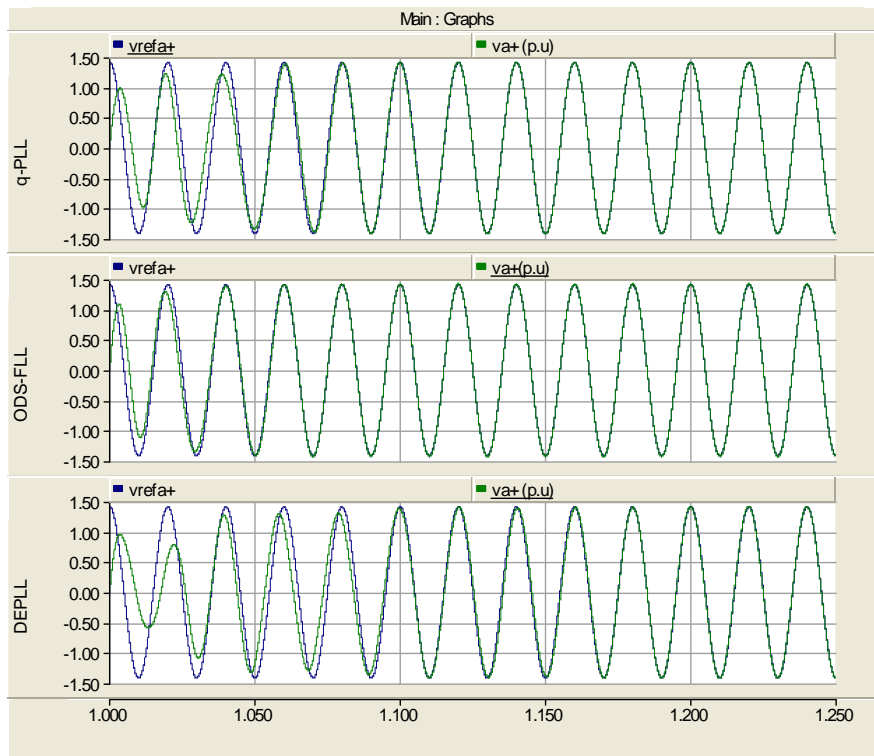


Figura 4.9: Referência de sequência positiva  $v_{refa+}$  e a fase  $va+$  estimada no teste de degrau de fase a partir de  $t = 1s$ .

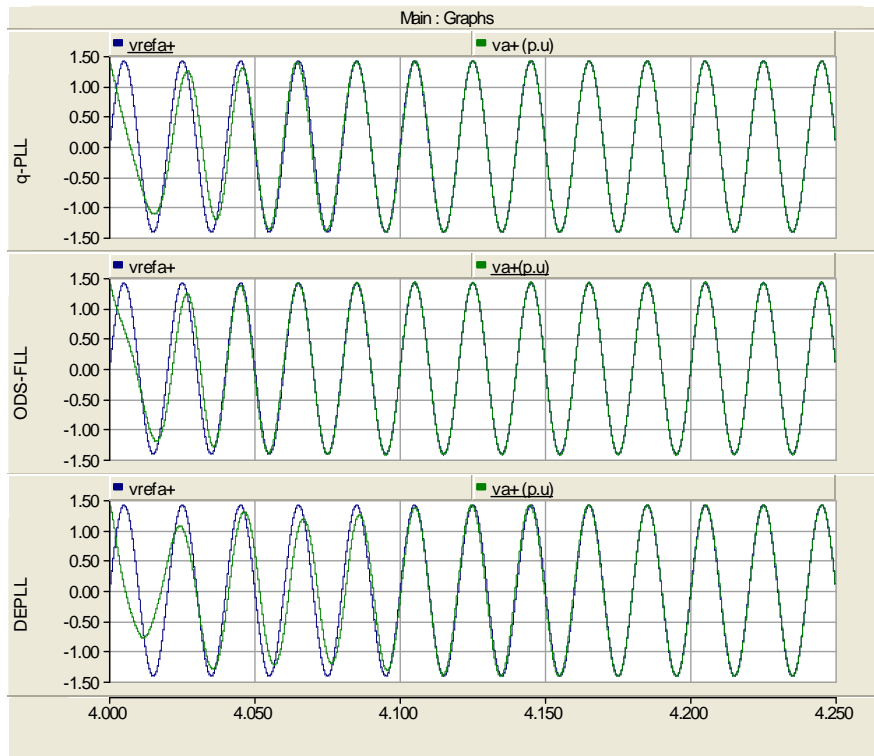


Figura 4.10: Referência de sequência positiva  $v_{refa+}$  e a fase  $va+$  estimada no teste de degrau de fase a partir de  $t = 4s$ .

### 4.1.3 Teste de degrau de frequência + 2Hz

O teste para o degrau de frequência consiste na aplicação de um degrau de 2 Hz na frequência fundamental em  $t = 1s$ . No instante  $t = 4s$  a frequência do sinal de entrada retoma seu valor original.

Na Figura 4.11 é apresentado o erro de cada algoritmo. A Figura 4.12 e a Figura 4.13 apresentam a frequência estimada a partir de  $t = 1s$  e  $t = 4s$ , respectivamente. Nestas figuras a frequência estimada é comparada com a frequência de referência. Observa-se que tanto durante a aplicação quanto para a remoção do degrau de frequência o *Optimized Dual SOGI - FLL* apresentou o tempo de acomodação mais rápido, sendo aproximadamente 70 ms para a aplicação e para a remoção do degrau. O q-PLL, apresentou o tempo de acomodação de 150 ms para o degrau de 2 Hz e após a remoção do degrau. O DEPLL apresentou maior tempo de acomodação, sendo este de aproximadamente 230 ms para o degrau de 2Hz e para a remoção do degrau.

Considerando-se o degrau de 2 Hz como a referência, o q-PLL apresentou o percentual de ultrapassagem de 50%. O *Optimized Dual SOGI-FLL* apresentou percentual de ultrapassagem de aproximadamente 25 %. O DEPLL apresentou maior P.O, sendo este de 75%.

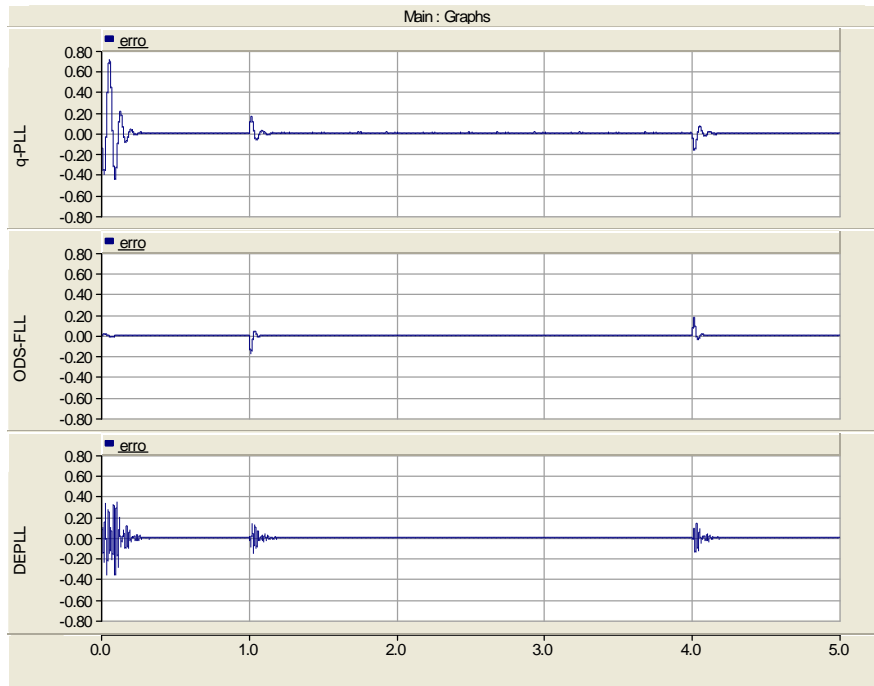


Figura 4.11: Erros dos algoritmos durante o teste de degrau de frequência.

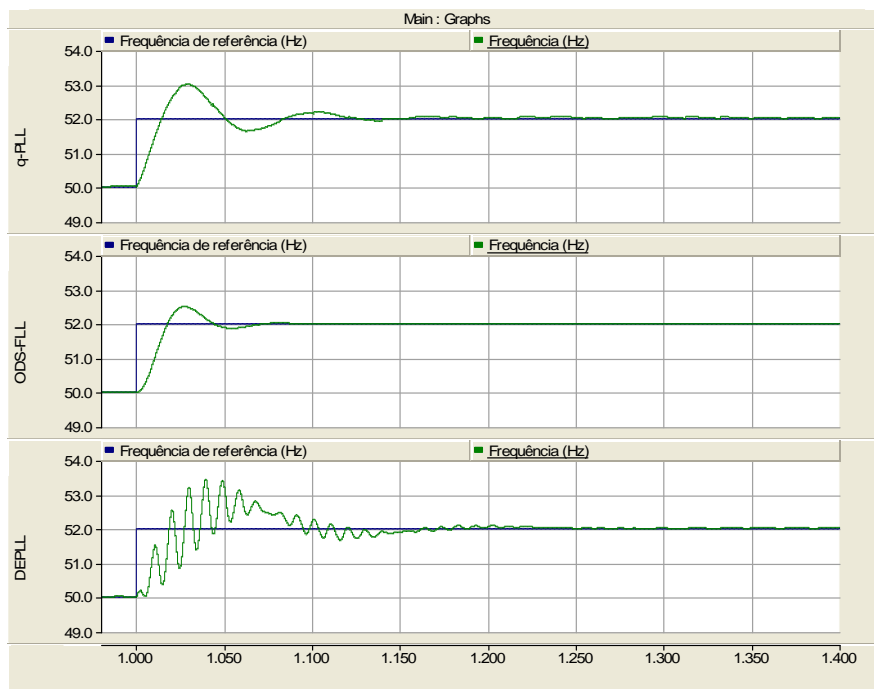


Figura 4.12: Frequência em detalhes no teste de degrau de frequência a partir de  $t = 1s$



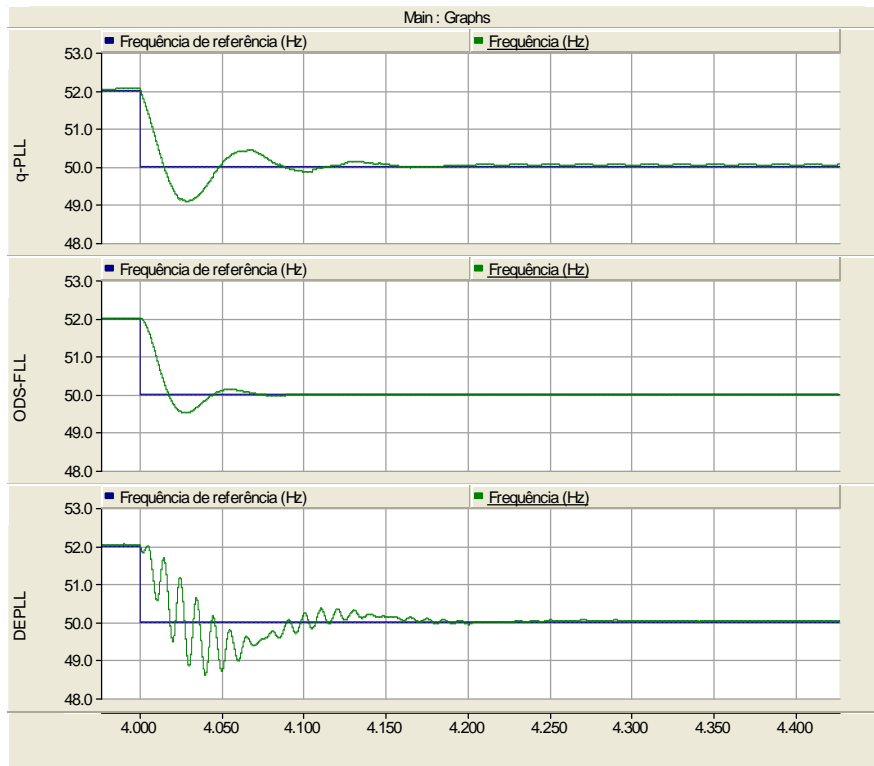


Figura 4.13: Frequência em detalhes no teste de degrau de frequência a partir de  $t = 4s$ .

A Figura 4.14 e a Figura 4.15 apresentam a comparação entre a fase a de referência de sequência positiva  $v_{refa+}$  com a fase  $va+$  estimada pelos algoritmos. Nestas figuras observa-se que, nos instantes de aplicação e de remoção do degrau, o *Optimized Dual SOGI -FLL* sincronizou  $va+$  mais rapidamente, se comparado q-PLL e o DEPLL. Todos os algoritmos ao alcançarem o regime permanente apresentaram erros visualmente imperceptíveis quando comparados ao sinal de referência, o que indica que os sinais de saída dos algoritmos permanecem sincronizados mesmo após a variação na frequência da rede.

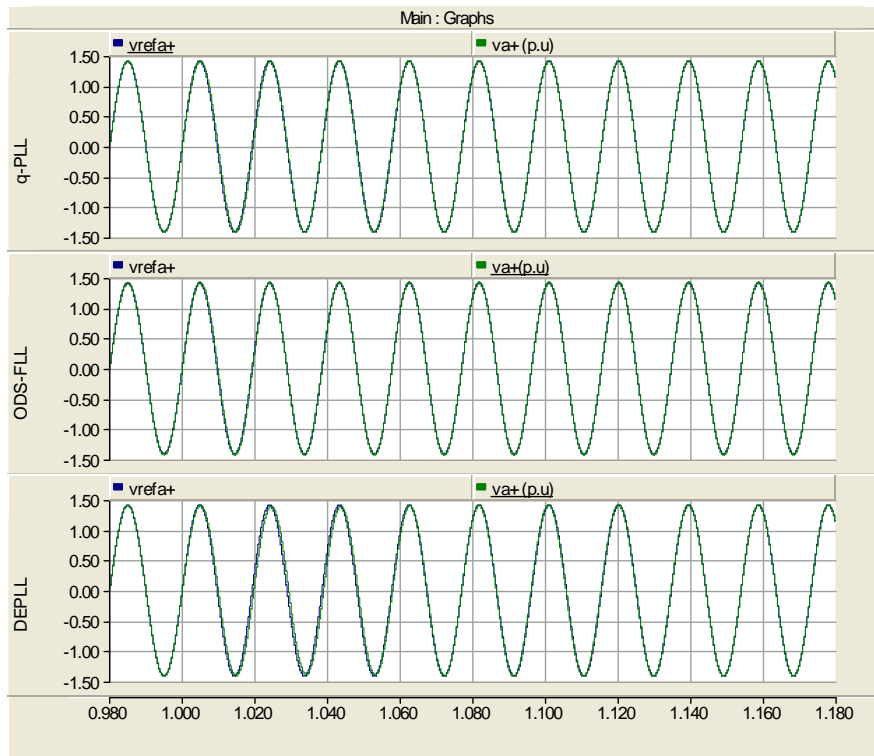


Figura 4.14: Referência de sequência positiva  $v_{refa+}$  e a fase  $va+$  estimada no teste de degrau de frequência a partir de  $t = 1s$ .

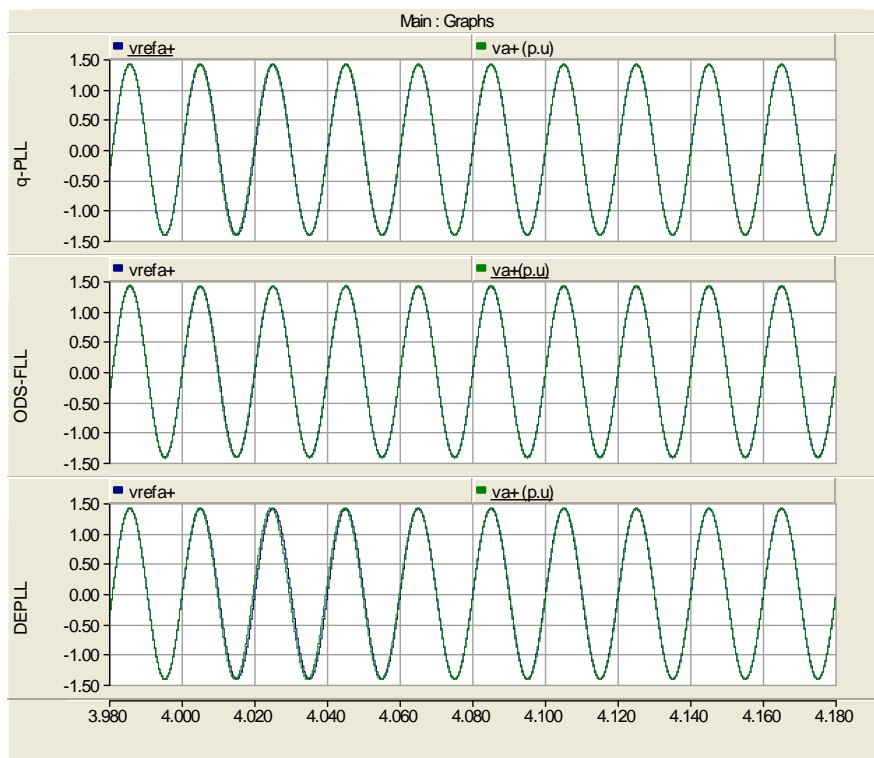


Figura 4.15: Referência de sequência positiva  $v_{refa+}$  e a fase  $va+$  estimada no teste de degrau de frequência a partir de  $t = 4s$ .

#### 4.1.4 Teste de distorção subarmônica

O teste de distorção subarmônica consiste na adição de um sinal de 15 Hz sobre a componente fundamental de entrada de 50 Hz. Este sinal tem 0,1 p.u de amplitude e é aplicado em  $t = 1$ s. No instante  $t = 4$ s o sinal de 15 Hz é removido.

A Figura 4.16 apresenta a comparação entre os sinais de erro. O *Optimized Dual SOGI-FLL* apresentou o maior erro, sendo seu valor máximo 0,4 p.u. O q-PLL e o DEPLL apresentaram erros máximos de 0,2 p.u e 0,1 p.u, respectivamente. A Figura 4.17 apresenta a frequência estimada pelos algoritmos no teste de distorção subarmônica. Nesta figura observa-se que o *Optimized Dual SOGI-FLL* apresentou maiores erros na estimação da frequência se comparado aos outros dois algoritmos.

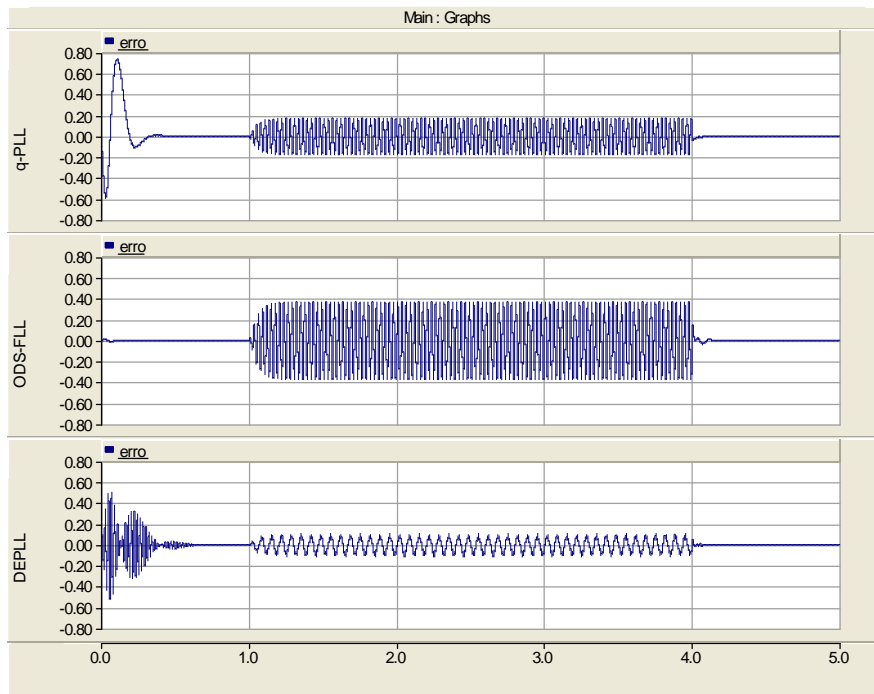


Figura 4.16: Comparação entre os erros dos algoritmos durante o teste de distorção subarmônica.

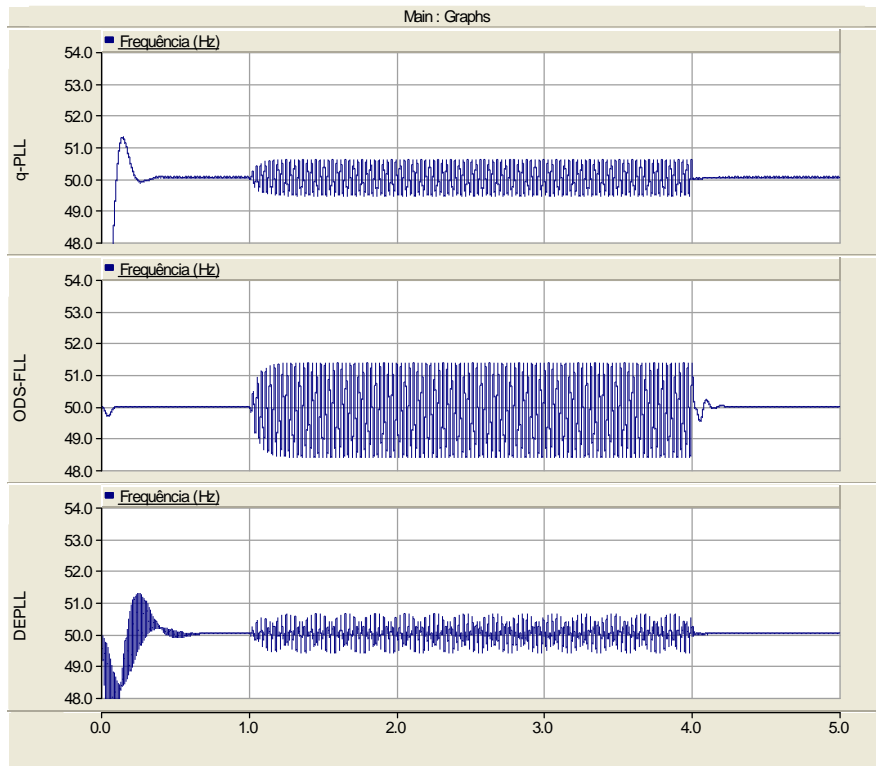


Figura 4.17: Frequência estimada no teste de distorção subarmônica.

A Figura 4.18 apresenta a comparação entre a fase a de referência de sequência positiva com a fase va+ detectada pelos algoritmos. Conforme observado nesta figura, os algoritmos permanecem sincronizados com a distorção subarmônica sendo que o *Optimized Dual SOGI - FLL* apresenta, visualmente, maiores erros. A Figura 4.19 apresenta a diferença entre a fase a de referência de sequência positiva vrefa+ e a fase va+ detectada pelos algoritmos. O *Optimized Dual SOGI - FLL* apresenta maiores níveis de erro na comparação com a referência, sendo seu valor máximo aproximadamente 0,13 p.u. O q-PLL e o DEPLL apresentam erros máximos de 0,06 p.u.

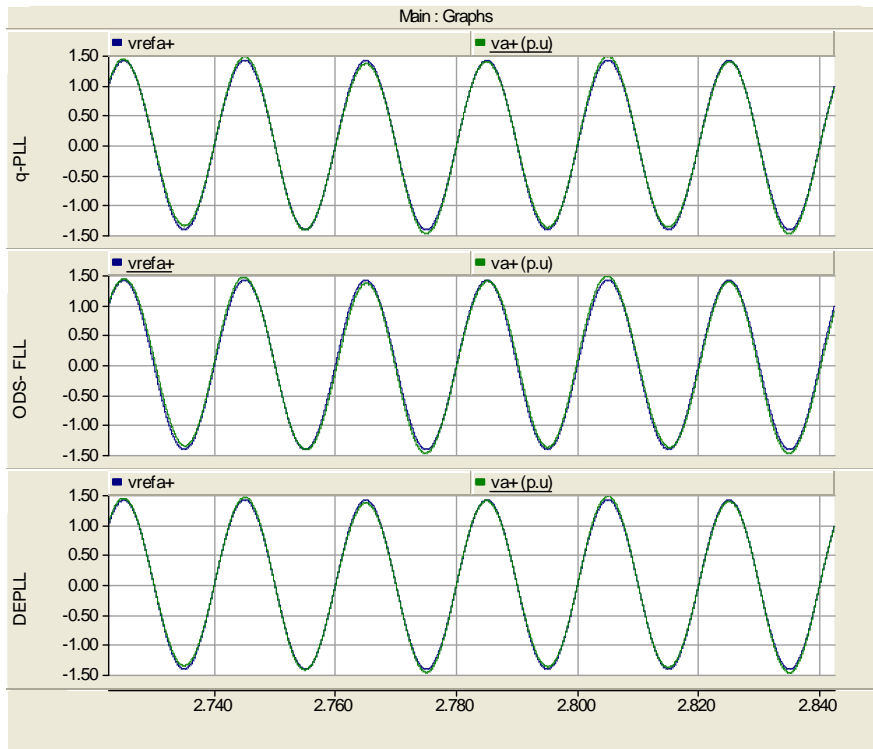


Figura 4.18: Referência de sequência positiva  $v_{refa+}$  e a fase  $va+$  de sequência positiva detectada no teste de distorção subarmônica.

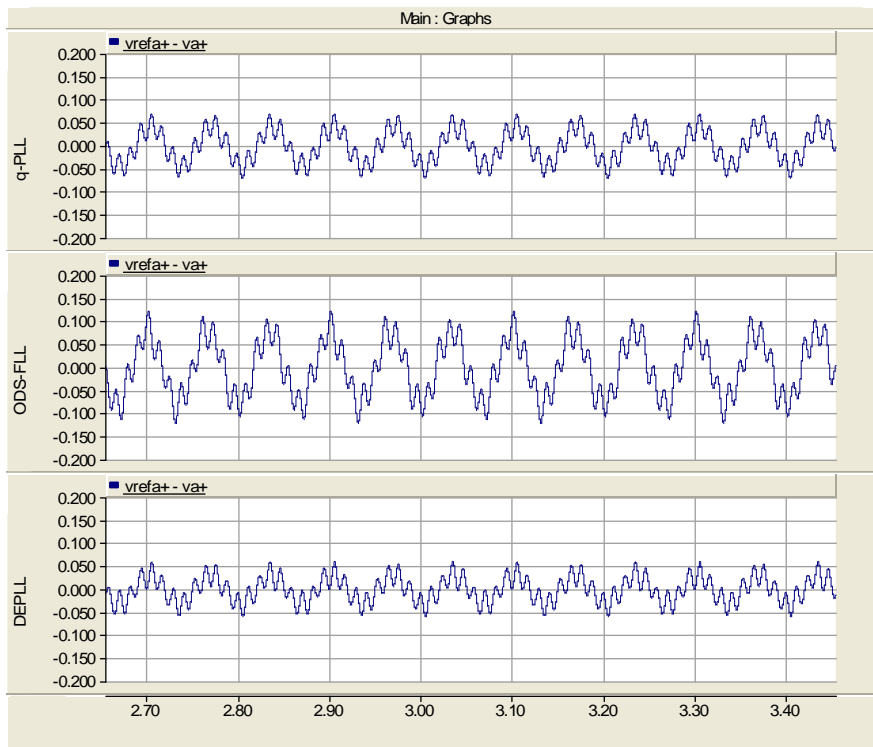


Figura 4.19: Diferença entre a referência de sequência positiva  $v_{refa+}$  e a fase  $va+$  estimada no teste de distorção subarmônica.

### 4.1.5 Teste de desequilíbrio

Para a execução do teste de desequilíbrio, em  $t = 1\text{ s}$  são aplicadas tensões de sequência negativa sobre a entrada, que antes consistia apenas em componentes de sequência positiva. As componentes de sequência negativa têm  $0,1\text{ p.u}$  de valor eficaz e suas fases são defasadas de  $90^\circ$  em relação às fases das componentes de sequência positiva.

Na Figura 4.20 são comparados os sinais de erro dos algoritmos. A Figura 4.19 e a Figura 4.20 apresentam os erros em detalhes para os instantes  $t = 1\text{ s}$  e  $t = 4\text{ s}$ , respectivamente. O DEPLL apresentou erro de  $0,001\text{ p.u}$ , o que é consideravelmente menor se comparado aos do q-PLL e *Optimized Dual SOGI - FLL* que são  $0,2\text{ p.u}$  e  $0,19\text{ p.u}$ , respectivamente. A Figura 4.21 apresenta a frequência estimada pelos algoritmos no teste de desequilíbrio.

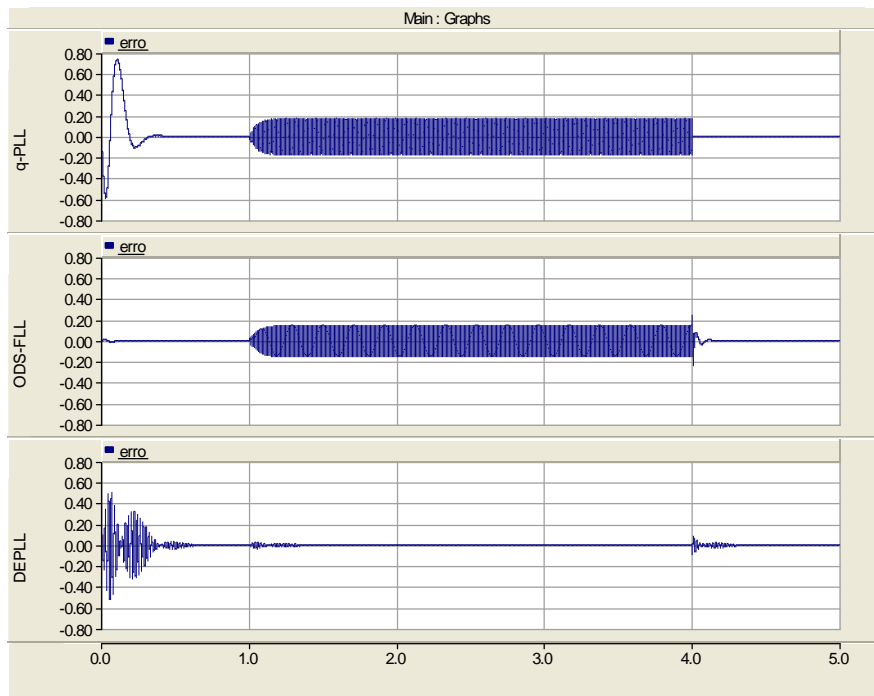


Figura 4.20: Comparação ente erros dos algoritmos para o teste de desequilíbrio.

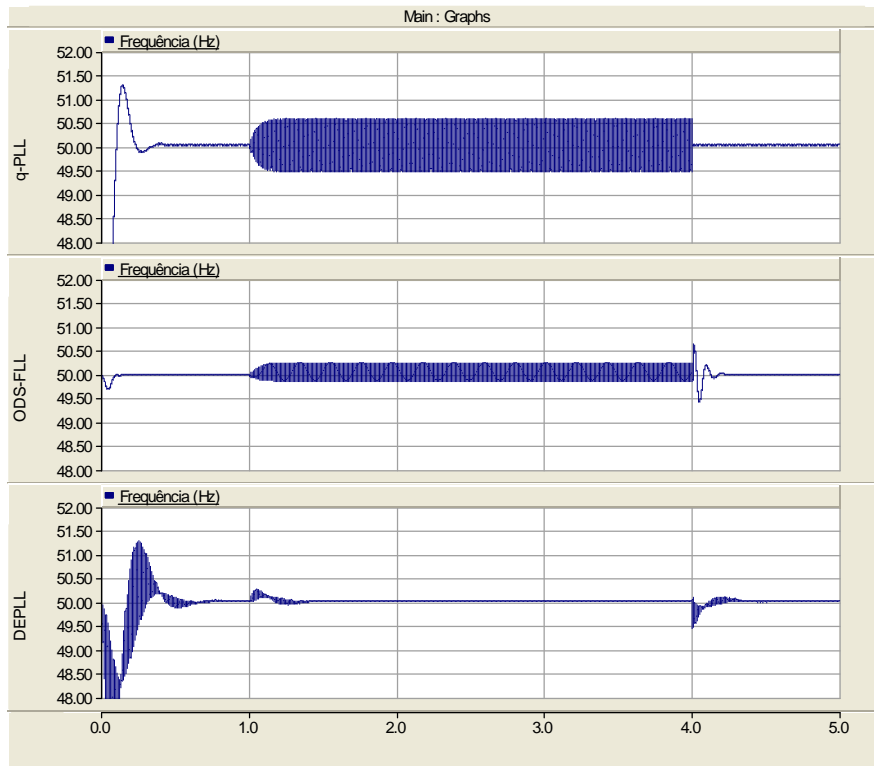


Figura 4.21: Frequência estimada no teste de desequilíbrio.

A Figura 4.22 apresenta a comparação entre a referência de sequência positiva de fase a vrefa+ com a fase va+ detectada por cada algoritmo. Observa-se, nesta figura, que o DEPLL apresenta, visualmente, o maior erro de sincronização se comparado aos outros dois algoritmos. A Figura 4.23 apresenta a diferença entre o sinal de referência vrefa+ e a fase va+ detectada por cada algoritmo. O DEPLL apresenta 0,15 p.u no erro máximo de comparação com a referência. O q-PLL e o *Optimized Dual SOGI - FLL* apresentaram erros máximos de aproximadamente 0,03 p.u.

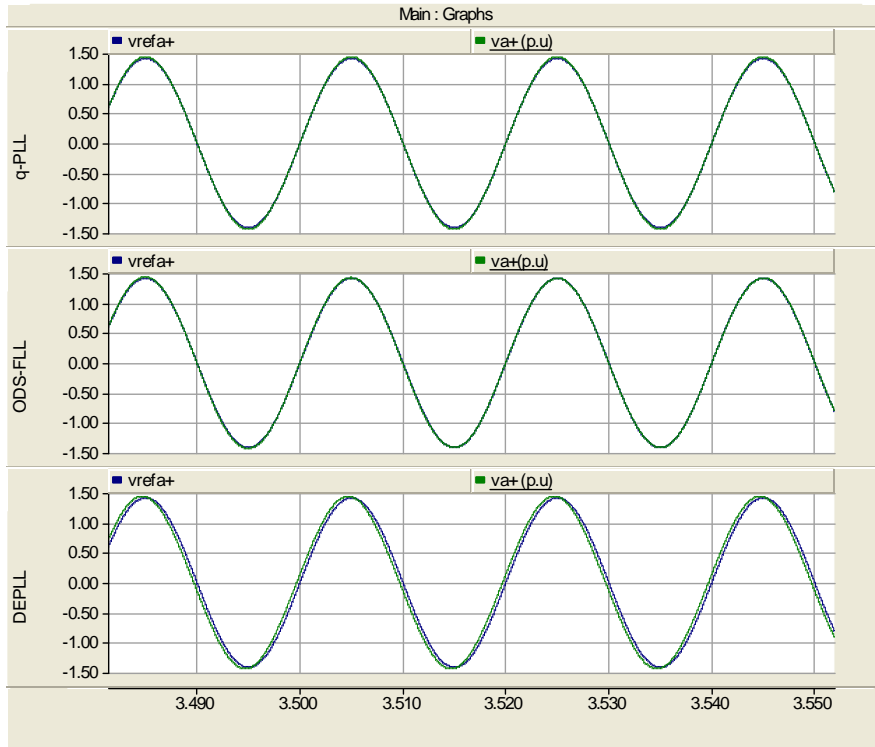


Figura 4.22: Referência de sequência positiva  $v_{refa+}$  e a fase  $va+$  de sequência positiva detectada no teste de desequilíbrio.

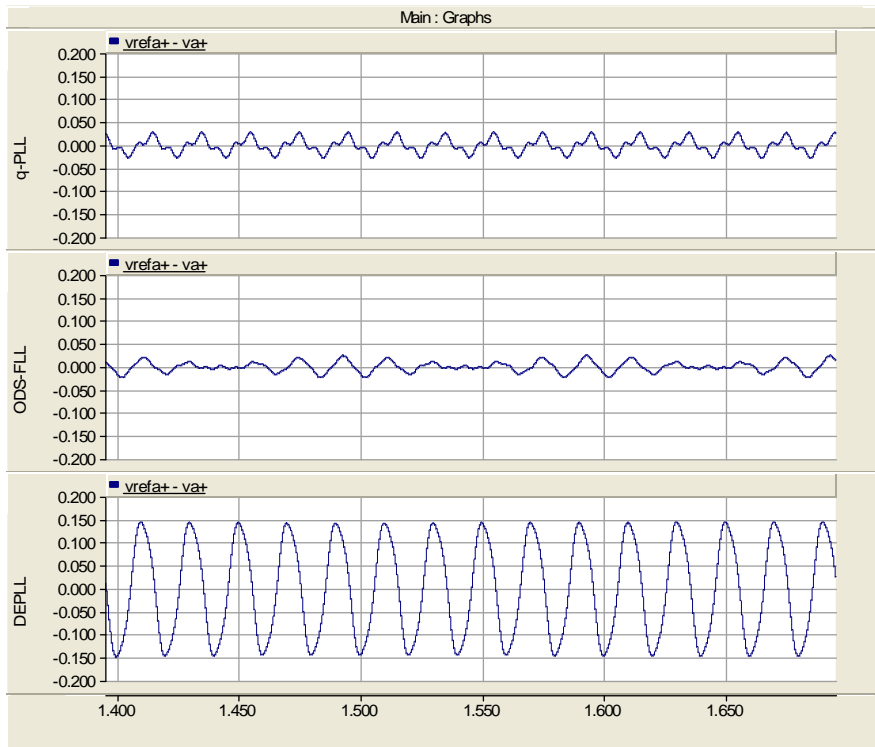


Figura 4.23: Diferença entre a referência de sequência positiva  $v_{refa+}$  e a fase  $va+$  detectada no teste de desequilíbrio.



## 4.6 Síntese dos resultados

Os resultados obtidos durante os testes, para uma melhor análise, foram organizados em tabelas. As tabelas a seguir apresentam os resultados relacionados aos parâmetros: tempo de acomodação ( $t_s$ ), valor de pico (Mp), erro em regime permanente (erro), erro de frequência estimada (erro freq.), percentual de ultrapassagem (P.O) e erro de detecção de sequência positiva ( $v_{refa+} - v_{a+}$ ). Os resultados presentes nas tabelas correspondem aos piores níveis encontrados ao longo das simulações.

Algoritmo	Degrau de fase	
	ts do erro (ms)	Mp do erro ( p.u)
q-PLL	100	1,7
DEPLL	160	1
Optimized Dual SOGI-FLL	70	2

Tabela 4.2:  $t_s$  e P.O para teste de degrau de fase.

Algoritmo	Degrau de Frequência	
	ts frequência (ms)	P.O frequência (%)
q-PLL	150	50
DEPLL	230	75
Optimized Dual SOGI-FLL	70	25

Tabela 4.3:  $t_s$  e P.O para teste de degrau de frequência.

Algoritmo	Distorção Harmônica	Distorção subarmônica	Desequilíbrio
	erro (p.u)	erro (p.u)	erro (p.u)
q-PLL	0,4	0,2	0,2
DEPLL	0,2	0,1	0,19
Optimized Dual SOGI-FLL	0,6	0,4	0,01

Tabela 4.4: Erros em regime permanente.

Algoritmo	Distorção Harmônica	Distorção subarmônica	Desequilíbrio
	erro de freq. (Hz)	erro freq. (Hz)	erro de freq. (Hz)
q-PLL	1,2	0,8	0,6
DEPLL	1,2	0,8	0,5
Optimized Dual SOGI-FLL	0,2	1,4	0,02

Tabela 4.5: Erro de estimação de frequência.

<b>Algoritmo</b>	<b>Distorção Harmônica</b>	<b>Distorção subarmônica</b>	<b>Desequilíbrio</b>
	<b>vrefa+ - va+ (p.u)</b>	<b>vrefa+ - va+ (p.u)</b>	<b>vrefa+ - va+ (p.u)</b>
<b>q-PLL</b>	0,01	0,06	0,03
<b>DEPLL</b>	0,007	0,06	0,15
<b>Optimized Dual SOGI-FLL</b>	0,024	0,13	0,03

Tabela 4.6: Erro de detecção de sequência positiva

A comparação entre o desempenho dos algoritmos deve levar em consideração o fato de que seus ganhos foram ajustados para que sua operação fosse operacionalmente aceitável frente a todos os distúrbios listados. Estas restrições no ajuste de ganhos, no entanto, são fatores limitantes que fazem parte da análise.

Com base nos resultados, q-PLL e o *Optimized Dual SOGI-FLL* seriam uma escolha mais adequada para a aplicação em redes com distorção harmônica. A observação dos resultados indica maiores níveis de erro em regime permanente quando o q-PLL e o *Optimized Dual SOGI-FLL* são submetidos a distorções harmônicas. Estes erros, no entanto, não afetaram de forma significativa a sincronização de saída dos algoritmos, haja vista suas propriedades de filtragem. Isto pode ser verificado nos erros de detecção de sequência positiva do *Optimized Dual SOGI-FLL* e do q-PLL, que são menores que o erro apresentado pelo DEPLL neste teste.

No teste de distorção subarmônica o *Optimized Dual SOGI-FLL* apresentou erros em regime permanente consideravelmente maiores, se comparado aos outros dois algoritmos. Por ser um algoritmo adaptativo com a frequência, o erro de frequência estimada comprometeu a detecção de sequência positiva. Como pôde ser observado, este algoritmo apresentou o maior erro de detecção de sequência positiva no teste de distorção subarmônica. Nos testes de distorção subarmônica o DEPLL e o q-PLL apresentaram menores erros em regime e de detecção de sequência positiva, se comparados com o *Optimized Dual SOGI-FLL*, conforme observado.

O *Optimized Dual SOGI-FLL* apresentou tempos de acomodação consideravelmente menores tanto para o degrau de fase, quanto para o degrau de frequência. No degrau de fase, no entanto, este algoritmo apresentou o maior valor de pico no erro em regime permanente. Para os degraus de fase e de frequência o q-PLL

apresenta respostas mais rápidas que o DEPLL. Certamente, para uma rede sem distorções harmônicas ou subarmônicas, o q-PLL seria uma escolha apropriada, já que o ajuste de seus ganhos possibilitaria a obtenção de desempenhos ainda melhores.

Para o teste de desequilíbrio o DEPLL apresentou os piores resultados. Apesar de ter apresentado erros em regime permanente e frequência estimada consideravelmente menores, seu erro de detecção de sequência positiva é o maior. Isto indica que o algoritmo se estabilizou em um ponto defasado da sequência positiva de referência, tendo assim um elevado erro de detecção. O q-PLL e o *Optimized Dual SOGI-FLL* apresentaram erros de detecção de sequência positiva consideravelmente menores neste teste.

O *Optimized Dual SOGI-FLL* apresentou resultados satisfatórios para os testes aos quais foi submetido. Apesar de níveis mais elevados de erro em regime permanente observados nas simulações deste algoritmo, a frequência estimada, com exceção dos valores encontrados nos testes de distorção subarmônica, apresentou menores erros se comparado aos valores estimados pelos outros dois algoritmos. Deve-se destacar que o erro apresentado nos resultados do *Optimized Dual SOGI-FLL* é um estágio anterior à entrada de um integrador, e nos outros algoritmos este erro precede um controlador PI.

O integrador pode ser observado como um filtro para frequências elevadas, e como a frequência do sinal de erro de entrada é consideravelmente alta, o sinal de saída do integrador tende a apresentar menores amplitudes, haja vista a filtragem inerente à sua operação. Isto justifica os menores erros de estimação de frequência na operação do *Optimized Dual SOGI-FLL* e, como este algoritmo é adaptativo com a frequência, isto justifica seu desempenho satisfatório ao longo dos testes mesmo com a presença de maiores erros em regime apresentados nas tabelas.

Uma restrição para o emprego do *Optimized Dual SOGI-FLL* é que, por ser adaptativo pela frequência, este algoritmo não fornece a fase do sinal de entrada. Por esta razão, em aplicações em que a fase da componente fundamental seja necessária, o *Optimized Dual SOGI-FLL* não poderia ser diretamente empregado. Nestas circunstâncias, seu uso deveria ser seguido pela utilização de algoritmos auxiliares para que a fase da sequência positiva estimada seja detectada.

Deve-se ressaltar que, mesmo com estes resultados satisfatórios para o *Optimized Dual SOGI-FLL*, o q-PLL e o DEPLL permitem maiores faixas de ajuste nos ganhos dos controladores PI de seus blocos LF. No caso da estrutura em SOGI, pode-se ajustar apenas um ganho no bloco LFLL, e os ganhos do bloco QSG, que sendo reduzidos para aumento de filtragem, comprometeriam o tempo de resposta do sistema, conforme já observado para o SOGI-QSG.

## 5. Comentários finais e conclusões

Este estudo, tendo por base as referências teóricas e as simulações, atingiu seu objetivo. A análise teórica de diferentes configurações de algoritmos de sincronização possibilitou a conclusão de conceitos importantes não apenas úteis para a análise dos algoritmos trifásicos presentes neste trabalho, como também fundamentais para a análise de outros tipos de algoritmos de PLL, haja vista a abrangência das aplicações.

A análise quantitativa e qualitativa das estruturas de PLL e algoritmos de sincronização monofásicos mostrou ser um excelente artifício para a posterior apresentação dos algoritmos trifásicos, já que estes são constituídos, basicamente, por blocos de estruturas monofásicas. O simulador PSCAD EMTDC foi uma ferramenta apropriada para se observar o comportamento de estruturas teoricamente analisadas neste estudo.

A análise comparativa entre o q-PLL, DEPLL e o *Optimized Dual SOGI-FLL* permitiu a obtenção de conclusões importantes. Os testes apresentaram que o q-PLL e o DEPLL são algoritmos apropriados para aplicações em redes nas quais não há distorção. Já o *Optimized Dual SOGI-FLL* apresentou desempenho satisfatório para redes distorcidas e respostas relativamente rápidas tanto para o degrau de fase quanto para o degrau de frequência. No entanto, para o teste de distorção subarmônica o DEPLL apresentou desempenhos satisfatórios, seguido do q-PLL. Para este teste, o *Optimized Dual SOGI-FLL* apresentou maiores níveis de erro em regime.

Com estas constatações, pode-se concluir que não há um algoritmo cuja escolha seja a mais apropriada para a utilização em quaisquer tipos de redes ou perturbações nas mesmas. Cada um dos três algoritmos apresentou melhores desempenhos diante de perturbações específicas e, logo, a escolha e o ajuste dos algoritmos estão intimamente relacionados a circunstâncias da rede à qual serão empregados.

# Referências Bibliográficas

- [1] Aredes, M. (2009) “*Notas de aula de eletrônica de potência: Synchronization based on a Phase-Locked Loop*” UFRJ- Universidade Federal do Rio de Janeiro;
- [2] Aredes, M. (2008) “*Notas de aula de eletrônica de potência: Positive and Negative Sequence Voltage Detectors*” UFRJ- Universidade Federal do Rio de Janeiro;
- [3] Aredes, M. “*Notas de aula de eletrônica de potência: Compensação de Reativos em Sistemas de Distribuição utilizando Conversores Estáticos*” UFRJ- Universidade Federal do Rio de Janeiro.
- [4] Basilio, J.C. (1998). “*Notas de aula de Sistemas de Controle I*”, UFRJ - Escola de Engenharia.
- [5] Basilio, J.C. (2003). “*Sistemas de Controle II*”, UFRJ - Escola Poçitécnica.
- [6] Ciobotaru, M.; Teodorescu, R.; Blaabjerg, F. “*A New Single-Phase PLL Structure Based on Second Order Generalized Integrator*” – Proceedings of International Conference on Power for Specialists Conference, PESC’06, Korea, 11-12 June 2006 Page(s): 1- 6 vol.4
- [7] Francisco D. Freijedo; Jesús Doval-Gandoy; Oscar López; and Enrique Acha. “*Tuning of Phase-Locked Loops for Power Converters Under Distorted Utility Conditions.*” IEE Trans. on Ind., vol. 45, no.6, November/December 2009.
- [8] Ghartemani, M.K.; Iravani, M.R. “*A Method for Synchronization of Power Electronic Converters in Polluted and Variable-Frequency Environments,*” IEE Trans. Power Systems, vol.19, Aug.2004, pp. 1263-1270.
- [9] Ghartemani, M.K.; Iravani, M.R.; Rogers, E.S. “*A New Phase-Locked Loop (PLL) System.*”, IEEE Trans, 2001.
- [10] Ghartemani, M.K.; A distortion-free phase Locked loop system for FACTS and power electronic controllers.
- [11] H.Akagi ; Watanabe, E.H. ; Aredes, M.“*Instantaneous Power Theory and Applications to Power Conditioning.*” 1.ed. Nova Iorque: IEEE Press/ Wiley Interscience, 2007.v.1. 400p.
- [12] Laurindo, B.M. “*Estudo do comportamento de TCSC Frente a dois algoritmos de sincronismo: O PLL e o SOGI-FLL*” 73p. 2010.
- [13] Luo, S. and Hou, Z. “*An adaptive detecting Method for harmonic and reactive currents,*” IEE Trans. on Ind. Electron., vol. 42, pp. 85-89, Feb. 1995.

- [14] Mohan, N.; Undeland, T.M.; Robbins W.P. “*Power Electronics - Converters Applications and Design*” 3 ed. 802 p.
- [15] Ogata, K.(1990), *Modern Control Engineering*, 3<sup>rd</sup> edn, Prentice Hall, Upper Saddle River, NJ, USA.
- [16] Ortiz, A. “ *Contribuições ao Controle do STATCOM*” 111p. 2007.
- [17] Ortiz, A.; Aredes, M.; Rolim, L.G.B.; Bueno, E.; Rodríguez, P. “*A New Current Control For The STATCOM Based On Second Order Generalized Integrators,*” in Proc. of the PESC 2008 – 39<sup>th</sup> IEEE Annual Power Electronics Specialists Conference, Rhodes, Greece, ISBN 9781424416684, 15-19 June 2008, pp. 1378-1383.
- [18] Rodríguez , P.; Luna, A.; Ciobotaru, M.; Teodorescu,R. and Blaabjerg, F. “*Advanced Grid Synchronization System for Power Converters under Unbalanced and Distorted Operating Conditions,*” *IEE Transactions*
- [19] Rodríguez, P.; Luna, A.; Candela, I. Teodorescu, R.; and Blaabjerg, F. “*Grid Synchronization for Power Converters using Multiple Second Order Generalized Integrators,*” in Proc.IEEE Int. Conf. on Ind. Electron.. (IECON’08), Florida, 10-13 Nov.2008, pp. 755-760.
- [10] Rolim, L. G. B.; Costa Jr., D. R.; Aredes, M. “*Analysis and Software Implementation of a Robust Synchronizing PLL Circuit Based on the pq Theory,*” *IEEE Trans. On Industrial Electronics*, ISSN 0278-0046, vol.53, no. 6, December 2006, pp.1919-1926.
- [21] Vikram Kaura; Vladmir Blasko, “*Operation of a Phase Locked Loop System Under Distorted Utility Conditions.*” *IEEE Trans. on Ind.*, vol. 33, no.1, January/February 1997.”







