

UNIVERSIDADE FEDERAL DO RIO DE JANEIRO

ESCOLA DE ENGENHARIA

DEPARTAMENTO DE ELETRÔNICA

Implementação VLSI de um Filtro Passa-Baixas  
Chebyshev de 3<sup>a</sup> Ordem em Modo de Corrente

Autor :

\_\_\_\_\_

Paulo Cesar Ramalho Brandão

Orientador:

\_\_\_\_\_

Federico Humberto Arturo Gálvez-Durand Besnard, D. Sc.

Co-Orientador:

\_\_\_\_\_

Mario Vaz da Silva Filho, D. Sc.

Examinador:

\_\_\_\_\_

Fernando Antônio Pinto Barúqui, D. Sc.

DEL

Novembro de 2002

À Patrícia, amada esposa  
e companheira em todos  
os momentos.

# Agradecimentos

A Deus, criador de todas as coisas e que tem nos sustentado dia a dia.

Aos meus pais Cláudio e Clara que, atuando como instrumentos de Deus, me ajudaram a chegar até aqui.

Aos professores Fico, Mário e Barúqui por terem compartilhado comigo aquilo que considero o maior bem que possuímos: o conhecimento.

Ao Projeto Multiusuário Brasileiro do ano de 2000 que financiou a fabricação do dispositivo projetado neste trabalho.

Ao aluno Gustavo Cabral, que também fez parte deste trabalho.

Ao Dodi, fiel companheiro mesmo nas altas horas da madrugada.

À Patrícia, pelo alento e pela beleza de sua presença.

# Resumo

Este trabalho consiste no desenvolvimento em circuito integrado de um filtro passa-baixas *Chebyshev* de 3ª ordem. Existem algumas possíveis técnicas para a implementação desse filtro. Utilizou-se uma técnica de simulação de equações de estado modificadas que resulta num filtro, em que todas as variáveis de estado são representadas por correntes. Por isso este é um filtro em modo de corrente. Uma característica interessante da estrutura implementada é a possibilidade de controle sobre a frequência de corte do filtro.

O trabalho apresenta os blocos básicos, baseados em transistores MOS (*Metal-Oxide Semiconductor*), que são usados na implementação da estrutura, e a forma final do filtro é apresentada. O projeto dos transistores é feito a partir de considerações que levam em conta os efeitos de alguns elementos do modelo do transistor MOS, sobre a resposta em frequência do circuito. Dois *buffers* foram projetados para que se pudesse entrar com sinal no filtro e medir o resultado na saída. O leiaute de todos os componentes é apresentado, incluindo a máscara do circuito que foi enviado para fabricação.

O circuito foi fabricado pela *Austria Mikro Systeme International AG* (AMS). Foi utilizado o processo CMOS (*Complementary MOS*) com comprimento mínimo de canal de 0,8  $\mu\text{m}$ , dois metais e poço tipo N.

Os resultados obtidos foram satisfatórios. A resposta em frequência do filtro em modo de corrente ficou de acordo com o esperado e a distorção harmônica ficou em patamares aceitáveis.

## **Palavras-chave:**

VLSI, CMOS, filtros, processamento de sinais.



# Índice

Índice	V
Introdução	1
1 Filtro CMOS em modo de corrente	4
1.1 Redes <i>ladder</i> duplamente terminadas sem zeros finitos	5
1.1.1 Sistemas de equações usando tensões como variáveis de estado	7
1.1.2 Sistemas de equações usando correntes como variáveis de estado	8
1.2 Simulação ativa de redes passivas usando transistores MOS	9
1.2.1 Espelho de corrente	9
1.2.2 Integrador com perdas em modo de corrente	10
1.2.3 Girador em modo de corrente	12
1.2.4 Simulação de redes passivas	12
1.3 Implementação do filtro em modo de corrente	14
2 Projeto do filtro em circuito integrado	17
2.1 Estratégia de projeto	18
2.2 Célula básica	23
2.2.1 Equações de projeto	24
2.2.2 Leiaute	33
2.3 Capacitores	34
2.3.1 Equação de projeto	34
2.3.2 Leiaute	35
2.4 <i>Buffer</i> de entrada e <i>buffer</i> de saída	36
2.4.1 Conversor tensão-corrente	36
2.4.2 Conversor corrente-tensão	38
2.4.2.1 Leiaute	40

2.5	Leiaute do circuito integrado	40
3	Simulações e resultados experimentais	43
3.1	Filtro em modo de corrente	44
3.2	Circuito completo	49
3.2.1	<i>Buffer</i> de entrada	49
3.2.2	<i>Buffer</i> de saída	53
3.3	Principais características do circuito	62
3.4	Resultados experimentais	62
4	Conclusões	68
	Apêndice 1 – Transistor MOSFET: teoria básica	71
A.1	Modelo de primeira ordem	72
A.2	Modelo de pequenos sinais	74
	Bibliografia	77

# Introdução

O projeto de circuitos integrados analógicos é uma tarefa que exige, na maioria dos casos, um grau de sofisticação e de domínio sobre as estruturas, que não encontra correspondência com os circuitos digitais. São usados em diversas etapas do processamento de sinais, nas mais variadas bandas de frequências. Seja em transmissão e recepção de rádio frequência ou em processamento de áudio, os circuitos analógicos ali estarão representados por estruturas que exigiram, da parte dos projetistas, um conhecimento profundo dos problemas a serem resolvidos e das limitações das tecnologias de fabricação disponíveis.

Os filtros analógicos classificadores de sinais (passa baixas, passa altas, passa banda e rejeita banda), como subconjunto desse universo, são blocos funcionais importantes em diversos tipos de sistemas: em interfaces de conversão analógico-digital (A/D), em transmissão via modem, em transmissões sem fio, dentre outros. E mais ainda, com as

exigências de consumo de energia se estreitando cada vez mais, devido à portabilidade dos equipamentos, o projeto de estruturas de baixo consumo, tem sido muito valorizado.

O projeto aqui apresentado surgiu primeiramente como trabalho relativo aos cursos de Microeletrônica I e Microeletrônica II ministrados pelos professores Federico Gálvez-Durand e Vladimir Castro Alves no ano de 2000. Por sugestão do Prof. Federico Gálvez-Durand, houve o interesse de se realizar o trabalho relativo à implementação de um filtro passa-baixas *Chebyshev* de 3ª ordem, em modo de corrente. Dessa forma, as especificações do filtro foram fornecidas, em princípio, com objetivos acadêmicos. No entanto, o filtro apresentado pode ser usado nas aplicações citadas anteriormente, destacando-se, como principal característica o baixo consumo de potência. O filtro foi projetado para uma frequência de corte de 100 kHz e alimentação de 3 V, ocupando pouco espaço da área de silício. O circuito foi enviado para fabricação na *Austria Mikro Systeme International AG (AMS)* e, finalmente, testado.

A implementação VLSI (*Very Large Scale Integration*) de circuitos eletrônicos constitui uma fatia do mercado, em ilimitado crescimento. Dessa maneira, é incontestável a importância de se expandir o conhecimento na área de projeto de circuitos integrados, divulgar os ganhos já obtidos e planejar um futuro para este segmento de pesquisa e desenvolvimento no Brasil.

Nesse sentido, parece fundamental que o Departamento de Engenharia Eletrônica e Computação (DEL) da Universidade Federal do Rio de Janeiro (UFRJ) tenha sua participação nessa visão de futuro, incentivando os novos alunos a conhecerem esta importante área da eletrônica. O incentivo pode se dar através de palestras proporcionando uma visão mais abrangente com relação às suas futuras possibilidades profissionais. Ou também, oferecendo maior espaço, tanto físico como temporal, para que as disciplinas da área possam ser ministradas de maneira mais adequada.

O documento consiste de 4 capítulos, além desta introdução e de um apêndice. No capítulo 1 é descrita a base teórica para implementação de filtros em modo de corrente. São apresentados ainda os blocos básicos de construção do filtro e sua forma final . No capítulo 2 aborda-se o projeto do filtro com as especificações dadas. As dimensões dos transistores e de outros componentes do circuito são determinadas e, por fim, é realizado o leiaute do circuito. O capítulo 3 apresenta as simulações realizadas com o circuito final onde se verifica o seu funcionamento. Os transistores MOS foram simulados com o modelo BSIM3 versão 3. Os resultados experimentais também são apresentados neste capítulo. O capítulo 4 trata das conclusões e propostas de trabalhos futuros. O apêndice 1 apresenta alguns conceitos básicos sobre transistores MOSFET: modelo de primeira ordem e modelo de pequenos sinais.

# 1 Filtro CMOS em Modo de Corrente: Teoria

Apresenta-se neste capítulo a base teórica para a implementação VLSI de um filtro passa-baixas *Chebyshev* de 3ª ordem. Na seção 1.1 discute-se a rede *ladder* duplamente terminada que realiza a aproximação desejada e algumas das possíveis implementações para esta utilizando conjuntos de equações de estado modificados. Na seção 1.2 são apresentadas as estruturas básicas que vão formar o filtro em modo de corrente. A seção 1.3 conclui o capítulo mostrando o filtro implementado.

## 1.1 Redes *Ladder* Duplamente Terminadas sem Zeros Finitos

Segundo [1], “a síntese de redes de duas portas que são duplamente terminadas é um tópico importante e difícil. Sua importância reside no fato que todos os geradores reais possuem uma impedância interna finita e não nula, e todas as cargas são parcialmente resistivas”. Além disso, apresentam a possibilidade de casamento de impedâncias entre as cargas do gerador e da saída, o que traz, como primeiro benefício, uma máxima transferência de potência e também, uma baixa sensibilidade da resposta do sistema a variações de seus elementos. A dificuldade referida anteriormente é explicada pelo surgimento de complicadas equações representativas do circuito, já que a função de transferência vai depender de todos os três parâmetros da imitância ( $z_{ij}$  ou  $y_{ij}$ ). Se faz necessário então o uso de funções auxiliares como a função característica,  $K(j\omega)$ . Tudo isso vai acarretar extensas manipulações de polinômios, que seria o principal fator complicador. Atualmente, com o poder de processamento disponível em qualquer computador pessoal, essas dificuldades são superadas.

Aproximações polinomiais, como as de *Chebyshev* e *Butterworth*, que não apresentam zeros finitos, podem ser realizadas por redes *ladder* duplamente terminadas. Um exemplo de uma rede que realiza uma aproximação de *Chebyshev* de 3ª ordem é apresentada a seguir, juntamente com a resposta em frequência (módulo e fase) e a resposta no tempo, a um impulso de tensão.

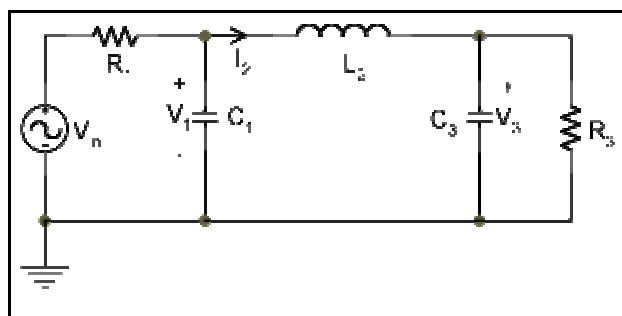


Figura 1.1: rede *ladder* duplamente terminada sem zeros finitos

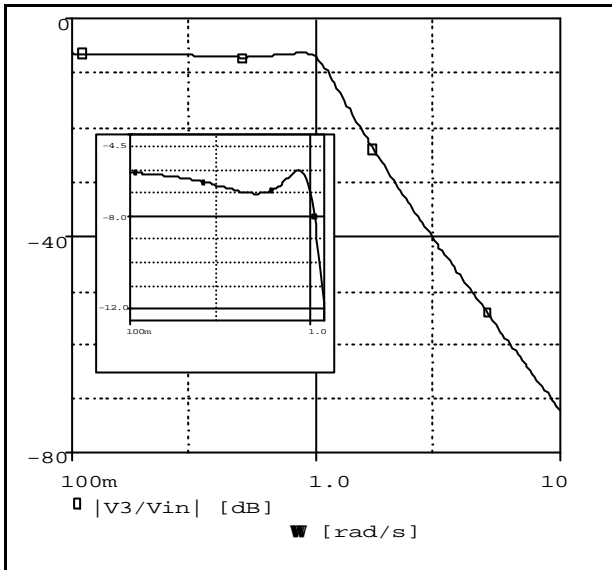


Figura 1.2: resposta em frequência da rede passiva (módulo)

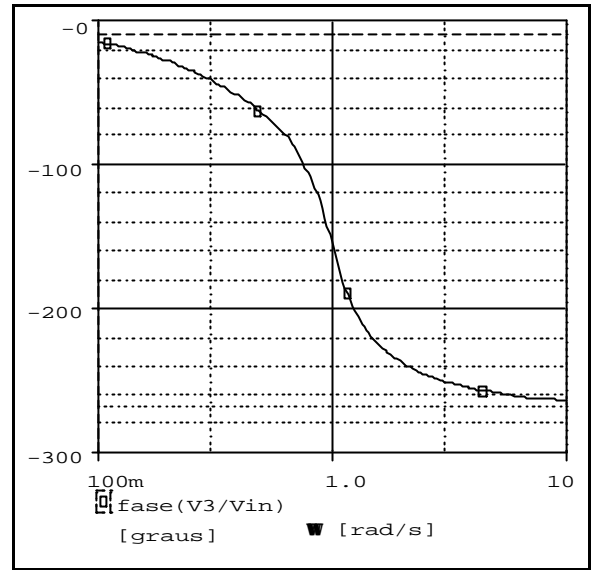


Figura 1.3: resposta em frequência da rede passiva (fase)

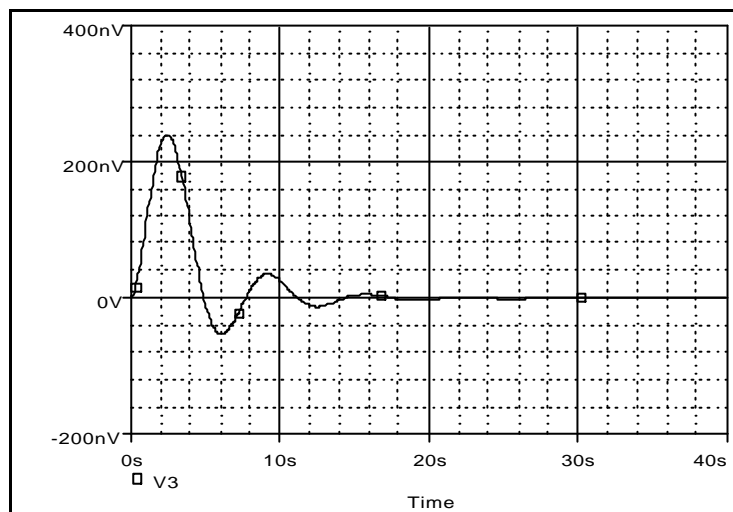


Figura 1.4: resposta da rede passiva a um impulso

O filtro realizado pela rede *ladder* encontra-se normalizado para frequência de corte de 1 rad/s e para terminações resistivas de 1  $\Omega$ , tem-se ainda  $C_1 = C_3 = 2,0236 F$  e  $L_2 = 0,9941 H$ . O objetivo deste trabalho é sintetizar esta estrutura, de acordo com as seguintes considerações: a primeira delas é que o filtro será realizado na forma de um circuito integrado, usando um processo de fabricação CMOS. Outra diferença é a frequência de corte do filtro que foi estabelecida em 100 kHz.



### 1.1.1 Sistemas de Equações Usando Tensões como Variáveis de Estado

O filtro passa-baixas *Chebyshev* de 3ª ordem apresentado na figura 1.1, pode ser caracterizado por um conjunto de equações de estado, tomando as tensões sobre os capacitores e a corrente sobre o indutor como variáveis de estado.

$$sC_1V_1 = \frac{V_{in} - V_1}{R_1} - I_2 \quad (1.1)$$

$$sL_2I_2 = V_1 - V_3 \quad (1.2)$$

$$sC_3V_3 = I_2 - \frac{V_3}{R_3} \quad (1.3)$$

Em implementações OTA – C (ou Gm – C) todas as correntes em indutores são convertidas em tensões usando giradores, assim todas as variáveis de estado são tensões e todas as integrações podem ser feitas usando integradores OTA – C lineares e sem perdas [2, 3]. Dessa forma, indutores são substituídos por capacitores e giradores. Apresenta-se na figura 1.5 a implementação OTA – C do filtro *Chebyshev* de 3ª ordem. Resistores também podem ser substituídos por OTAs; para efeito de simplificação da figura optou-se por não apresentá-los dessa forma.

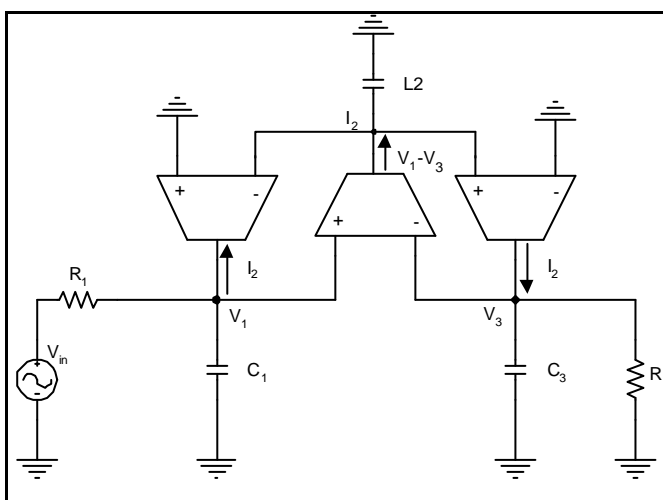


Figura 1.5: implementação OTA – C do filtro *Chebyshev* de 3ª ordem

Em implementações OTA – C uma integração sem perdas implica sempre em realizar uma conversão tensão – corrente e depois uma conversão corrente – tensão. Como será visto na próxima seção, essas conversões tornam-se desnecessárias se for utilizado um conjunto de equações de estado modificadas e integradores com perdas.

### 1.1.2 Sistemas de Equações Usando Correntes como Variáveis de Estado

A equação (1.2) pode ser transformada, adicionando-se o termo  $I_2$  em ambos os lados da mesma. Assim a integração representada por esta equação passa a se dar com perdas, igualmente às integrações realizadas pelas equações (1.1) e (1.3) onde já existia a perda relativa aos resistores de terminação da rede. Dessa forma apresenta-se o conjunto de equações de estado modificadas, onde todas as integrações são feitas com perdas.

$$V_1 \left( \frac{1}{R_1} + sC_1 \right) = \frac{V_{in}}{R_1} - I_2 \quad (1.4)$$

$$I_2 (1 + sL_2) = V_1 - V_3 + I_2 \quad (1.5)$$

$$V_3 \left( \frac{1}{R_3} + sC_3 \right) = I_2 \quad (1.6)$$

Considerando ainda as terminações resistivas iguais a  $1 \Omega$ , as equações de estado ficam da seguinte forma:

$$V_1 (1 + sC_1) = V_{in} - I_2 \quad (1.7)$$

$$I_2 (1 + sL_2) = V_1 - V_3 + I_2 \quad (1.8)$$

$$V_3(1 + sC_3) = I_2 \quad (1.9)$$

Todas as variáveis de estado são representadas por correntes:  $V_1 \rightarrow I_{V_1}$ ,  $I_2 \rightarrow I_{I_2}$  e  $V_3 \rightarrow I_{V_3}$ . Assim, a partir desse momento, a menção de uma variável de estado –  $V_1$  por exemplo – implica, na verdade, na menção da corrente que a representa. As equações (1.7), (1.8) e (1.9) podem ser implementadas utilizando-se os blocos básicos apresentados a seguir.

## 1.2 Simulação Ativa de Redes Passivas Usando Transistores

### MOS

Nesta seção são apresentadas estruturas básicas possíveis de se fabricar em processos CMOS e que possuem o transistor MOS como principal elemento.

#### 1.2.1 Espelho de Corrente

O espelho de corrente é um bloco amplamente utilizado em circuitos eletrônicos. Sua função é copiar uma determinada corrente de um ramo do circuito para outro, com um fator de escalamento desejado. O funcionamento de um espelho de corrente pode ser interpretado como o de um inversor de corrente já que ambas as correntes,  $I_{in}$  e  $I_{out}$ , entram ou saem do espelho. O diagrama esquemático de um espelho de corrente baseado em transistores MOS é apresentado a seguir (figura 1.6). As fontes de polarização de  $M_1$  e  $M_2$  são omitidas; este procedimento será adotado ao longo deste capítulo, a menos que seja mencionado o contrário, para efeito de simplificação das figuras. As expressões que caracterizam o modelo de primeira ordem do transistor MOS são descritas no Apêndice I, juntamente com o modelo de pequenos sinais correspondente.

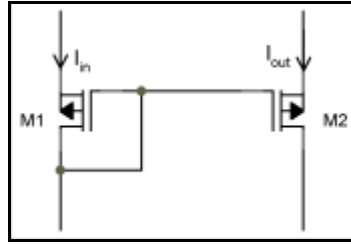


Figura 1.6: espelho de corrente

Com  $V_{S1} = V_{S2}$ , tem-se  $V_{GS1} = V_{GS2}$  e então a relação entre as correntes  $I_{out}$  e  $I_{in}$  fica da seguinte forma:

$$\frac{I_{out}}{I_{in}} = \frac{W_2/L_2}{W_1/L_1} \quad (1.10)$$

## 1.2.2 Integrador com Perdas em Modo de Corrente

O integrador com perdas é sintetizado a partir do espelho de corrente, bastando adicionar um capacitor ligado ao *gate* comum dos transistores  $M_1$  e  $M_2$ . A perda inerente ao integrador realizado é oriunda da própria característica do transistor MOS de atuar como transcondutor, transformando tensão no *gate* ( $v_{gs}$ ) em corrente ( $i_{ds}$ ), através da transcondutância  $g_m$ . A seguir, apresenta-se o diagrama esquemático de um integrador com perdas (figura 1.7) e seu modelo equivalente simplificado (figura 1.8). Neste modelo não são considerados os efeitos das capacitâncias parasitas ( $C_{gs}$  e  $C_{gd}$ ) e das condutâncias de saída dos transistores ( $G_{ds}$ ). Esta simplificação é feita neste momento para se obter uma expressão relacionando as correntes de entrada e saída ( $I_{in}$  e  $I_{out}$ ). No capítulo 2 estes efeitos serão levados em conta.

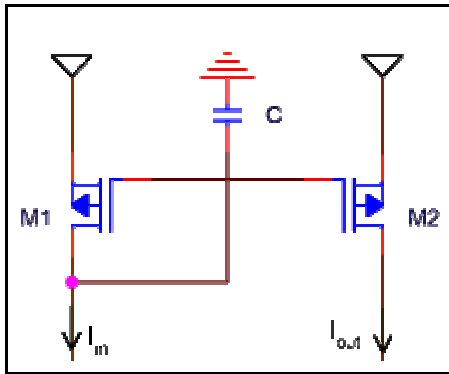


Figura 1.7: integrador com perdas

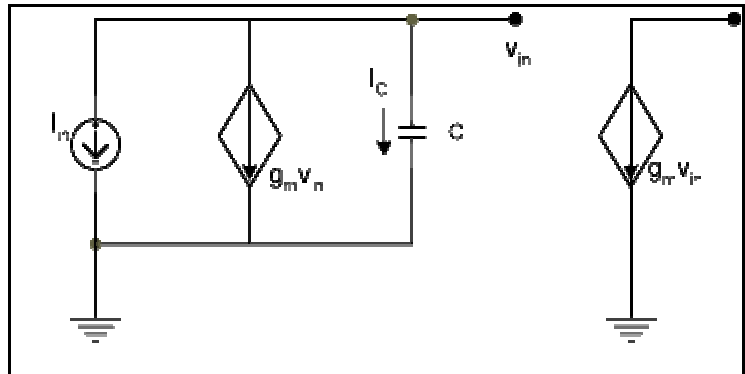


Figura 1.8: modelo de pequenos sinais

Para dedução da relação  $I_{out}/I_{in}$ , toma-se  $g_{m1} = g_{m2} = g_m$ . A análise nodal do modelo leva à seguinte conclusão:

$$I_C + I_{in} + g_m v_{in} = 0$$

$$v_{in} = \frac{1}{sC} (-I_{in} - g_m v_{in})$$

E então,

$$v_{in} = -\frac{I_{in} / g_m}{1 + \frac{sC}{g_m}} \quad (1.11)$$

A corrente de saída pode ser determinada

$$I_{out} = -g_m v_{in}$$

$$I_{out} = \frac{I_{in}}{1 + \frac{sC}{g_m}} \quad (1.12)$$

A frequência de corte do integrador com perdas é dada pela relação:

$$\omega_c = \frac{g_m}{C} \quad (1.13)$$

### 1.2.3 Girador em Modo de Corrente

O girador em modo de corrente proposto em [2,3] apresenta o seguinte diagrama esquemático (figura 1.10).

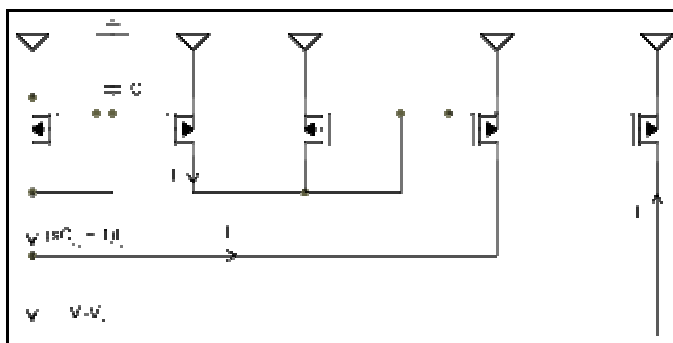


Figura 1.10: girador em modo de corrente

Ele é formado pela associação de um integrador com perdas e de um espelho de corrente, apresentados anteriormente. Assumindo-se por simplicidade,  $g_m = 1$ , o capacitor, de valor  $C_{L_j}$ , ligado aos *gates* dos transistores que formam o integrador com perdas deve ter o valor da indutância que se deseja simular. Esta estrutura é capaz de realizar equações de estado modificadas na forma da equação (1.8), lembrando que

$$\begin{cases} V_i - V_k \equiv I_{V_i - V_k} \\ I_j \equiv I_{I_j} \end{cases}$$

Dessa forma, a tensão  $V_j - V_k$  corresponde à tensão sobre um indutor de valor  $C_{L_j}$  cuja corrente é  $I_j$ .

### 1.2.4 Simulação de Redes Passivas

Apresenta-se, para melhor ilustração, a síntese de cada uma das equações de estado modificadas. Tomando todas as variáveis nas equações (1.7), (1.8) e (1.9) como correntes, a implementação destas fica da seguinte forma:

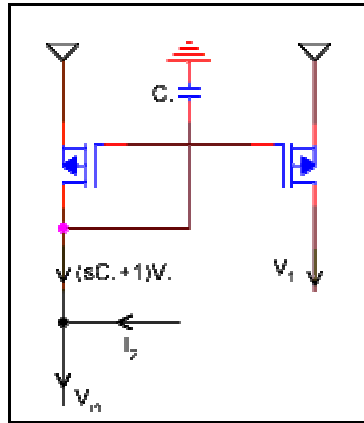


Figura 1.11: implementação da equação (1.7)

Onde  $V_{in}$  seria a tensão de entrada representada agora por uma corrente.  $I_2$  é a corrente da rede simulada que representa a corrente no indutor da rede passiva, uma cópia dela será direcionada para este nó. Os blocos responsáveis pela realização das equações (1.8) e (1.9) são apresentados a seguir.

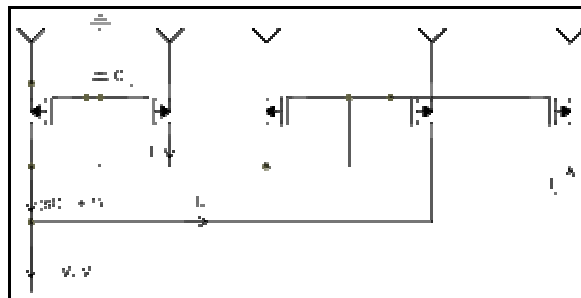


Figura 1.12: implementação da equação (1.8)

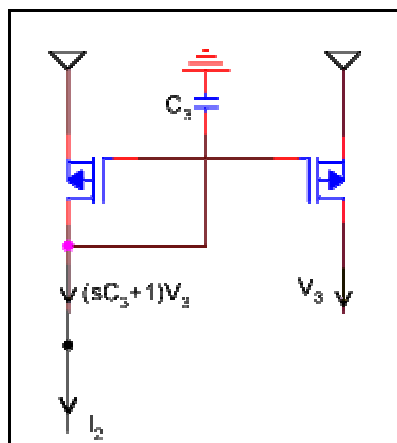


Figura 1.13: implementação da equação (1.9)

### 1.3 Implementação do Filtro em Modo de Corrente

Para a apresentação da estrutura final do filtro é preciso destacar que os blocos básicos na seção anterior são feitos com os transistores p-MOS, mostrados em cada uma das figuras, e também com uma fonte de polarização para cada um deles, implementada com um transistor n-MOS. As fontes foram omitidas, conforme já mencionado, para simplificação das figuras. Mas agora que a topologia final do filtro está próxima de ser definida, é conveniente que se apresente a estrutura completa. Apresenta-se então a estrutura que é usada repetidamente na topologia do circuito: a célula básica (figura 1.14).

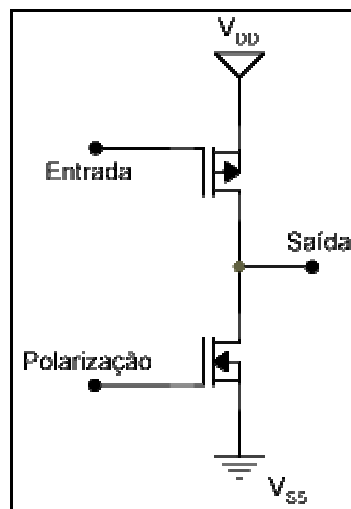


Figura 1.14: célula básica

A célula básica consiste de um transistor p-MOS, que será o responsável pela condução de sinal, e de um transistor n-MOS responsável pela corrente de polarização. A tensão de polarização do n-MOS poderá variar e então modificar algumas propriedades do filtro, como será visto no próximo capítulo.

A estrutura completa do filtro passa-baixas *Chebyshev* de 3ª ordem em modo de corrente é apresentada a seguir (figura 1.15). Nela, cada um dos amplificadores representados, é uma célula básica (2 transistores).



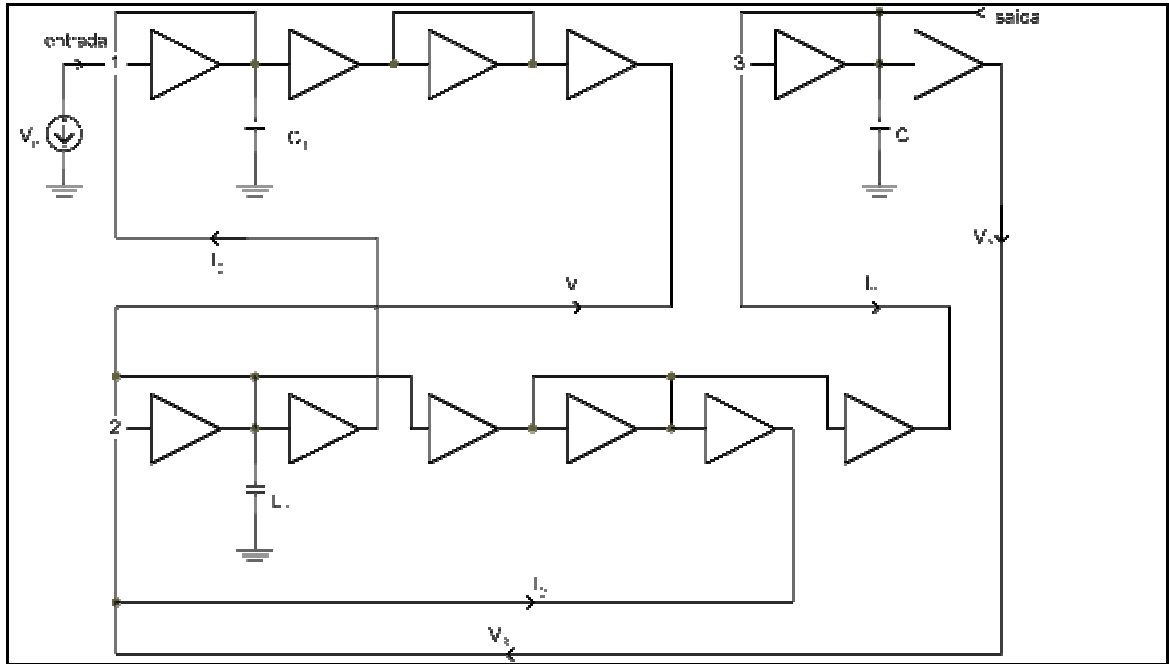


Figura 1.15: estrutura final do filtro

As equações (1.7), (1.8) e (1.9) são realizadas, respectivamente, nos nós 1, 2 e 3 destacados na figura. O sinais de entrada ( $V_{in}$ ) e de saída ( $V_3$ ) encontram-se em corrente. Apresenta-se, para a estrutura final do filtro em modo de corrente, a resposta em frequência (módulo e fase) nas figuras 1.16 e 1.17 e a resposta no tempo (figura 1.18) a um impulso de corrente. A resposta foi obtida para um filtro normalizado com frequência de corte em 1 rad/s,  $g_m = 1$  e cada célula básica foi substituída por seu modelo equivalente linearizado.

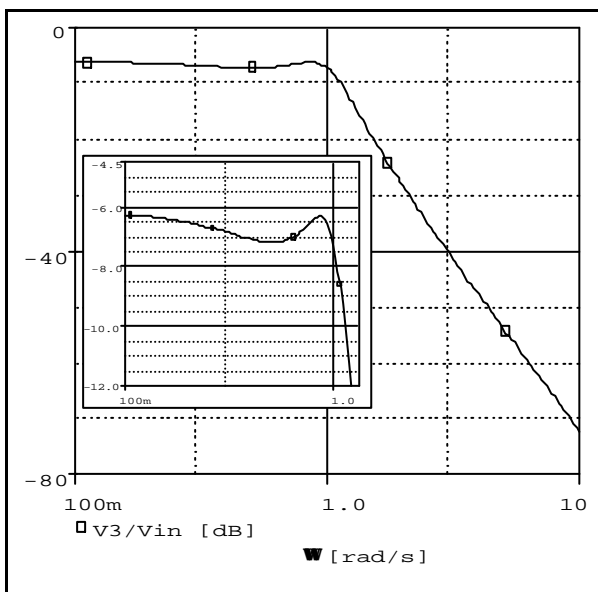


Figura 1.16: resposta em frequência da rede simulada em modo de corrente (módulo)

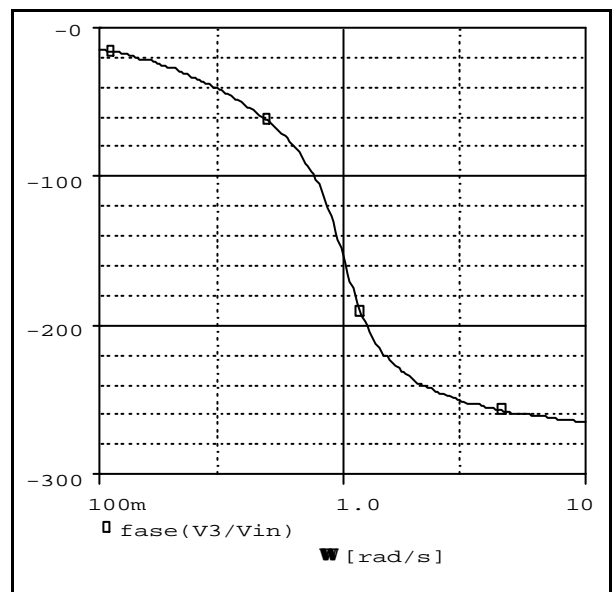


Figura 1.17: resposta em frequência da rede simulada em modo de corrente (fase)

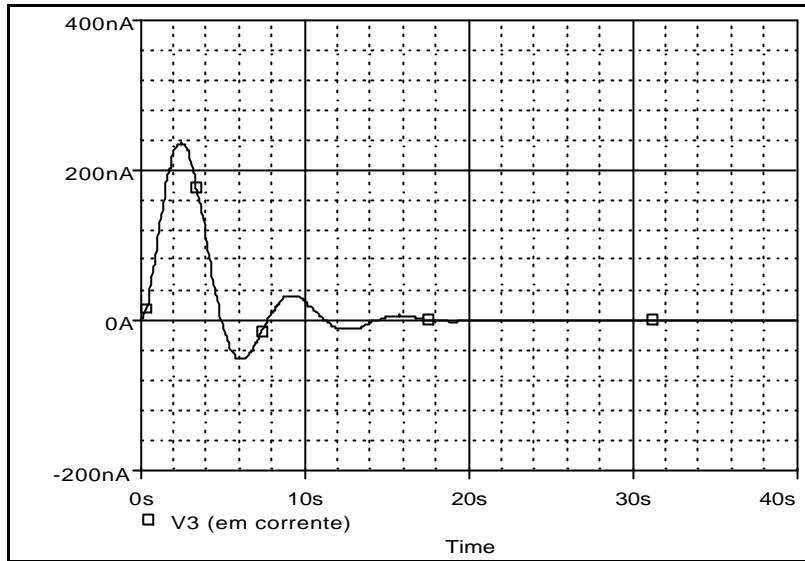


Figura 1.18: resposta da rede simulada em modo de corrente a um impulso

## 2 Projeto do Filtro em Circuito Integrado

Neste capítulo apresenta-se o projeto do circuito integrado. Na seção 2.1 são estabelecidas condições que o transistor p-MOS deve satisfazer para que o filtro apresente a resposta desejada. Na seção 2.2 são determinadas as dimensões dos transistores que formam a célula básica. O projeto dos capacitores é apresentado na seção 2.3. A seção 2.4 trata dos *buffers*, necessários para entrada e saída de sinal do filtro. A seção 2.5 encerra o capítulo com o leiaute completo do circuito

O filtro a ser projetado tem como característica o baixo consumo de potência. As tensões de polarização são as seguintes:

$$V_{DD} = 3 \text{ V}$$

$$V_{SS} = 0 \text{ V}$$

Os principais parâmetros do processo de fabricação usado (AMS 0.8  $\mu\text{m}$  CMOS) são apresentados na tabela 2.1

Parâmetro	n-MOS	p-MOS
$k_p$ [ $\text{mA/V}^2$ ]	100	36
$V_t$ [V]	0,844	-0,734
CPOX [ $\text{fF}/\text{mm}^2$ ]	1,77	

Tabela 2.1: principais parâmetros de processo

O comprimento mínimo de canal é 0,8  $\mu\text{m}$

## 2.1 Estratégia de Projeto

A estratégia de projeto consiste basicamente em observar os efeitos dos elementos característicos do modelo de primeira ordem do transistor MOS na resposta do filtro.

No capítulo 1 foram feitas diversas simplificações no modelo do transistor com o intuito de se obter expressões simples que caracterizassem as estruturas apresentadas. Um modelo mais completo do transistor é apresentado no Apêndice 1. Neste capítulo, os efeitos de  $C_{gs}$  e  $G_{ds}$  serão levados em conta observando sua influência na resposta do filtro, o efeito de  $C_{gd}$  não será considerado visto que este se dá para frequências muito acima da frequência de operação do filtro. O objetivo final é fazer com que a resposta fique a mais próxima possível do desejado, satisfazendo condições de projeto que viabilizem a implementação da estrutura com a tecnologia disponível.

A célula básica é mostrada novamente na figura 2.1 para melhor conveniência. Ela pode ser modelada considerando os efeitos citados anteriormente (figura 2.2).

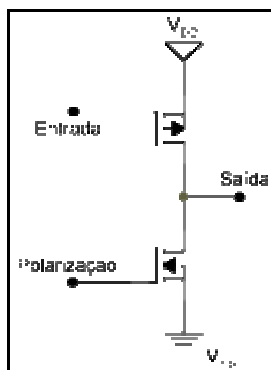


Figura 2.1: célula básica

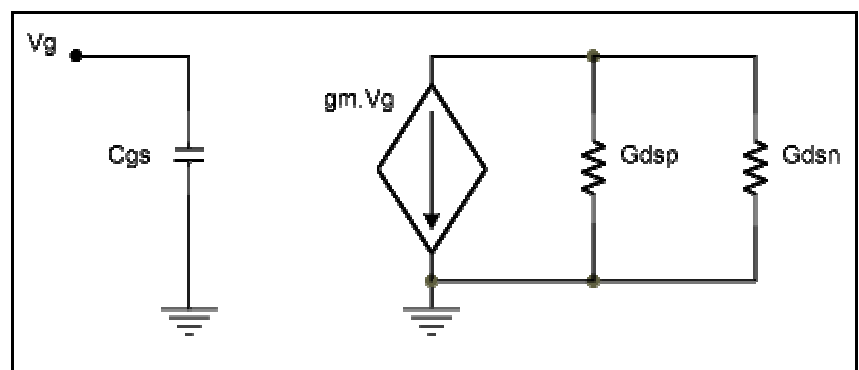


Figura 2.2: modelo da célula básica

O espelho de corrente implementado com a célula básica é apresentado na figura 2.3. Ele é um bloco básico do filtro que é utilizado também no integrador com perdas e no girador em modo de corrente. Portanto é preciso avaliar os efeitos dos elementos acrescentados ao modelo da célula básica no funcionamento do espelho de corrente.

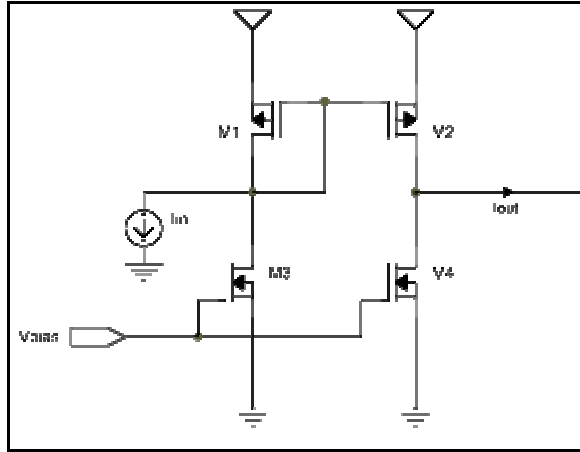


Figura 2.3: espelho de corrente implementado com a célula básica

O modelo do espelho de corrente é apresentado na figura 2.4. Observa-se a relação  $I_{out}/I_{in}$  para que se estabeleçam as restrições de projeto.

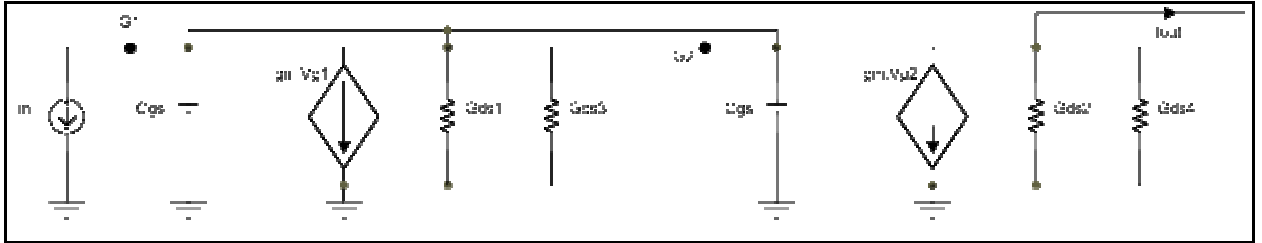


Figura 2.4: modelo do espelho de corrente

A análise do modelo do espelho de corrente é feita colocando-se o ramo onde está indicada a corrente  $I_{out}$  num ponto de baixa impedância (terra). A análise nodal é apresentada:

$$I_{in} = -2sC_{gs}V_{g1} - g_m V_{g1} - (G_{ds1} + G_{ds3})V_{g1}$$

$$\frac{V_{g1}}{I_{in}} = -\frac{1}{2sC_{gs} + g_m + (G_{ds1} + G_{ds3})}$$

$$I_{out} = -g_m V_{g2} = -g_m V_{g1}$$

$$\boxed{\frac{I_{out}}{I_{in}} = \frac{1}{1 + \frac{(G_{ds1} + G_{ds3})}{g_m}} \cdot \frac{1}{1 + s \frac{2C_{gs}}{g_m + (G_{ds1} + G_{ds3})}}} \quad (2.1)$$

Os espelhos de corrente usados no filtro são todos de ganho unitário. Observando a equação (2.1) conclui-se que, para que o ganho DC do espelho de corrente seja igual a 1, a seguinte condição deve ser satisfeita:

$$\frac{g_m}{(G_{ds1} + G_{ds3})} \gg 1 \quad (2.2)$$

Ainda na equação (2.1) tem-se a frequência de corte do espelho de corrente ( $w_{ce}$ ), que deve ser “muito” acima da frequência de corte do filtro ( $w_{cf}$ ).

$$w_{ce} = \frac{g_m + (G_{ds1} + G_{ds3})}{2C_{gs}} \quad (2.3)$$

Considerando que o transistor n-MOS da célula básica deve estar operando como uma fonte de corrente, este deve ter uma baixa condutância de canal em relação ao p-MOS ( $G_{dsn} \ll G_{dsp}$ ). Dessa forma as equações (2.2) e (2.3) podem ser simplificadas:

$$\frac{g_m}{G_{ds1}} \gg 1 \quad (2.4)$$

$$w_{ce} = \frac{g_m}{2C_{gs}} \quad (2.5)$$

A equação (2.5) leva em conta o resultado obtido em (2.4)

Observando as equações (2.4) e (2.5) ainda falta dizer quão maior que 1 a relação  $g_m/G_{ds1}$  deve ser. Dez vezes maior será suficiente? Cem vezes maior? Na equação (2.1) observa-se que o efeito de  $g_m/G_{ds1}$  será o de acrescentar um erro na corrente de saída, diminuindo esta em relação à corrente de entrada. Numa primeira abordagem parece razoável que se tenha um erro na saída da ordem de 0,1% ( $g_m/G_{ds1} = 1000$ ).

Para a frequência de corte do inversor, que deve ser “muito” acima da frequência de corte do filtro, cabem os mesmos questionamentos (10 vezes maior seria suficiente? 100 vezes?).

Para se ter uma idéia mais clara da influência dessas relações no funcionamento final do filtro efetuou-se simulações no SPICE com o filtro normalizado. Como ainda não estão disponíveis as dimensões dos transistores que formam a célula básica, usou-se o modelo desta atribuindo valores aos componentes ( $C_{gs}$ ,  $G_{dsn}$ ,  $G_{dsp}$ ) com  $g_m$  normalizado em 1.

Inicialmente, impondo-se as restrições de  $G_{dsn} \ll G_{dsp}$  e  $w_{ce} \gg w_{cf}$ , procurou-se observar o efeito da relação  $g_m/G_{ds1}$  na resposta do filtro. Os resultados obtidos são apresentados a seguir.

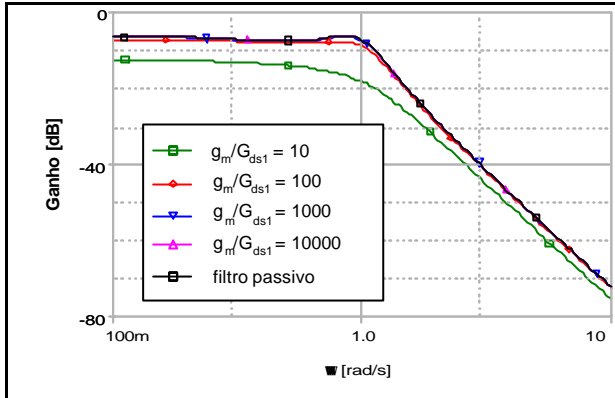


Figura 2.5: análise de  $g_m/G_{ds1}$

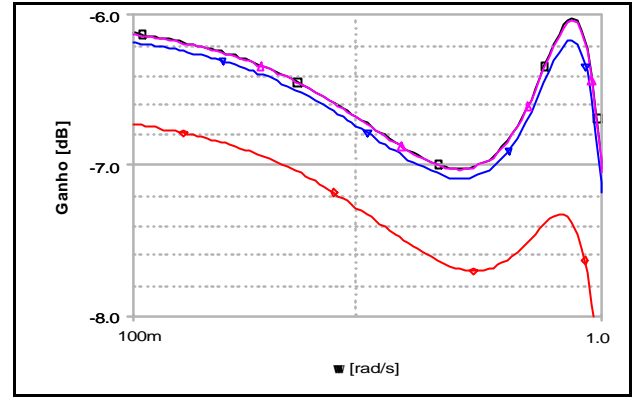


Figura 2.6: análise de  $g_m/G_{ds1}$  na banda passante

A partir dos resultados obtidos nota-se que  $g_m/G_{ds1} = 10^4$  seria o valor ideal para que a resposta do filtro se aproximasse o mais possível da resposta da realização passiva. No entanto este valor se mostra difícil de ser obtido pelo fato de  $g_m/G_{ds1}$  representar o ganho de tensão do transistor p-MOS. De acordo com as expressões de  $g_m$  e  $G_{ds}$ , na região de saturação (Apêndice 1), o ganho de tensão será dado por:

$$\left| \frac{v_o}{v_{in}} \right| = \frac{2}{I_p (V_{gs} - V_{tp})} \quad (2.6)$$

Para se obter um ganho de  $1 \cdot 10^4$  seria necessário que  $(V_{gs} - V_{tp})$  fosse aproximadamente 20mV (considerando  $\lambda_p \approx 0,01 \text{ V}^{-1}$ ), onde se teria o transistor p-MOS muito próximo do limiar de condução.

Dessa maneira, o ganho  $g_m/G_{ds1}$  da ordem de 1000 é escolhido. Ele leva a uma condição melhor de polarização ( $V_{gs} - V_{tp} \approx 200 \text{ mV}$ ). A resposta do filtro com este valor de ganho fica bastante razoável, uma pequena atenuação é percebida na banda passante, em relação a resposta da realização passiva (figura 2.6).

O efeito da frequência de corte do espelho de corrente ( $\omega_{ce}$ ) na resposta do filtro é analisado a seguir.

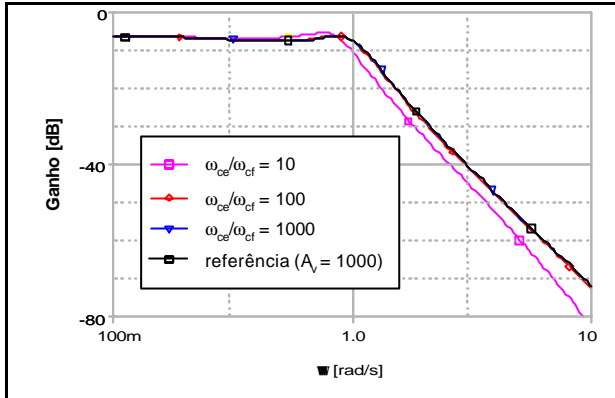


Figura 2.7: análise de  $\omega_{ce}/\omega_{cf}$

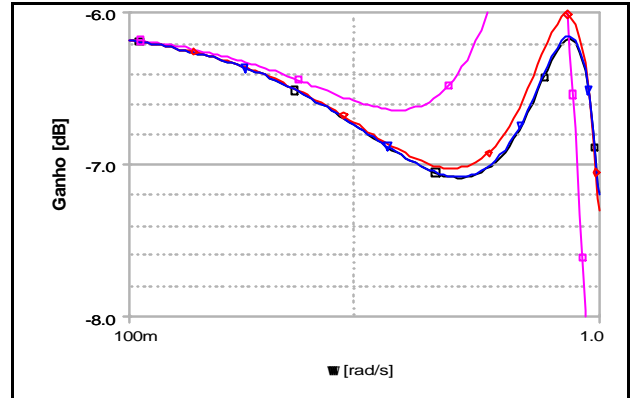


Figura 2.8: análise de  $\omega_{ce}/\omega_{cf}$  na banda passante

A partir dos resultados obtidos, principalmente da figura 2.8, nota-se que  $\omega_{ce}$  deve ser 1000 vezes maior que a frequência de corte do filtro ( $\omega_{cf}$ ). Para esta relação, a resposta do filtro ficou mais próxima da referência adotada, que foi obtida na análise de ganho realizada anteriormente.

Por fim, volta-se à restrição  $G_{dsn} \ll G_{dsp}$  procurando determinar sua influência na resposta do filtro. Com as condições de ganho do transistor e de frequência de corte do espelho de corrente estabelecidas, conforme analisado anteriormente, variou-se  $G_{dsn}$  observando seu efeito na resposta do filtro (figura 2.9).

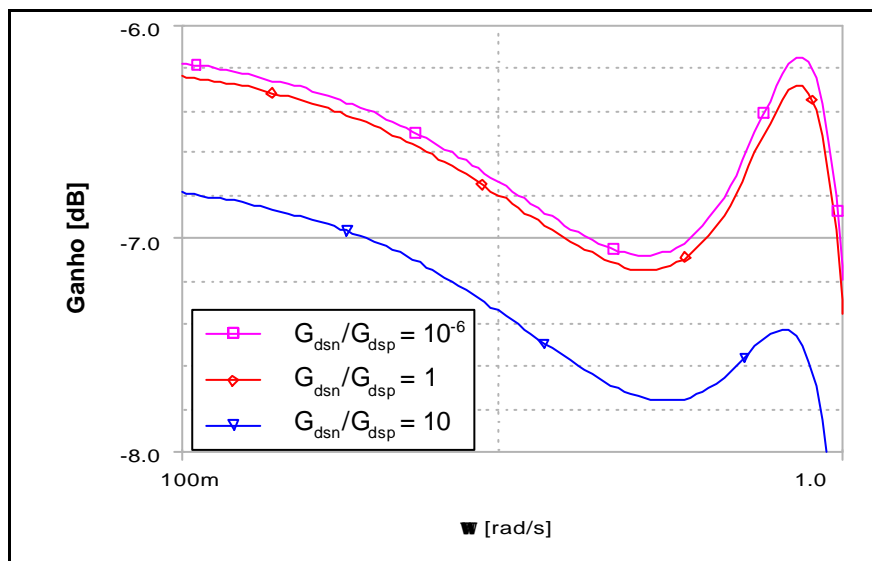


Figura 2.9: efeito de  $G_{dsn}$  na resposta do filtro



Para o caso de  $G_{dsn}/G_{dsp}$  igual a 10 a resposta do filtro fica bastante degradada. A diferença notada entre os outros dois casos é pequena de forma que, para o ganho  $g_m/G_{ds1}$  especificado, pode-se variar  $G_{dsn}$  até que esta seja igual a  $G_{dsp}$  sem que haja grande distorção na resposta do filtro. Nessa situação o ganho de tensão da célula básica passa a ser 500 e o filtro ainda apresenta resposta sem grande distorção. No entanto, um ganho  $g_m/G_{ds1}$  de 1000 é difícil de ser obtido e portanto é preciso que a restrição  $G_{dsn} \ll G_{dsp}$  seja cumprida.

Supondo-se um ganho  $g_m/G_{ds1}$  com ordem de grandeza de  $10^3$  (600, por exemplo), para que este não seja alterado em mais de 10%, é conveniente fazer  $G_{dsn} \gg 0,1G_{dsp}$ .

A tabela 2.2 apresenta um sumário das conclusões até então obtidas.

Restrição de Projeto	Ordem de Grandeza
$A_v = g_m/G_{ds1}$	$1.10^3$
$w_{ce}/w_{cf}$	$1.10^3$
$G_{dsn}/G_{dsp}$	$1.10^{-1}$

Tabela 2.2: restrições de projeto

## 2.2 Célula Básica

Com as restrições de projeto estabelecidas é preciso determinar as dimensões dos transistores que vão satisfazê-las. Isto é feito, primeiramente, com as expressões de funcionamento dos transistores MOS, apresentadas no Apêndice I. Esta determinação inicial normalmente leva a um comportamento do sistema, um pouco diferente em relação ao esperado. Isto se dá pelo fato do modelo de primeira ordem do transistor não corresponder exatamente ao funcionamento real do transistor.

Modelos mais sofisticados dos transistores devem ser utilizados para que se tenha uma noção mais realista do funcionamento do sistema. Devido à complexidade desses modelos é impraticável a determinação das dimensões dos transistores utilizando expressões algébricas

que os representem. Assim, após a determinação inicial das dimensões dos transistores usando o modelo de primeira ordem, são realizadas simulações para verificar o funcionamento do sistema. A partir desses resultados são feitos ajustes nas dimensões dos transistores e o comportamento do sistema é novamente avaliado em simulação. Este procedimento é repetido até que se estabeleçam as dimensões dos transistores que levem ao comportamento desejado do sistema, ou próximo dele.

O modelo do transistor usado nas simulações é o BSIM3 versão 3.

## 2.2.1 Equações de Projeto

Conforme foi visto no item 2.1 existem duas restrições principais de projeto que devem ser satisfeitas. A primeira está ligada ao ganho do transistor p-MOS e a segunda diz respeito à frequência de corte do espelho de corrente. Estas restrições estão associadas à coisas distintas. Com o intuito de unificar as restrições seria interessante que se deduzisse uma restrição de frequência de corte para o transistor p-MOS, de forma a se poder calcular suas dimensões.

- *Ganho do transistor p-MOS ( $A_v$ )*

Usando as equações (A.4), (A.6), (A.8) e (A.10) determina-se as seguintes expressões para o ganho  $A_v$  do transistor p-MOS:

$$A_v = \frac{g_m}{G_{DS}} \cong \frac{2}{I(V_{GS} - V_t)} \quad (2.7)$$

em função da tensão de polarização, ou

$$A_v = \frac{g_m}{G_{DS}} \cong \frac{1}{I} \sqrt{\frac{2b}{I_{DS}}} \quad (2.8)$$

em função da corrente de polarização.

- Frequência de corte do transistor p-MOS( $w_{cp}$ )

Deseja-se conhecer a frequência de corte do transistor  $M_1$  apresentado na figura 2.3. Para efetuar tal análise observa-se o modelo equivalente da célula básica com o transistor p-MOS ligado como diodo (dreno e gate em curto – figura 2.10), conforme ocorre no espelho de corrente.

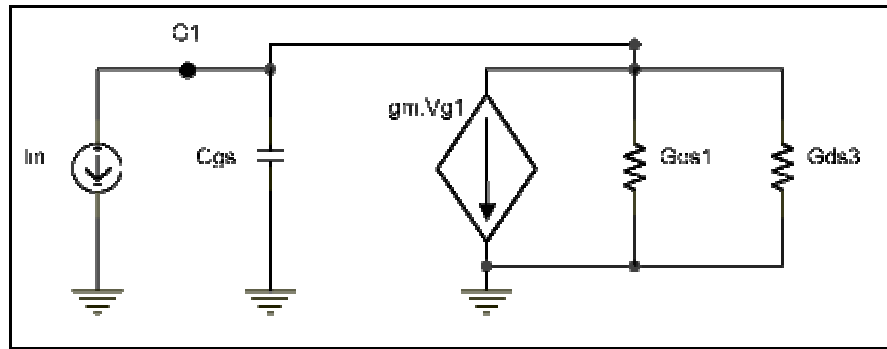


Figura 2.10: modelo da célula básica com o p-MOS ligado como diodo

Nessa configuração, deseja-se deduzir a relação  $V_{g1}/I_{in}$ . A análise nodal é apresentada:

$$I_{in} = -sC_{gs}V_{g1} - g_m V_{g1} - V_{g1} (G_{ds1} + G_{ds3})$$

$$I_{in} = -V_{g1}(sC_{gs} + g_m + G_{ds1} + G_{ds3})$$

$$\frac{V_{g1}}{I_{in}} = -\frac{1}{1 + \frac{G_{ds1} + G_{ds3}}{g_m}} \cdot \frac{1/g_m}{1 + s \frac{C_{gs}}{g_m + G_{ds1} + G_{ds3}}} \quad (2.9)$$

Juntando-se à equação 2.9, as restrições já estipuladas ( $G_{ds3} \ll G_{ds1}$  e  $\frac{g_m}{G_{ds1}} \gg 1$ ),

determina-se a frequência de corte do transistor p-MOS:

$$w_{cp} \cong \frac{g_m}{C_{gs}} \quad (2.10)$$

Utilizando as equações (A.4), (A.6) e a expressão da capacitância  $C_{gs}$  simplificada na forma,

$$C_{gs} = WL.C_{ox} \quad (2.11)$$

determina-se as seguintes expressões:

$$\mathbf{w}_{cp} = \frac{g_m}{C_{gs}} \cong \frac{\mathbf{m}(V_{GS} - V_t)}{L^2} \quad (2.12)$$

em função da tensão de polarização, ou

$$\mathbf{w}_{cp} = \frac{g_m}{C_{gs}} \cong \sqrt{2 \frac{\mathbf{m}I_{DS}}{WELC_{ox}}} \quad (2.13)$$

em função da corrente de polarização.

As restrições com relação a ganho e banda podem ser unificadas numa única restrição de produto ganho-banda (GB), já que, agora, ambas dizem respeito ao transistor p-MOS.

Assim:

$$GB = \frac{2\mathbf{m}}{1L^2} \quad (2.14)$$

- *Dimensões do transistor p-MOS*

Com os valores estabelecidos de ganho do transistor p-MOS e de frequência de corte do espelho de corrente, a partir da qual determina-se a frequência de corte do p-MOS, calcula-se o comprimento de canal (L) que vai satisfazer à condição de ganho-banda. Assim:

Com,

$$A_v = \frac{g_m}{G_{DS}} = 1000$$

$$\mathbf{w}_{cf} = 2\mathbf{p} \cdot 10^5$$

$$\mathbf{w}_{cp} = \frac{g_m}{C_{gs}} = 2 \cdot \mathbf{w}_{ce} = 2 \cdot 10^3 \cdot \mathbf{w}_{cf} = 4\mathbf{p} \cdot 10^8$$

Tem-se,

$$GB = 4\mathbf{p} \cdot 10^{11} \cong 1,26 \cdot 10^{12} \text{ rad/s} \quad (2.15)$$

$$L \cong 1,63 \text{ mm} \quad (2.16)$$

Na documentação da AMS [4] são apresentadas as curvas características para quatro transistores com dimensões diferentes. Como um ponto de partida procurou-se verificar quais desses transistores seriam interessantes para o atendimento das especificações. Em simulação realizada no SPICE, utilizando o circuito apresentado na figura 2.11, determinou-se os resultados para produto ganho-banda de cada um dos transistores.

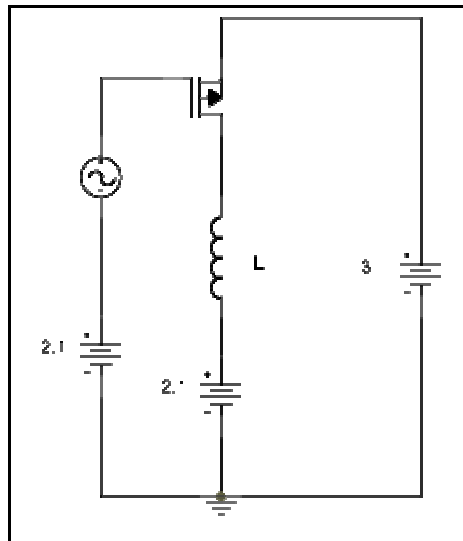


Figura 2.11: circuito utilizado para determinação de GB dos transistores

O circuito apresentado procura colocar o transistor p-MOS na mesma configuração e condição de funcionamento de  $M_1$  (figura 2.3). O indutor  $L$  é muito grande de forma a se ter uma alta impedância entre o dreno do transistor e a terra. O fato de  $V_G = V_D$  na figura 2.11 está de acordo com a estrutura apresentada na figura 2.3. A escolha de  $V_{SG} = 900 \text{ mV}$  se dá pela observação feita anteriormente com relação à equação (2.6), onde foi notado que para se obter ganho da ordem de  $10^3$  seria necessário que

$$|V_{GS} - V_t| \cong 200 \text{ mV} \quad (2.17)$$

com  $|V_{tp}| \cong 700 \text{ mV}$ , tem-se

$$V_{SG} \cong 900 \text{ mV} \quad (2.18)$$

O resultado obtido é apresentado a seguir.

#	W/L	$A_v$	$f_{cp}$ [Hz]	GB [Hz]	GB [rad/s]
1	$\frac{20}{0.8}$	44,8	$84,7 \cdot 10^6$	$3,8 \cdot 10^9$	$23,8 \cdot 10^9$
2	$\frac{20}{3}$	385,8	$1,96 \cdot 10^6$	$756,2 \cdot 10^6$	$4,75 \cdot 10^9$
3	$\frac{3}{0.8}$	47,5	$66,0 \cdot 10^6$	$3,13 \cdot 10^9$	$19,7 \cdot 10^9$
4	$\frac{2}{20}$	2125,4	$34,7 \cdot 10^3$	$73,7 \cdot 10^6$	$46,3 \cdot 10^6$

Tabela 2.3: análise de GB para as dimensões de transistores da documentação da AMS

Todos os valores de GB encontrados são inferiores ao valor obtido teoricamente (equação 2.15). No entanto é preciso verificar a verdadeira influência desses resultados na resposta do filtro, o que será feito após a determinação das dimensões finais dos transistores e dos capacitores do filtro. Assim, os resultados obtidos não são descartados e procura-se, dentre essas possibilidades de dimensões dos transistores, aquela que pode levar à resposta em frequência desejada para o filtro. Vale notar também que, pelos resultados obtidos para os transistores 1 e 3, a influência da largura de canal (W) no produto ganho-banda é pouca. Esta independência era esperada tendo em vista a equação (2.14).

A análise efetuada leva à exclusão do transistor com razão de aspecto 2/20 pelo fato de apresentar o menor GB. Os outros valores de GB induzem à escolha dos transistores 1 ou 3, sendo necessário destacar que os ganhos desses transistores são pequenos. Conforme foi observado na seção 2.1, o ganho do transistor p-MOS deve ter ordem de grandeza igual a  $10^3$ . Para que esta condição seja satisfeita por um dos transistores 1 ou 3, seria necessário aumentar o ganho por algum fator que, no caso do transistor 2, que já apresenta ganho mais elevado, seria bem menor. Assim, como ponto de partida, escolheu-se o transistor 2, com razão de aspecto 20/3.

Uma verificação que deve ser feita, é a das dimensões dos capacitores que serão projetados e integrados no mesmo *chip*. É preciso efetuar a desnormalização dos mesmos, levando em conta a frequência de corte do filtro e a transcondutância ( $g_m$ ) do transistor p-

MOS. Observando a equação (1.11), aqui repetida por conveniência, nota-se que para não haver alteração na frequência de corte do integrador com perdas o capacitor deve ser multiplicado por  $g_m$ .

$$I_{out} = \frac{I_{in}}{1 + \frac{sC}{g_m}} \quad (2.19)$$

A determinação de  $g_m$  pode ser feita através da equação (A.4), sendo obtido o seguinte resultado.

$$g_m = 48 \text{ mA/V}$$

Assim, a desnormalização dos capacitores fica da seguinte forma

$$C_1 = C_3 = 2,0236 \text{ F} \xrightarrow{+2pf_c} 3,22 \text{ mF} \xrightarrow{\times g_m} 154,5 \text{ pF} \quad (2.20)$$

$$C_{L_2} = 0,9941 \text{ F} \xrightarrow{+2pf_c} 1,58 \text{ mF} \xrightarrow{\times g_m} 75,8 \text{ pF}$$

Estes valores encontrados representam, como será visto na seção 2.3, capacitores com dimensões bastante grandes para serem integrados. Seria interessante reduzi-las, para assim diminuir a área utilizada do substrato de silício.

Ao diminuir a largura de canal ( $W$ ) é possível reduzir  $g_m$  sem alterar consideravelmente o produto ganho-banda do transistor conforme foi observado anteriormente na análise de GB e na equação (2.14). Adotando então as seguintes dimensões para o transistor p-MOS:

$$\left( \frac{W}{L} \right)_{pMOS} = \frac{3 \text{ mm}}{3 \text{ mm}} \quad (2.21)$$

Calcula-se o novo valor de  $g_m$  e das capacitâncias.

$$g_m = 7,2 \text{ mA/V}$$

$$C_1 = C_3 = 23,2 \text{ pF}$$

$$C_{L_2} = 11,4 \text{ pF}$$

Estes valores representam capacitâncias mais interessantes para serem integradas. A determinação final das capacitâncias do filtro será feita com o resultado de  $g_m$  obtido em simulação e depois da determinação das dimensões do transistor n-MOS.

- *Dimensões do transistor n-MOS*

Um resultado que pode ser extraído da simulação realizada anteriormente para determinação do produto ganho-banda, é a corrente  $I_{DS}$  que polariza o transistor p-MOS. A partir dela determina-se as dimensões do transistor n-MOS que vai atuar como fonte de corrente na célula básica. Considerando o circuito da figura 2.11 com as dimensões do transistor p-MOS encontradas em (2.21), obtém-se a corrente  $I_{DS}$ .

$$I_{DS} @ 214 \text{ nA}$$

Para que o transistor n-MOS ( $M_3$  – figura 2.3) esteja operando na região de saturação e na inversão forte é preciso ter:

$$V_{DS3} > V_{GS3} - V_{tn}$$

$$V_{GS3} \geq V_{tn}$$

Com  $V_{tn} \cong 800 \text{ mV}$  e  $V_D \cong 2,1 \text{ V}$  determina-se:

$$0,8 \leq V_{G3} < 2,9$$

Impondo a condição,

$$V_{G3} = V_{bias} = 1,0 \text{ V} \quad (2.22)$$

A determinação das dimensões do transistor n-MOS pode ser feita através da equação (A.1).

$$\left( \frac{W}{L} \right)_{nMOS} \cong 0,11 \quad (2.23)$$



Observando os transistores cujas dimensões são apresentadas na documentação da AMS (tabela 2.3), aquele que mais se aproxima dessa razão de aspecto é o de número 4 ( $W/L = 2/20$ ). A corrente de polarização fornecida por este transistor é um pouco menor que o necessário, para a condição de polarização indicada em (2.22). Com a possibilidade de ajustar  $V_{bias}$  externamente, é possível usar um transistor que forneça um pouco mais de corrente e efetuar um ajuste fino desta. Dessa forma, imaginou-se utilizar dois desses transistores em paralelo para que toda a corrente necessária para a polarização do p-MOS fosse garantida, e as dimensões do transistor n-MOS ficaram da seguinte forma:

$$\boxed{\left(\frac{W}{L}\right)_{nMOS} = \frac{4 \text{ } \mu\text{m}}{20 \text{ } \mu\text{m}}} \quad (2.24)$$

Com as dimensões finais dos transistores da célula básica estabelecidas, efetuou-se nova simulação para cálculo final das capacitâncias do filtro. Com a configuração apresentada na figura 2.3, para  $M_1$  e  $M_3$ , e com a condição de polarização indicada em (2.22), obteve-se:

$$I_{DS} = 194,4 \text{ nA} \quad (2.25)$$

$$V_{D1} = V_{D3} = 2,11 \text{ V} \quad (2.26)$$

$$g_m = 2,74 \text{ mA/V} \quad (2.27)$$

E ainda,

$$A_{vpMOS} \cong 450 \text{ V/V} \quad (2.28)$$

Com o  $g_m$  obtido calculou-se os valores finais das capacitâncias a serem integradas. Apresenta-se a seguir as tabelas 2.4 e 2.5 resumindo as conclusões até aqui obtidas: as dimensões encontradas para os transistores e as capacitâncias.

Transistor	Dimensões (mm)
p-MOS	$\frac{3}{3}$
n-MOS	$\frac{4}{20}$

Tabela 2.4: dimensões dos transistores

Capacitor	Capacitância (pF)
$C_1$	8
$C_{L2}$	4
$C_3$	8

Tabela 2.5: capacitâncias do filtro

É interessante destacar que, como a corrente de polarização pode ser ajustada através de  $V_{bias}$ , é possível variar a transcondutância ( $g_m$ ) do transistor p-MOS e então, a frequência de corte do filtro. Apresenta-se ainda a resposta em frequência do filtro para verificação da influência de GB do transistor p-MOS na mesma.

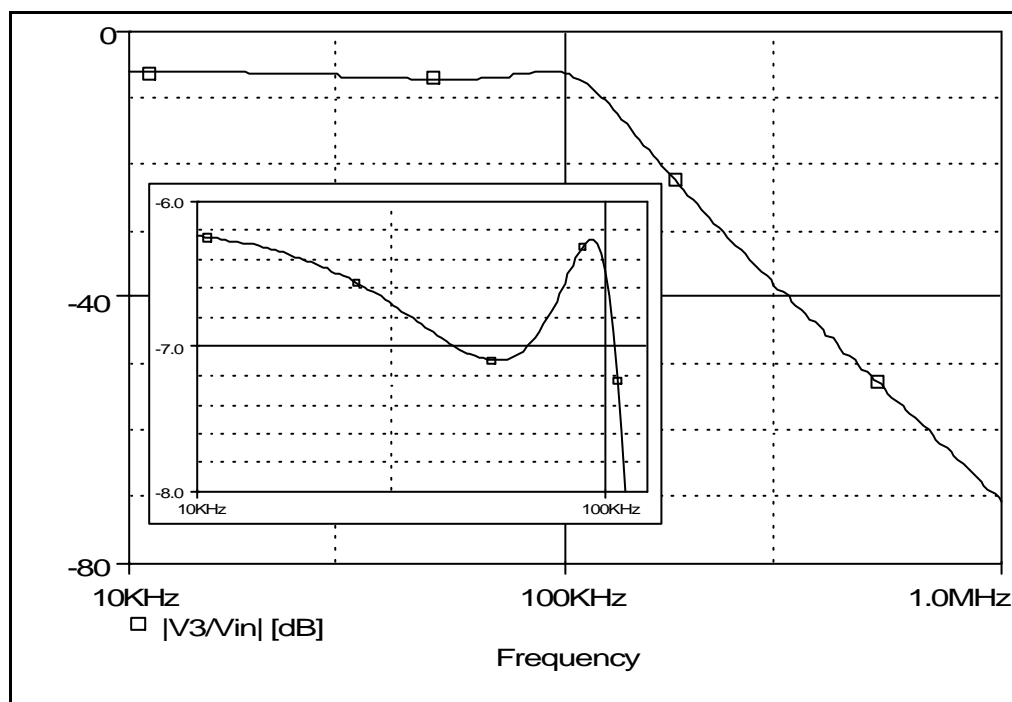


Figura 2.12: resposta em frequência do filtro

Observa-se que a resposta em frequência do filtro se encontra de acordo com o esperado, não sendo necessária uma nova determinação das dimensões dos transistores.

## 2.2.2 Leiaute

O leiaute final da célula básica é apresentado a seguir (figura 2.13):

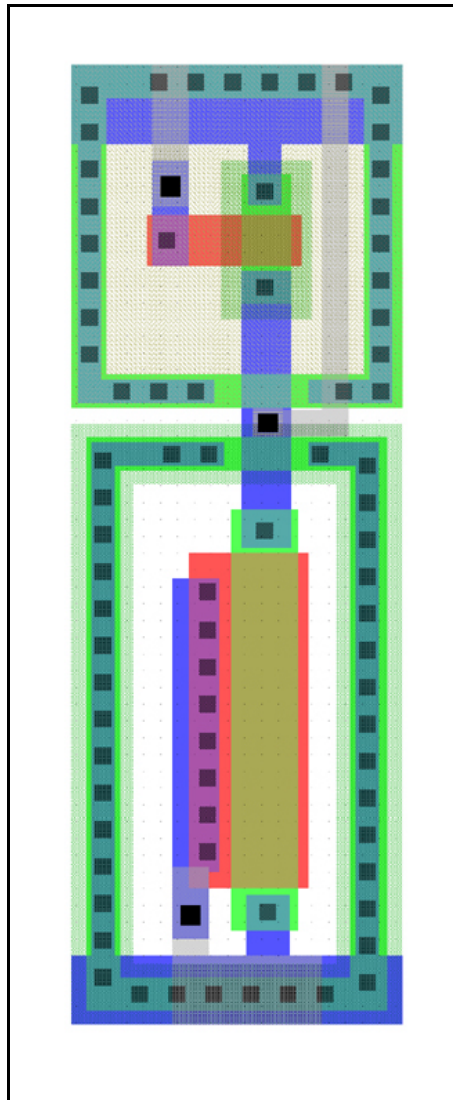


Figura 2.13: leiaute da célula básica

Alguns cuidados foram tomados na confecção do leiaute da célula básica. Anéis de guarda foram colocados ao redor de cada transistor para evitar o efeito de *latch-up* [5]. Foi definido um padrão geométrico para as células básicas de forma que, para distribuir a alimentação entre elas, basta posicionar as células lado a lado (“*abutment*”). Para os sinais  $V_{in}$ ,  $V_{out}$  e a polarização  $V_{bias}$ , foram criados acessos pelos lados superior e inferior de cada

célula básica, feitos com METAL2, permitindo assim que algumas ligações fossem feitas pela periferia.

## 2.3 Capacitores

Capacitores podem ser feitos em processos de fabricação CMOS superpondo-se duas camadas diferentes de polisilício (*poly1* e *poly2*). O polisilício é o material que recobre o gate de transistores e, por ser um silício degenerado, com alta concentração de portadores [6], possui propriedades de condução parecidas com as de um metal. Na fabricação do capacitor, uma camada de óxido de silício ( $\text{SiO}_2$ ) é inserida no espaço entre as camadas de polisilício, formando o dielétrico.

### 2.3.1 Equação de Projeto

O valor da capacitância é dado pelo produto da área de superposição das camadas de polisilício com a capacitância por unidade de área do meio que preenche o espaço entre elas.

Assim:

$$C = WL.C_{poly1-poly2} \quad (2.29)$$

Para melhorar a precisão dos capacitores é interessante que se divida as capacitâncias do filtro em unidades menores. Assim, usou-se capacitores de 2 pF para formar as capacitâncias do filtro. O cálculo das dimensões de um capacitor quadrado que seja equivalente a 2 pF é imediato a partir da equação (2.29) e do parâmetro CPOX apresentado na introdução deste capítulo.

$$\boxed{W_{capacitor} = L_{capacitor} \cong 33,6 \text{ mm}} \quad (2.30)$$

É interessante ressaltar que as dimensões dos capacitores encontrados após a primeira desnormalização (equação 2.20), caso fossem usados capacitores unitários de 37,9 pF, seriam aproximadamente 132 x 132  $\mu\text{m}$ . O que representaria uma área 20 vezes maior, para cada capacitor.

### 2.3.2 Leiaute

O leiaute do capacitor unitário é apresentado (figura 2.14)

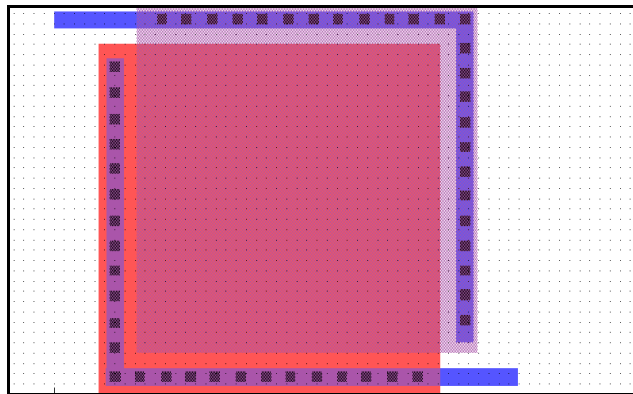


Figura 2.14: leiaute do capacitor unitário

Para a obtenção de todos os capacitores do circuito criou-se uma matriz de capacitores unitários ligados de forma conveniente para formação de  $C_1$ ,  $C_{L2}$  e  $C_3$ . Este banco de capacitores deve ficar num poço e polarizado para evitar problemas de injeção de ruído pelo substrato. O leiaute da matriz de capacitores do filtro é apresentado (figura 2.15).

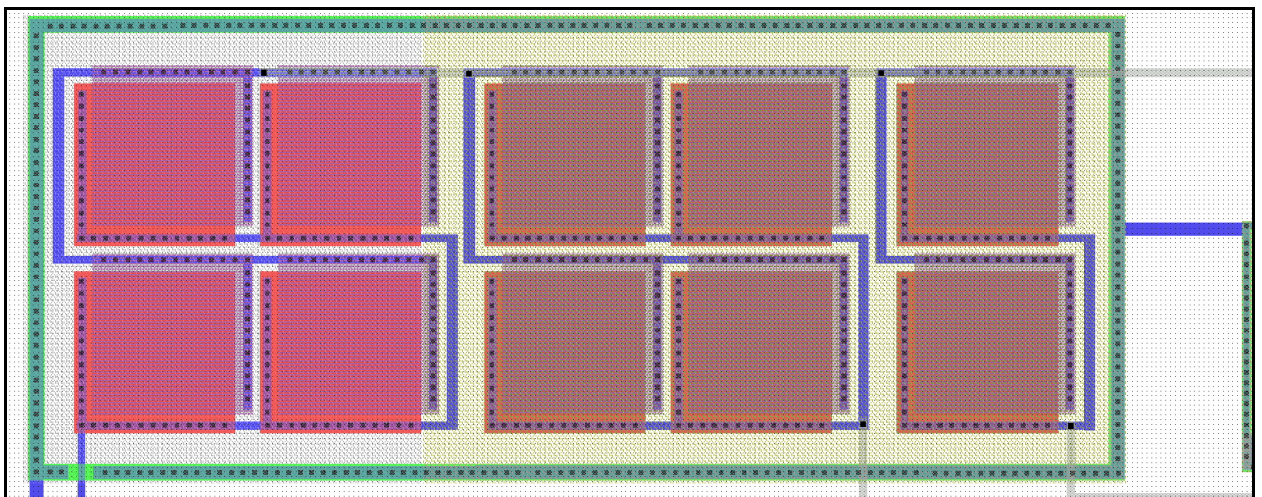


Figura 2.15: leiaute da matriz de capacitores do filtro.

## 2.4 *Buffer* de Entrada e *Buffer* de Saída

Com os componentes apresentados anteriormente, o filtro em modo de corrente está completo. Faz-se necessário ainda projetar o interfaceamento com o meio exterior. Os sinais de entrada e de saída do circuito completo devem ser em tensão. A interface do filtro é feita através de dois *buffers*: o *buffer* de entrada seria responsável pela conversão de um sinal externo, em tensão, para corrente, já que a operação do filtro se processa em corrente. O *buffer* de saída deve converter a corrente de saída do filtro para tensão, possibilitando sua observação em um osciloscópio e obtenção de resultados experimentais. Ambos os *buffers* devem isolar o núcleo central, o filtro em modo de corrente, do meio externo para que sua resposta não seja alterada. Apresenta-se a seguir as considerações para o projeto e o leiaute dos conversores tensão-corrente e corrente-tensão.

### 2.4.1 Conversor Tensão-Corrente

O *buffer* de entrada deve ser um bloco capaz de converter tensão em corrente. A tensão seria originada em um gerador de sinais e sua conversão em corrente se faz necessária já que o filtro opera em corrente. Um bloco já projetado e que é capaz de cumprir esta função é a própria célula básica do filtro. Ao se aplicar uma tensão na sua entrada esta é convertida em corrente pelo transistor p-MOS, com a distorção característica da relação quadrática deste. Utilizou-se, como *buffer* de entrada, uma célula básica com as mesmas dimensões já obtidas em (2.21) e (2.24) e com o mesmo leiaute apresentado na figura 2.13. A ligação do *buffer* de entrada com o restante do circuito é apresentada na figura 2.16

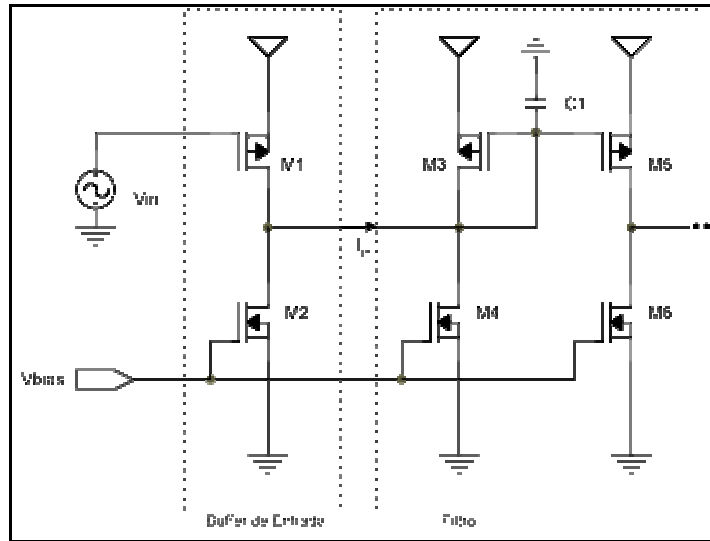


Figura 2.16: ligação do *buffer* de entrada com o filtro

Para que o transistor  $M_1$  esteja em operação é necessário que o sinal  $V_{in}$  tenha uma componente DC para polarização deste. Este nível DC deve ser aproximadamente igual à tensão obtida em (2.26), para que esta célula básica fique polarizada da mesma forma que as outras. Sendo assim, estabelece-se:

$$V_{in} = 2,11 V_{DC} + v_{ac} \quad (2.31)$$

Para que a célula básica funcione como *buffer* de entrada sem alterar a resposta do filtro esta deve apresentar características similares a de uma fonte de corrente AC. Dessa maneira a corrente gerada pelo *buffer* de entrada não deve apresentar componente DC e, para que isto aconteça, a condição estabelecida em (2.31) deve ser satisfeita. O *buffer* de entrada deve ainda, apresentar alta impedância de saída. Esta característica é analisada a seguir.

A impedância de saída do *buffer* de entrada é dada pela seguinte expressão:

$$Z_{out} = \frac{1}{G_{DSn} + G_{DSp}} \quad (2.32)$$

Com a expressão (A.10) do Apêndice 1 e com o resultado obtido em (2.25) para a corrente de polarização, apresentados a seguir:

$$G_{DS} \cong I I_{DS}$$

$$I_{DS} = 194,4 nA$$

e ainda,  $\lambda = 0,01 \text{ V}^{-1}$  tem-se:

$$Z_{out} \cong 250 \text{ M}\Omega \quad (2.33)$$

Na entrada do filtro tem-se um transistor p-MOS ligado como diodo, assim a impedância de entrada do filtro é dada pela expressão,

$$Z_{in\_filtro} = \frac{1}{g_m + sC_1} \quad (2.34)$$

Que pode ser estimada com o resultado obtido em (2.27) para  $g_m$ .

$$g_m = 2,74 \text{ mA/V}$$

$$Z_{in\_filtro} \cong 365 \text{ k}\Omega \quad (2.35)$$

O resultado é bastante interessante, sendo observado que a impedância de saída do *buffer* de entrada é quase 700 vezes maior que a impedância de entrada do filtro.

## 2.4.2 Conversor Corrente-Tensão

A estrutura do *buffer* de saída é a mesma que foi utilizada em [2] e é apresentada na figura 2.17.

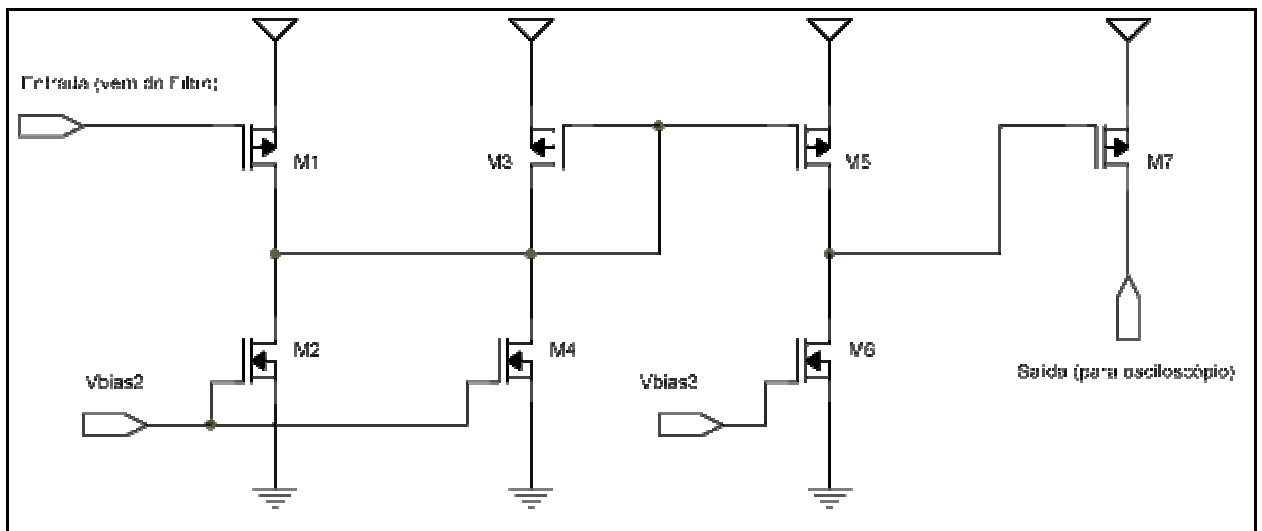


Figura 2.17: estrutura do *buffer* de saída



O *buffer* de saída é ligado ao nó 3 do filtro, apresentado na figura 1.15. O transistor  $M_1$  é responsável por fazer uma cópia da corrente de saída ( $V_3$ ). O transistor  $M_5$  efetua uma conversão corrente-tensão da variável de estado  $V_3$ . O estágio formado pelos transistores  $M_5$  e  $M_6$  fornece um ganho de tensão ao sinal e isola o transistor  $M_7$  do restante do circuito. Este sinal amplificado, é convertido em corrente (através de  $M_7$ ) que, alimentando um resistor de  $50 \Omega$  (entrada do osciloscópio), gera o sinal a ser medido. Existem dois controles de polarização no *buffer* separados do controle  $V_{bias}$  das células básicas do filtro.  $V_{bias2}$  controla a polarização de  $M_1$  e  $M_3$ ,  $V_{bias3}$  controla a polarização de  $M_5$ . Isto foi feito para ajustar as características de funcionamento do *buffer* de forma a ser possível observar o sinal de saída.

O projeto do *buffer* consiste em determinar as dimensões do transistor  $M_7$ . Para todos os outros transistores foram usadas as mesmas dimensões dos transistores que formam a célula básica.

Os passos que foram tomados para determinação das dimensões do transistor  $M_7$ , verificou-se mais tarde, implicaram numa inconsistência do projeto. Apresenta-se as dimensões do transistor  $M_7$  sem, no entanto mostrar, como estas foram determinadas.

$$W_{M_7} = 240 \text{ } \mu\text{m} \quad (2.36)$$

$$L_{M_7} = 0,8 \text{ } \mu\text{m} \quad (2.37)$$

O projeto do *buffer* de saída deve ser feito tendo em vista inicialmente o nível de ruído na saída do filtro. Com isso estabelece-se uma relação sinal ruído e o grau de amplificação que o sinal deve ter para sua observação na saída. Pode-se então estipular o ganho que deve ser dado pelo estágio formado pelos transistores  $M_5$ ,  $M_6$  e  $M_7$ . O transistor  $M_7$  deve ainda ser capaz de fornecer uma corrente ao resistor de  $50 \Omega$ , suficiente para gerar um nível de tensão DC que permita observar o sinal em toda sua faixa de excursão.

### 2.4.2.1 Leiaute

Apresenta-se o leiaute do transistor  $M_7$  na figura 2.18. Os outros transistores, como são idênticos aos já projetados para a célula básica, são desenhados juntamente com os transistores do filtro, o que é apresentado na figura 2.19.

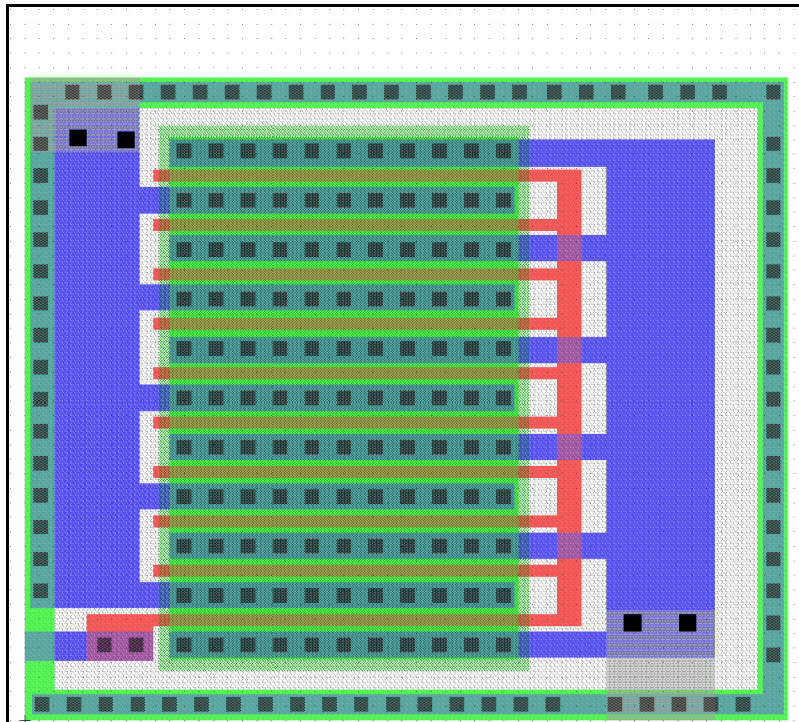


Figura 2.18: leiaute do transistor  $M_7$  do *buffer* de saída

Como se pode observar, o transistor foi feito na forma interdigitada. Um anel de guarda foi feito ao redor do transistor para evitar o efeito de *latch-up*.

## 2.5 Leiaute do Circuito Integrado

Apresenta-se nas figuras a seguir o leiaute do circuito integrado. Esta é a máscara que foi enviada para fabricação na AMS. Na figura 2.19, apresenta-se o circuito sem os *pads*. Na figura 2.20 apresenta-se o circuito completo. A área total é de  $0,67 \text{ mm}^2$  ( $\sim 910 \times 740 \text{ }\mu\text{m}$ ).

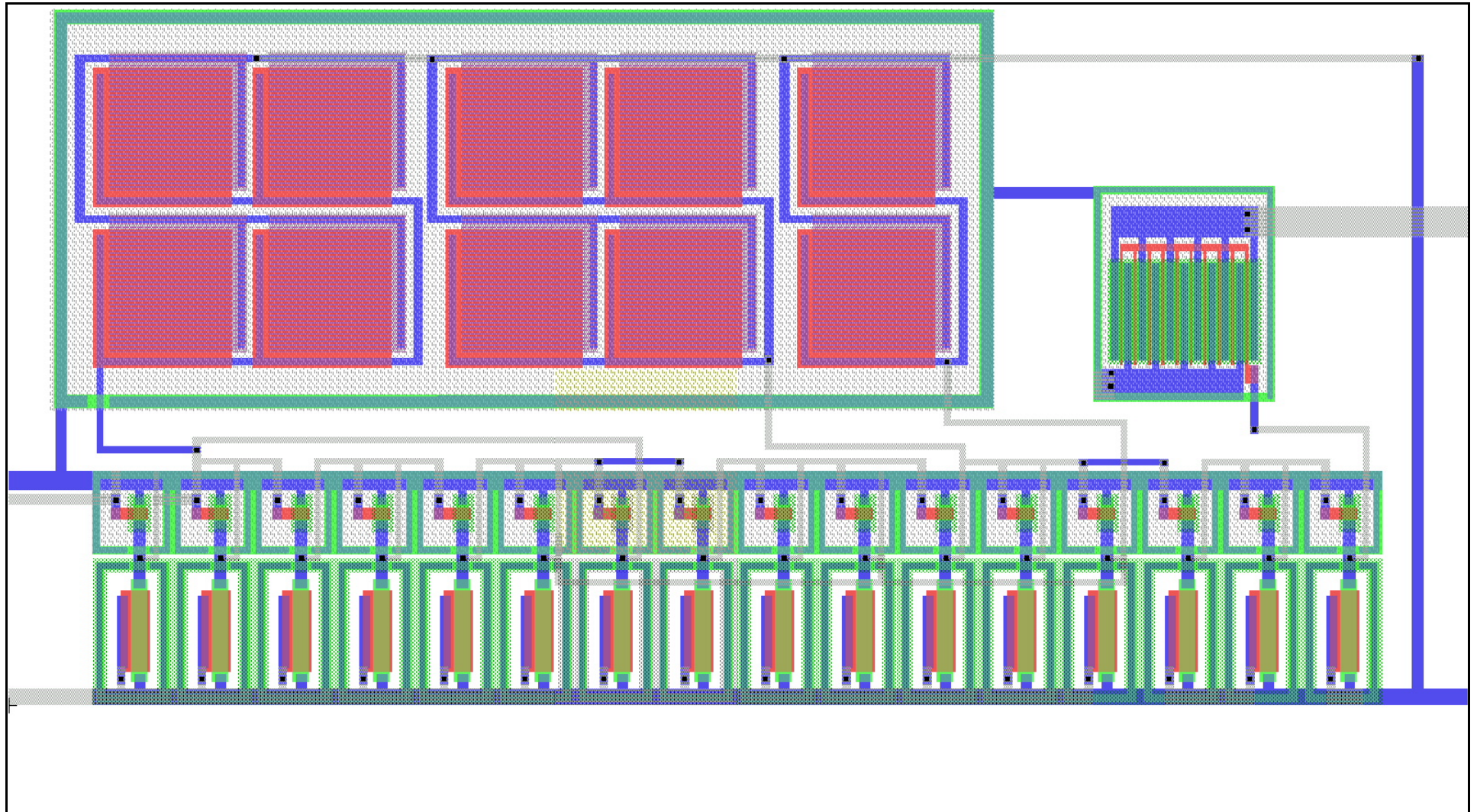


Figura 2.19: leiaute do circuito integrado sem *pads*



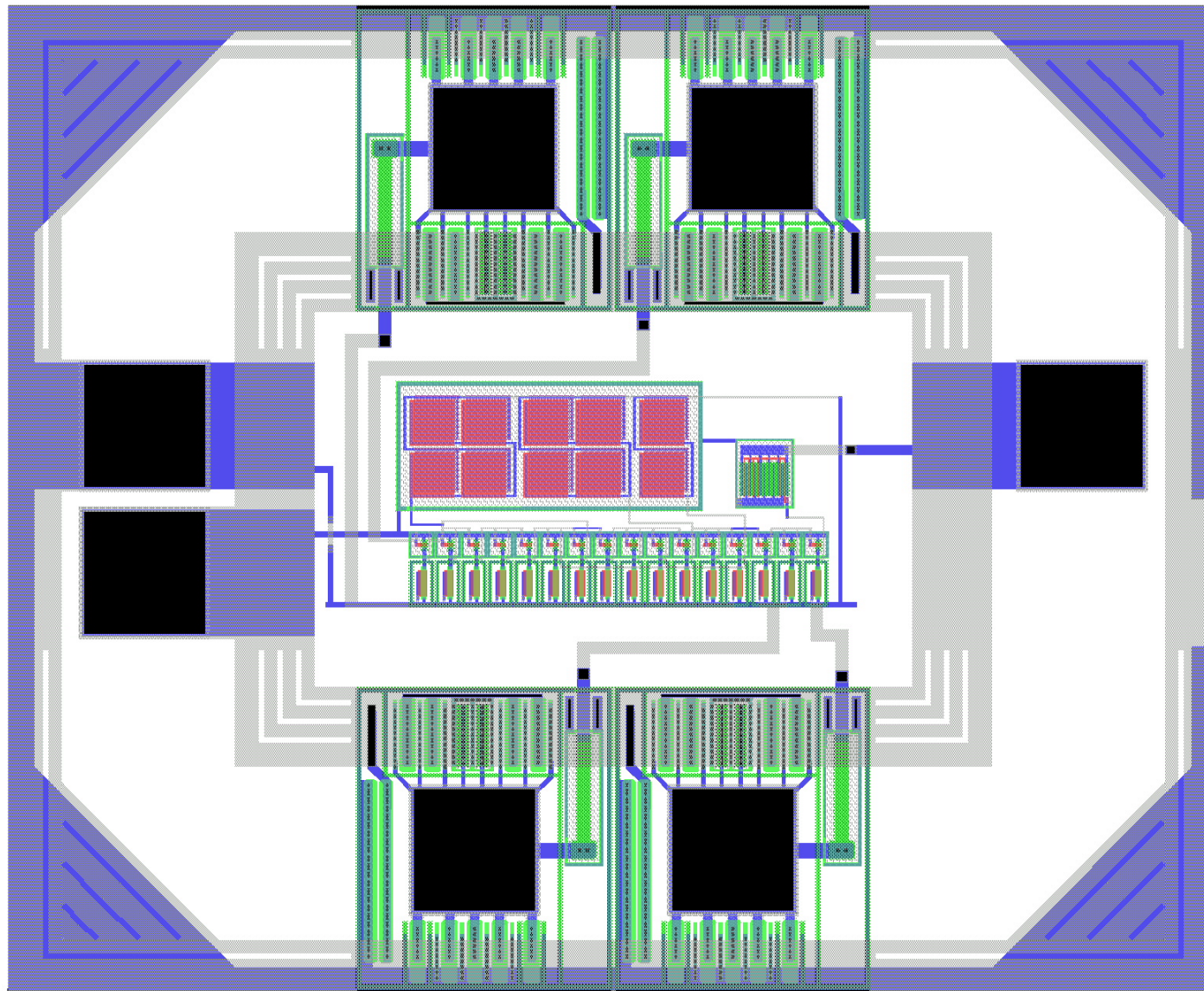


Figura 2.20: leiaute do circuito integrado com *pads*

### 3. Simulações e Resultados Experimentais

Neste capítulo se analisa o circuito construído e os resultados experimentais obtidos. Na seção 3.1 são efetuadas as simulações relativas ao bloco principal do circuito, o filtro em modo de corrente. As simulações do circuito completo, incluindo *buffer* de entrada e *buffer* de saída, são apresentadas na seção 3.2. A seção 3.3 apresenta as principais características do filtro em modo de corrente e do *buffer* de saída. A conclusão do capítulo se dá com a apresentação de resultados experimentais obtidos para o circuito, na seção 3.4.

Apresenta-se a seguir o diagrama esquemático do circuito completo. A numeração adotada nesta figura vai servir de referência para as análises realizadas neste capítulo.

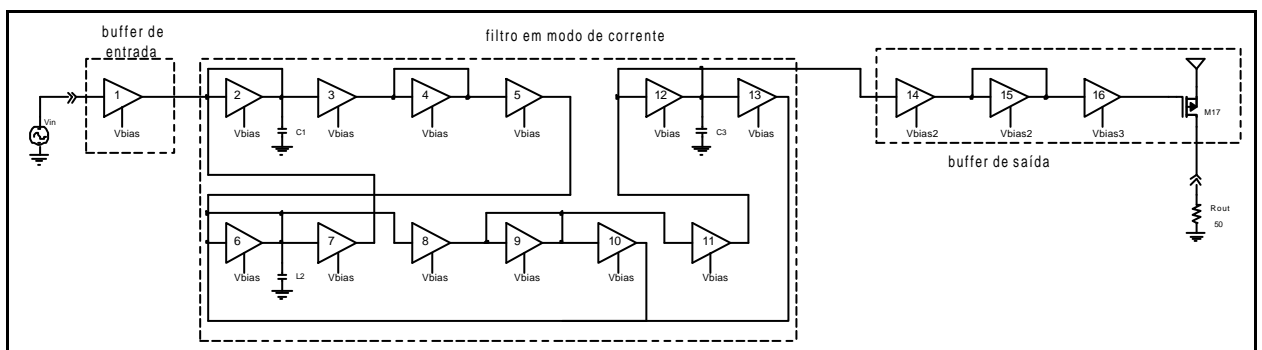


Figura 3.1: diagrama esquemático do circuito completo

### 3.1 Filtro em Modo de Corrente

Apresenta-se nesta seção os resultados obtidos em simulação para o filtro em modo de corrente. Não estão sendo usados o *buffer* de entrada e o *buffer* de saída.

No capítulo 2 já foram obtidos resultados com respeito à polarização do filtro, e que são novamente apresentados para melhor conveniência.

Para,

$$V_{bias} = 1V \quad (3.1)$$

tem-se

$$I_{DS\_2} = 194,4nA \quad (3.2)$$

e ainda

$$V_{in\_2} \cong 2,11V \quad (3.3)$$

Onde  $I_{DS\_2}$  e  $V_{in\_2}$  representam, respectivamente, a corrente de polarização e a tensão DC na entrada da célula básica 2 (figura 3.1). É interessante notar que, por causa da topologia do filtro, esta tensão é distribuída para todas as entradas de todas as células básicas do filtro e então, as 12 células básicas que formam o filtro ficam submetidas à mesma condição de polarização.

A resposta em frequência do filtro (módulo e fase) é apresentada a seguir. O sinais  $V_3$  e  $V_{in}$  são representados respectivamente pelas correntes na saída da célula básica 13 e na entrada da célula básica 2 (figura 3.1). Efetua-se uma comparação com a resposta em frequência do modelo linearizado do filtro, onde cada célula básica é substituída por seu modelo (figura 2.2).

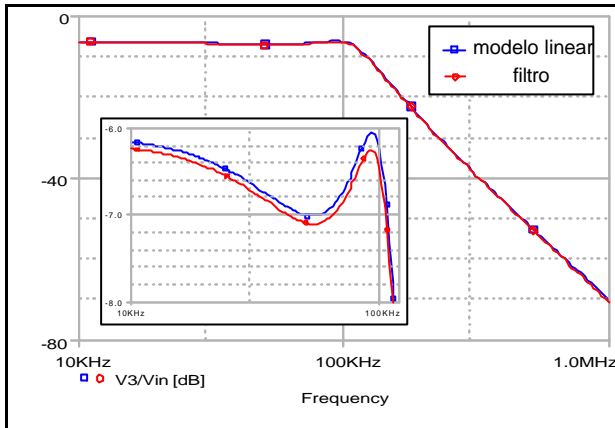


Figura 3.2: resposta em frequência do filtro em modo de corrente (módulo)

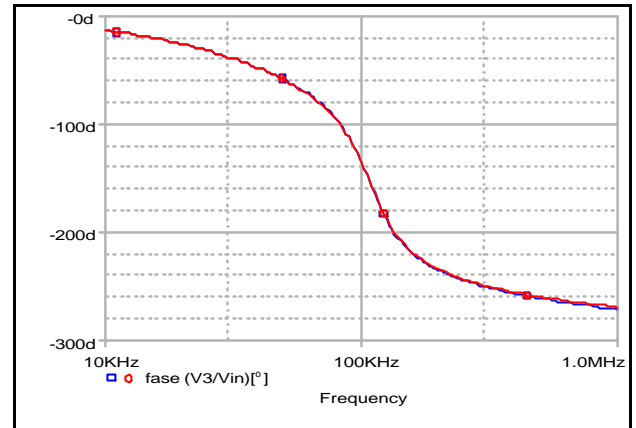


Figura 3.3: resposta em frequência do filtro em modo de corrente (fase)

Apresenta-se ainda a resposta do filtro a um impulso de corrente.

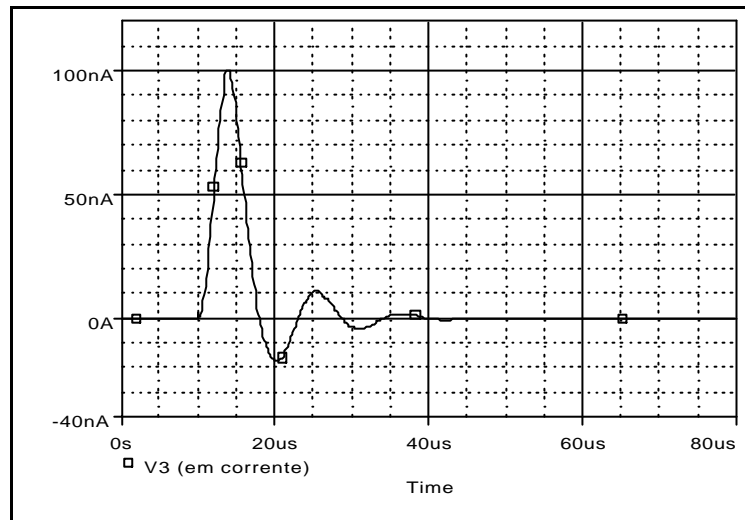


Figura 3.4: resposta do filtro a um impulso de corrente

Para a condição de polarização indicada, a frequência de corte do filtro ficou um pouco acima de 100 kHz. Variando  $V_{bias}$  em torno de 1 V é possível obter a resposta em frequência projetada para o filtro. Dessa maneira com,

$$0,95 \leq V_{bias} \leq 1,05 \quad (3.4)$$

Obtém-se o seguinte resultado:

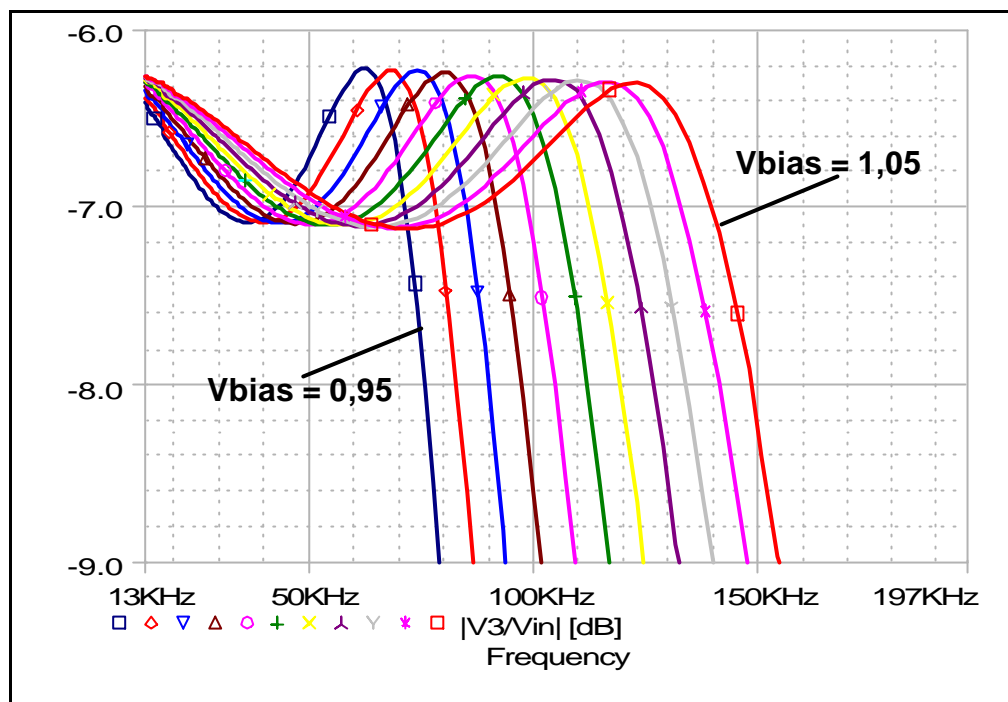


Figura 3.5: variação da resposta em frequência para 0,95  $\leq V_{bias} \leq 1,05$

Duas importantes observações devem ser feitas a partir do resultado observado: a frequência de corte em 100 kHz é obtida para

$$V_{bias} \cong 0,98 V \quad (3.5)$$

E ainda, a relação entre a frequência de corte e  $V_{bias}$  é linear. De fato, como a frequência de corte dos integradores com perdas é diretamente proporcional a  $g_m$  (equação 1.13)

$$\omega_c = \frac{g_m}{C}$$

e esta também é diretamente proporcional a tensão de polarização (equação A.4),

$$g_m \cong \mathbf{b} (V_{GS} - V_t)$$

tem-se a relação linear entre a frequência de corte do filtro e  $V_{bias}$ .

A resposta em frequência do filtro em modo de corrente se apresentou conforme o esperado (figuras 3.2 e 3.3). Comparando-a com o módulo da resposta em frequência do modelo linearizado do filtro, nota-se uma pequena atenuação na banda passante. A fase permaneceu igual. A frequência de corte do filtro pode ser controlada através de  $V_{bias}$  como



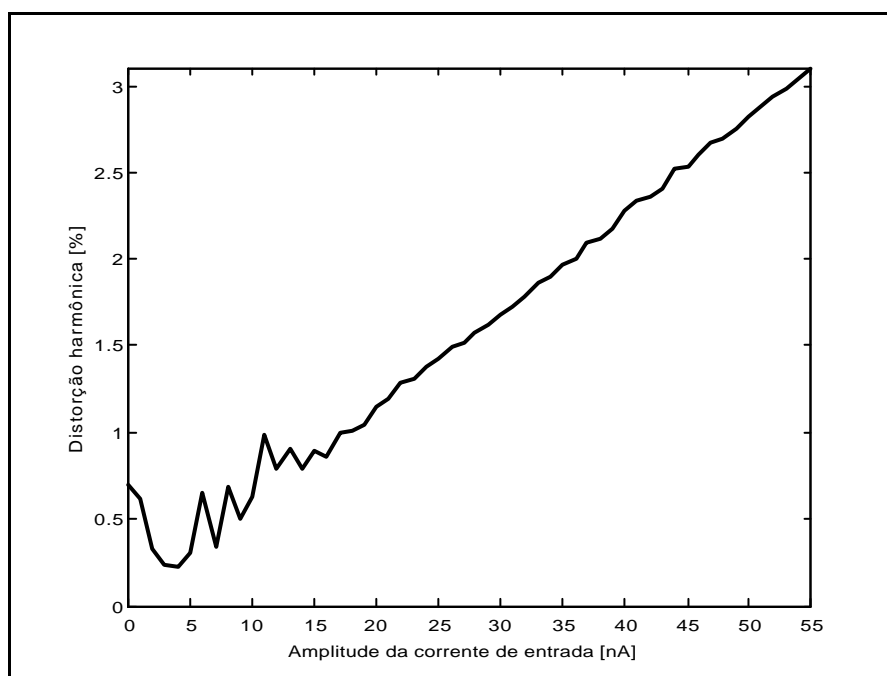
demonstra o resultado obtido na figura 3.5, sendo esta uma propriedade interessante da estrutura apresentada.

Com  $V_{\text{bias}} = 0,98 \text{ V}$  a polarização do filtro fica da seguinte forma:

$$I_{DS\_2} \cong 156,8 \text{ nA} \quad (3.6)$$

$$V_{in\_2} \cong 2,12 \text{ V} \quad (3.7)$$

Com  $V_{\text{bias}}$  estabelecido no valor indicado, analisa-se a distorção harmônica da tensão de saída da célula básica 12. A razão para análise deste sinal se dá pelo fato de que o mesmo será utilizado na entrada no *buffer* de saída, sendo portanto o sinal que vai ser observado na saída do circuito. Observa-se a excursão de sinal na entrada do filtro, de forma que a saída apresente um nível de distorção por volta de 3%. Utilizou-se um sinal senoidal de frequência 12,5 kHz na entrada e observou-se a contribuição de 8 harmônicos deste, cobrindo toda a banda passante. Apresenta-se o resultado obtido.



**Figura 3.6: análise de distorção harmônica**

O resultado observado para distorção menor que 1% não deve ser levado em conta, trata-se de erro numérico do simulador. A excursão de sinal na entrada do filtro deve ser tal que:

$$I_{in} \leq 55 \text{ nA}_{pico} \quad (3.8)$$

Uma última análise interessante do filtro em modo de corrente, é a da sua resposta em frequência quando observada numa faixa mais extensa.

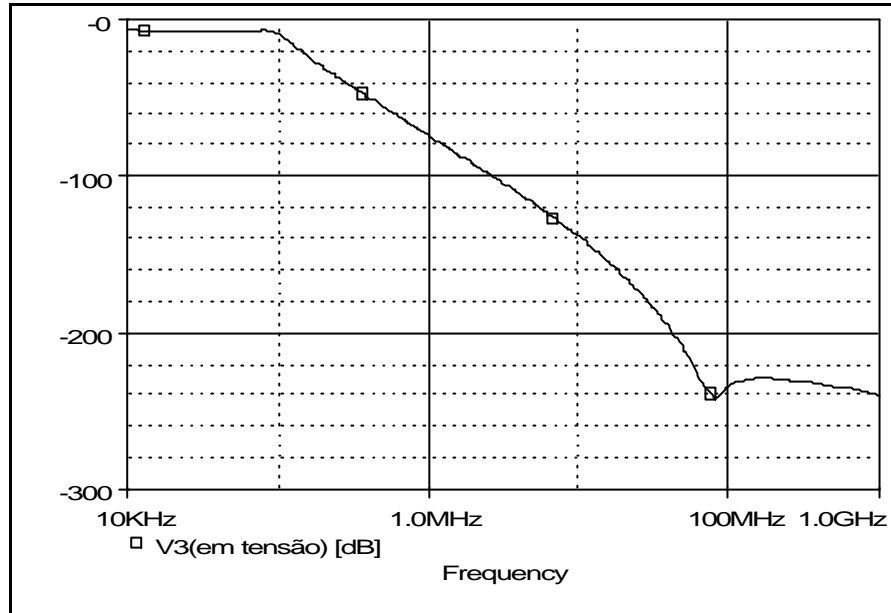


Figura 3.7: saída do filtro – faixa de frequência estendida

O efeito observado para a frequência aproximada de 80 MHz, se dá pela presença da capacitância parasita entre *gate* e dreno,  $C_{GD}$  (apêndice 1 – figura A.3). Isto pode ser verificado usando a capacitância em questão no modelo linearizado do transistor e simulando o filtro normalizado, o resultado é apresentado.

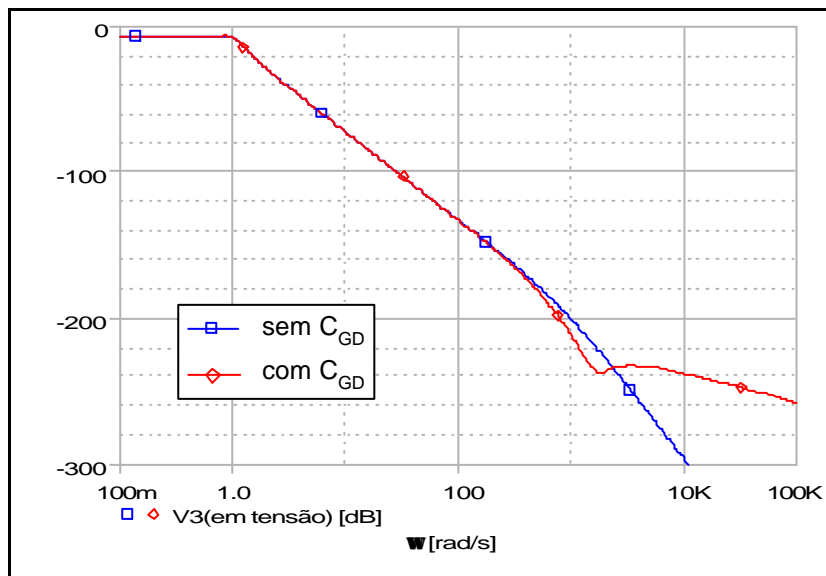


Figura 3.8: resposta em frequência do filtro normalizado considerando o efeito de  $C_{GD}$

O resultado não deve ser considerado de muita importância do ponto de vista prático já que o efeito ocorre quase três décadas acima da frequência de corte do filtro e com uma atenuação de mais de 200 dB. Apenas, observando o efeito, procurou-se explicar qual seria o elemento parasita responsável por ele.

## 3.2 Circuito Completo

As simulações para o circuito completo, incluindo *buffer* de entrada e *buffer* de saída, são apresentadas nesta seção que é subdividida em outras duas para melhor apresentação dos resultados.

### 3.2.1 *Buffer* de Entrada

Apresenta-se a análise relativa ao *buffer* de entrada, estando este ligado ao filtro em modo de corrente. Analisa-se o efeito da variação da polarização no *gate* de  $M_1$  (figura 3.9) e, excursão de sinal e distorção harmônica são novamente analisadas para efeito de comparação com os resultados obtidos para o filtro em modo de corrente.

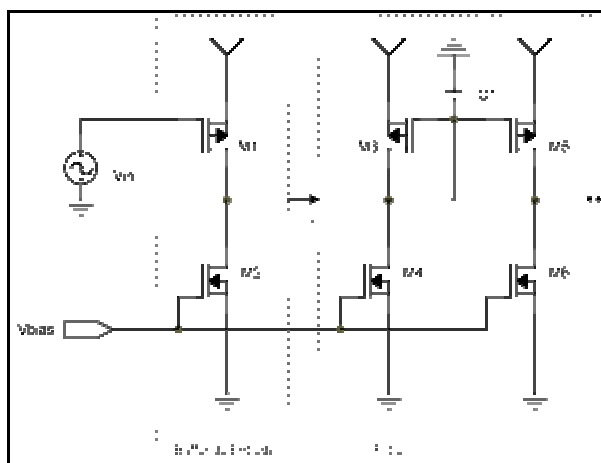


Figura 3.9: ligação do *buffer* de entrada com o filtro

Conforme foi observado no capítulo 2, o sinal  $V_{in}$  deve ter uma componente DC para polarização do transistor  $M_1$ , que será denominada  $V_{G1}$ . Considerando agora a condição estabelecida em (3.5) e os resultados correspondentes encontrados em (3.6) e (3.7),  $V_{in}$  deve ser da seguinte forma:

$$V_{in} = 2,12 V_{DC} + v_{ac} \quad (3.9)$$

Esta condição é difícil de ser obtida na prática, tendo em vista a dificuldade de se ajustar precisamente a tensão  $V_{G1}$ . Na verdade é preciso saber quais são os efeitos da variação dessa tensão sobre a resposta do filtro. Um primeiro efeito é a alteração de  $g_m$  do transistor p-MOS e a conseqüente variação da amplitude da corrente de entrada do filtro.

Variando-se a tensão  $V_{G1}$  para valores acima do valor ideal (2,12 V),  $g_m$  de  $M_1$  diminui e a amplitude da corrente  $i_{in}$  do filtro também. O limite superior para a tensão de polarização deve ser tal que a amplitude da corrente de entrada do filtro permita que haja uma excursão de sinal conveniente na saída. Foi feita uma análise do circuito e verificou-se que o ruído na saída ficou em  $110 \mu V_{rms}$ . Para se ter 20 dB de relação sinal ruído, é preciso que a amplitude da corrente de entrada seja 6 nA. Estabelece-se então uma faixa de variação da corrente de entrada observando a condição já obtida em (3.8):

$$6 nA_{pico} \leq I_{in} \leq 55 nA_{pico} \quad (3.10)$$

O limite inferior de tensão de polarização é tal que a amplitude da corrente de entrada seja dada pelo valor máximo indicado em (3.10).

Outro efeito da variação da tensão de polarização do transistor  $M_1$  é a injeção de uma corrente DC no filtro. Este tipo de componente pode ser processada pelo filtro, mas limites adequados devem ser observados de forma que o filtro não deixe de operar.

Variando-se a tensão para valores acima do valor ideal (2,12 V), a corrente de polarização em  $M_1$  diminui. Dessa forma o buffer de entrada começa a “puxar” corrente DC

do filtro. No nó onde estão ligados os drenos de  $M_1$  e  $M_2$  e o ramo de entrada do filtro, tem-se a seguinte relação:

$$I_{M_2} = I_{in\_DC} + I_{M_1} \quad (3.11)$$

Se  $V_{G1}$  aumentar até que toda a corrente de polarização de  $M_2$  esteja vindo do filtro,  $M_1$  terá entrado na região de corte e o circuito não mais funcionará.

Quando a tensão é menor que o valor ideal, o transistor  $M_1$  vai conduzir mais corrente que  $M_2$  e a corrente DC entra no filtro. No nó comum aos drenos de  $M_3$ ,  $M_4$  e ao ramo de entrada do filtro, vale a relação:

$$I_{in\_DC} + I_{M_3} = 2.I_{nMOS} \quad (3.12)$$

Onde  $I_{n-MOS}$  é a corrente de polarização dos transistores n-MOS. No nó de entrada do filtro estão ligadas as saídas de duas células básicas (2 e 7 – figura 3.1). Então existem dois transistores n-MOS ligados a este ponto que estão conduzindo uma corrente fixa. Daí a validade da equação (3.12).

Conforme  $I_{in\_DC}$  aumenta, por causa da diminuição de  $V_{G1}$ , a corrente de polarização de  $M_3$  diminui. A tensão no gate (ou dreno) de  $M_3$  aumenta até que este entre na região de corte, e o filtro deixe de funcionar.

Para o caso específico de  $V_{in} = 2,12 V_{DC} + 10 mV_{ac}$  observou-se o efeito da variação de  $V_{G1}$ . O limite inferior de  $V_{G1}$  é determinado pela injeção de corrente DC no filtro, conforme  $V_{G1}$  diminui, nota-se o efeito do corte do transistor  $M_3$ . O limite superior de  $V_{G1}$  é imposto pela amplitude mínima de corrente na entrada do filtro. Os limites encontrados para variação de  $V_{G1}$  foram os seguintes:

$$2,06 V \leq V_{G1} \leq 2,21 V \quad (3.13)$$

Com relação à excursão de sinal e distorção harmônica observa-se que o elemento responsável pela conversão tensão-corrente do sinal de entrada do filtro é o transistor  $M_1$ . A relação tensão-corrente nesse dispositivo se dá de forma quadrática (equação A.1), podendo

acrescentar forte distorção à corrente de entrada do filtro caso não seja observado um limite para a amplitude da tensão de entrada. Assim, é preciso reavaliar o nível de distorção da tensão de saída do filtro com o *buffer* de entrada ligado a ele e estabelecer um limite de excursão de sinal na entrada do *buffer*. Verificou-se em simulação a distorção harmônica total (THD) para um sinal senoidal com frequência de 12,5 kHz, observando a contribuição de 8 harmônicos. O *buffer* de entrada foi polarizado com tensão de 2,12 V. O resultado é apresentado a seguir.

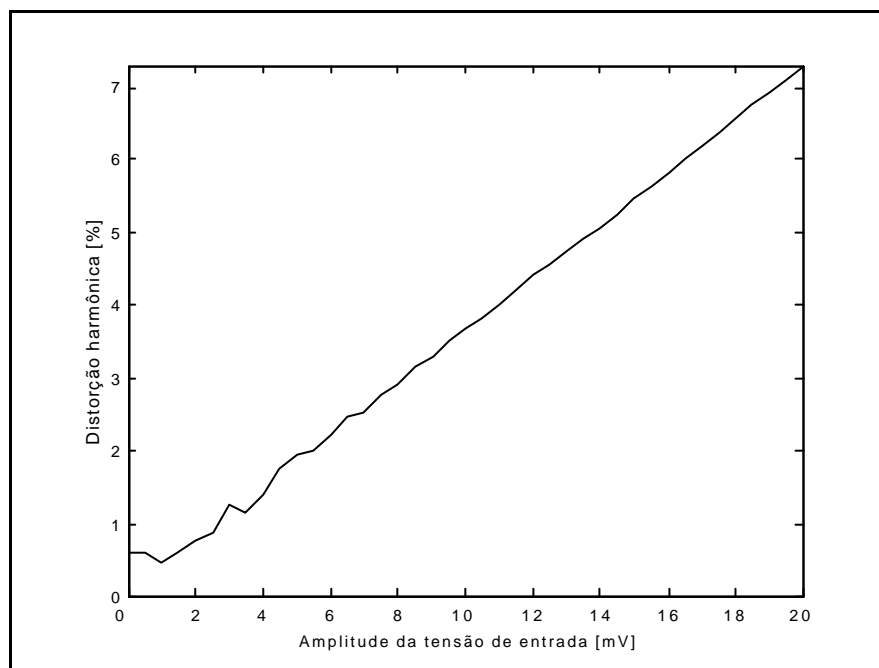


Figura 3.10: análise de distorção harmônica com o *buffer* de entrada

Para que se tenha uma distorção inferior a 3%, conforme foi considerado na análise de distorção harmônica do filtro em modo de corrente (figura 3.6), a amplitude do sinal de entrada  $V_{in}$  deve atender à relação:

$$V_{in\_max} \leq 8 \text{ mV}_{pico} \quad (THD_{V_{o\_12}} \leq 3\%) \quad (3.14)$$

Com este valor máximo de tensão de entrada estabelecido, a amplitude máxima da corrente de entrada do filtro será:

$$I_{in\_max} \cong 19 \text{ nA}_{pico} \quad (3.15)$$

Comparando este resultado com o obtido em (3.8) é possível concluir que o buffer de entrada limita a excursão de sinal na entrada do filtro. Para que seja mantido o mesmo nível de distorção harmônica, a amplitude máxima de corrente na entrada deve ser menor.

### 3.2.2 Buffer de Saída

A estrutura do *buffer* de saída e sua ligação com o filtro em modo de corrente são apresentados respectivamente nas figuras 3.11 e 3.1. Utiliza-se a figura 3.11 como referência de nomenclatura nas análises referentes ao *buffer* de saída.

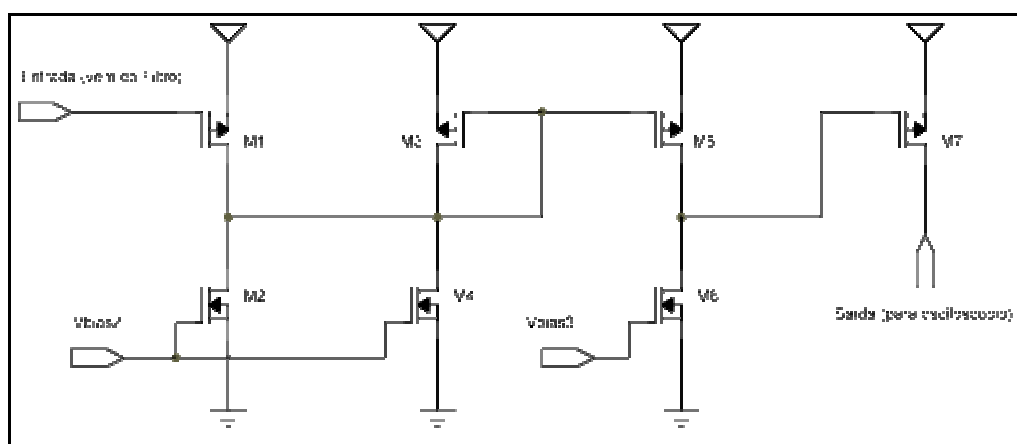


Figura 3.11: estrutura do buffer de saída

A função de cada transistor que compõe o *buffer* de saída e as dimensões destes já foram apresentadas na seção 2.4.2. Analisa-se agora o seu funcionamento com os transistores com os quais foi projetado. Procura-se determinar inicialmente os valores de  $V_{bias2}$  e  $V_{bias3}$  que façam o *buffer* funcionar como tal, ou seja, a função de transferência entre o dreno de  $M_7$  e o *gate* de  $M_1$  (figura 3.11) deve ser plana ao longo da banda passante e um ganho conveniente deve ser fornecido ao sinal de saída do filtro para sua observação na saída do *buffer*. Com  $V_{in} = 2,12 V_{DC} + 10 mV_{ac}$  e  $V_{bias} = 0,98 V$ , obtém-se

$$V_{o_{12}} \cong 2,12V_{DC} + 5 mV_{ac} \quad (3.16)$$

Onde  $V_{o_{12}}$  representa a tensão na saída do filtro (célula básica 12 – figura 3.1).

É preciso considerar o ruído elétrico na saída do *buffer* e verificar se a excursão de sinal em (3.16) é suficiente. A análise do circuito apresentou um resultado de  $114 \mu V_{\text{rms}}$  para o ruído na saída do *buffer*. Com o resultado de (3.16) verifica-se que a relação sinal ruído fica da seguinte forma:

$$SNR \cong 29,8 \text{ dB} \quad (3.17)$$

Na prática ainda haveria o ruído devido a interferência eletromagnética, que não está sendo considerado. Para fins de simulação, este valor pode ser utilizado para demonstração dos problemas encontrados no funcionamento do *buffer* de saída. Ainda, os resultados obtidos para a análise de ruído efetuada para as saídas do filtro ( $110 \mu V_{\text{rms}}$ ) e do *buffer* de saída ( $114 \mu V_{\text{rms}}$ ) mostram que o *buffer* não acrescenta muito ruído ao sinal na saída do circuito.

Procura-se então por uma resposta em frequência do *buffer* que resulte num ganho unitário. Deseja-se verificar que valores de  $V_{\text{bias2}}$  e  $V_{\text{bias3}}$  levariam a esta condição.

A função de  $V_{\text{bias2}}$  é polarizar os transistores  $M_1$  e  $M_3$ . Parece razoável que a cópia da corrente de saída, feita por  $M_1$ , e a conversão desta em tensão, feita por  $M_3$ , se dê da mesma forma que no restante do filtro. Dessa forma, o sinal no *gate* de  $M_3$  seria uma cópia do sinal na entrada do *buffer*. Para que isso aconteça é preciso ter:

$$V_{\text{bias2}} = 0,98 \text{ V} \quad (3.18)$$

Com isso estabelecido é possível efetuar uma simulação verificando como fica a resposta em frequência do *buffer* de saída variando-se  $V_{\text{bias3}}$  entre alguns limites. Efetuou-se uma simulação “AC sweep” do *buffer* de saída isoladamente, cumprindo com as condições de polarização indicadas em (3.16) e (3.18) e fazendo ainda:

$$0,95 \leq V_{\text{bias3}} \leq 1,05 \quad (3.19)$$

O resultado obtido é apresentado a seguir.



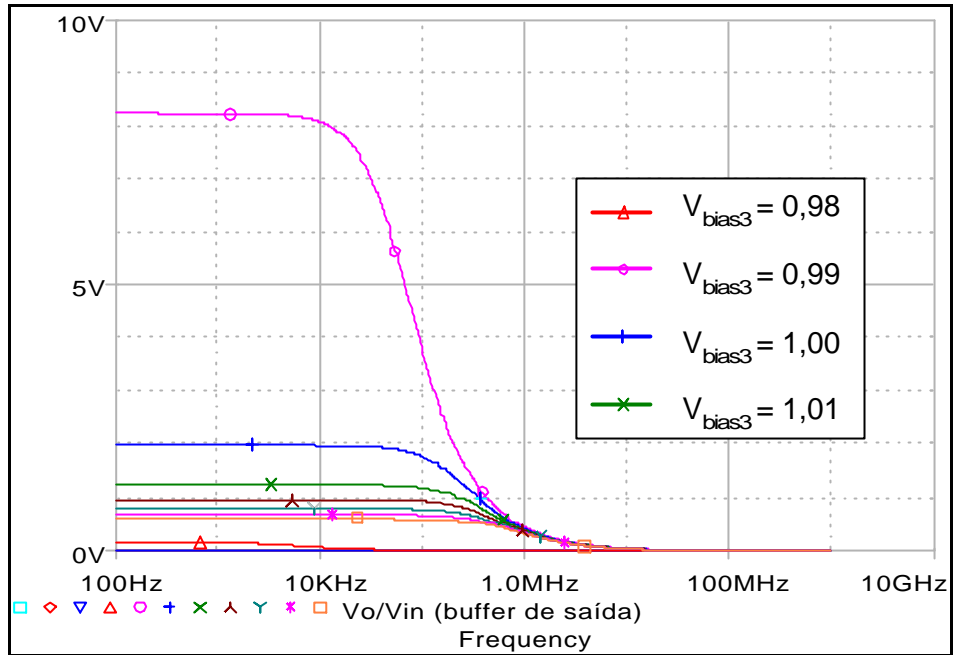


Figura 3.12: resposta em frequência do *buffer* de saída para  $0,95 \leq V_{bias3} \leq 1,05$

Onde se nota o ganho atingindo um máximo para  $V_{bias3} = 0,99$  V. Com a variação de  $V_{bias3}$ , o ganho de tensão de  $M_5$  está sofrendo alterações. Esta alteração pode ser explicada tendo em vista a transferência DC da célula básica, obtida com o circuito a seguir.

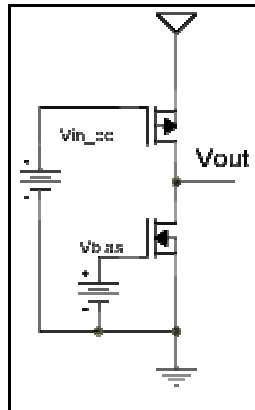


Figura 3.13: circuito usado para obtenção da transferência DC

A transferência DC é obtida estabelecendo-se um valor para  $V_{bias}$  (0,98 V, por exemplo) e variando-se a fonte  $V_{in\_dc}$  de 0 a 3 V. O resultado é apresentado a seguir.

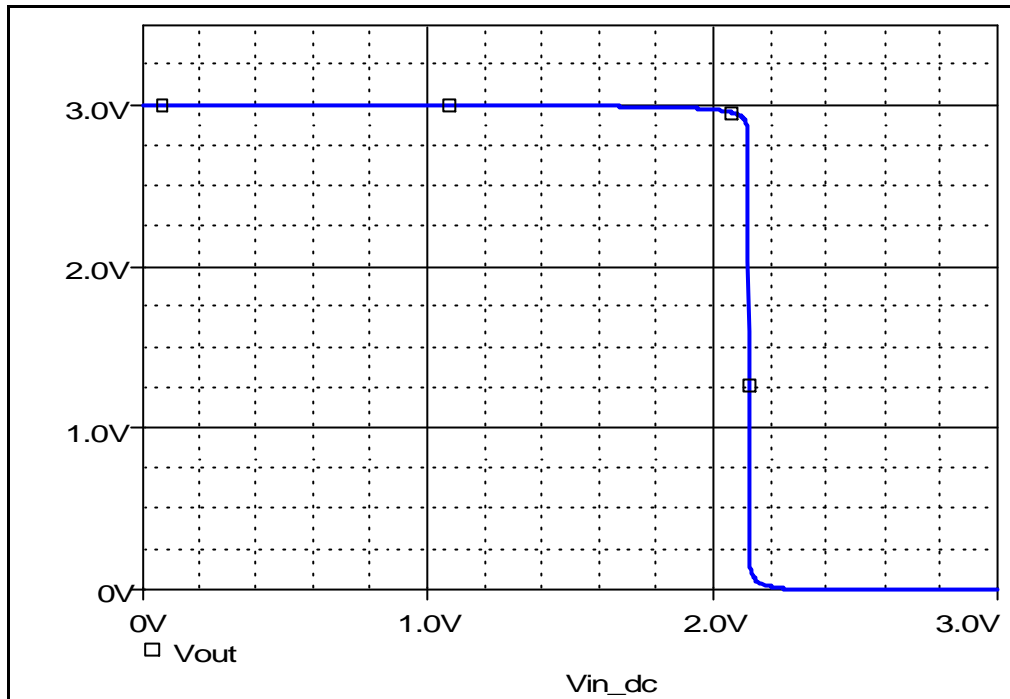


Figura 3.14: transferência DC da célula básica

O resultado permite uma análise do ganho da célula básica. Quando os dois transistores estão atuando na região de saturação,  $V_{out}$  se encontra num ponto próximo ao meio da curva ( $V_{out} \cong 1,5V$ ) e tem-se a situação de ganho máximo. Quando o n-MOS entra na região ôhmica  $V_{out}$  se aproxima de 0 V e o ganho cai. Quando o p-MOS entra na região ôhmica  $V_{out}$  se aproxima de 3 V e ocorre o mesmo efeito com o ganho.

No caso dos transistores  $M_5$  e  $M_6$  (figura 3.11), o que está sendo feito quando  $V_{bias3}$  varia, é diferente. Existe uma tensão de polarização no *gate* de  $M_5$  que não varia e  $V_{bias3}$ , que atua no *gate* de  $M_6$ , é que está variando. O resultado esperado é uma família de curvas parecidas com a que foi apresentada na figura 3.14, que estarão deslocadas entre si (figura 3.15).

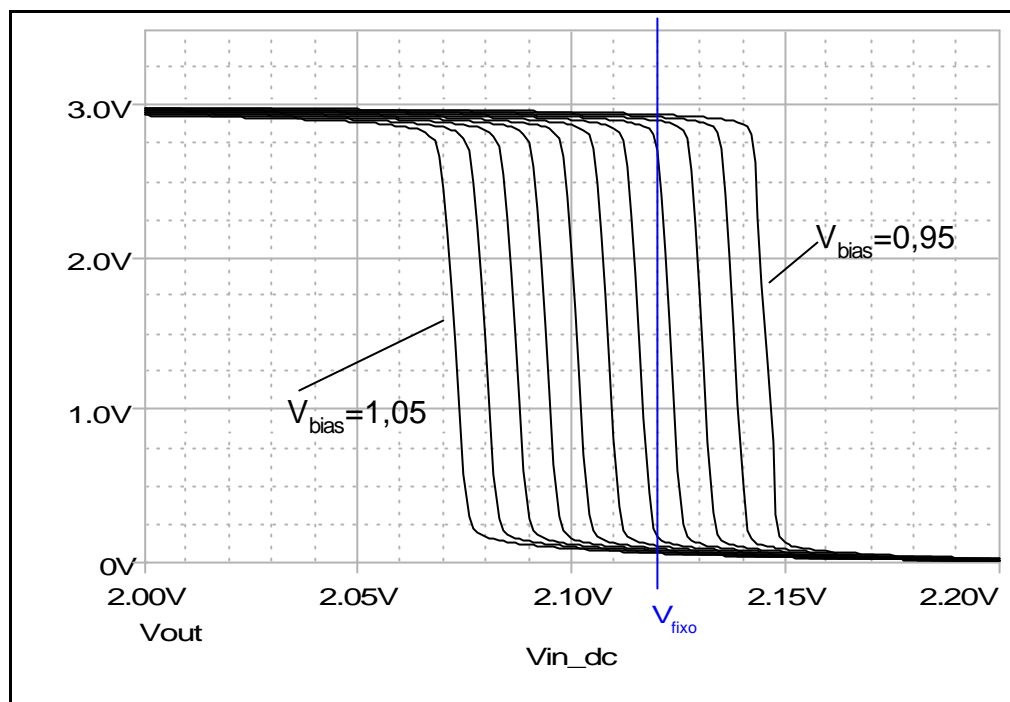


Figura 3.15: transferência DC com  $V_{bias}$  variando

O que se observa nessa situação é que para um  $V_{in\_dc}$  fixo (linha em destaque), conforme  $V_{bias}$  vai variando, estabelecem-se diversos ganhos dependendo do ponto de encontro da linha em destaque com as outras curvas. Se este encontro se der na região central do gráfico, o ganho será o mais alto possível. Mas se o ponto de encontro é numa área do gráfico em que um dos transistores está na região ôhmica, o ganho é baixo. No caso do resultado obtido na figura 3.12, o ganho máximo de 8 V/V, se deu para  $V_{bias3}$  igual a 0,99 V. Esta ainda não é a situação de ganho máximo da célula básica, onde seria encontrado o valor aproximado de 450 V/V para este.

O resultado representado pela figura 3.12 revelou que o ganho unitário do *buffer* seria obtido para :

$$V_{bias3} \cong 1,02 V \quad (3.20)$$

Em simulação com todo o circuito, o estágio formado por  $M_5$  e  $M_6$  apresentou, na verdade, ganho aproximado de 2 V/V.

Com as condições estabelecidas em (3.18) e (3.20) observa-se algumas características do circuito completo: a resposta em frequência (módulo e fase) e a distorção harmônica. Observa-se também a polarização final do *buffer* de saída.

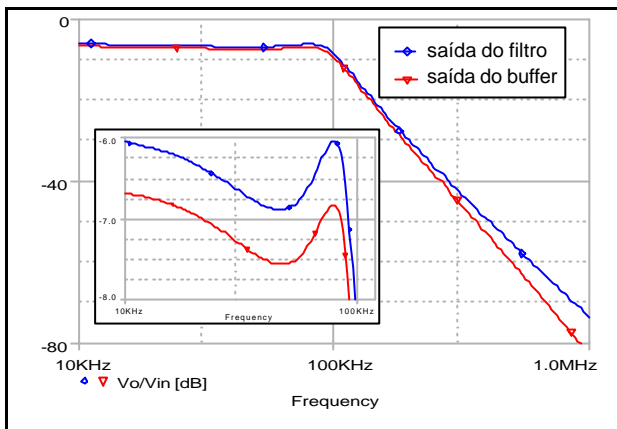


Figura 3.16: resposta em frequência do circuito completo (módulo)

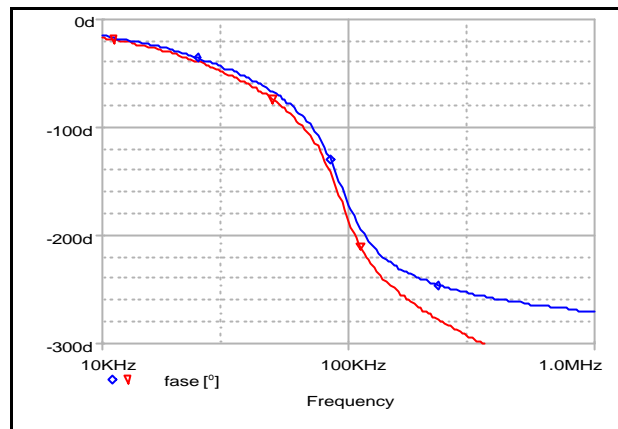


Figura 3.17: resposta em frequência do circuito completo (fase)

O módulo da resposta em frequência ficou, em linhas gerais, de acordo com o esperado. A saída do *buffer* apresentou uma atenuação em relação à saída do filtro em modo de corrente (figura 3.16). Nota-se também que o *buffer* gera um excesso de fase (figura 3.17).

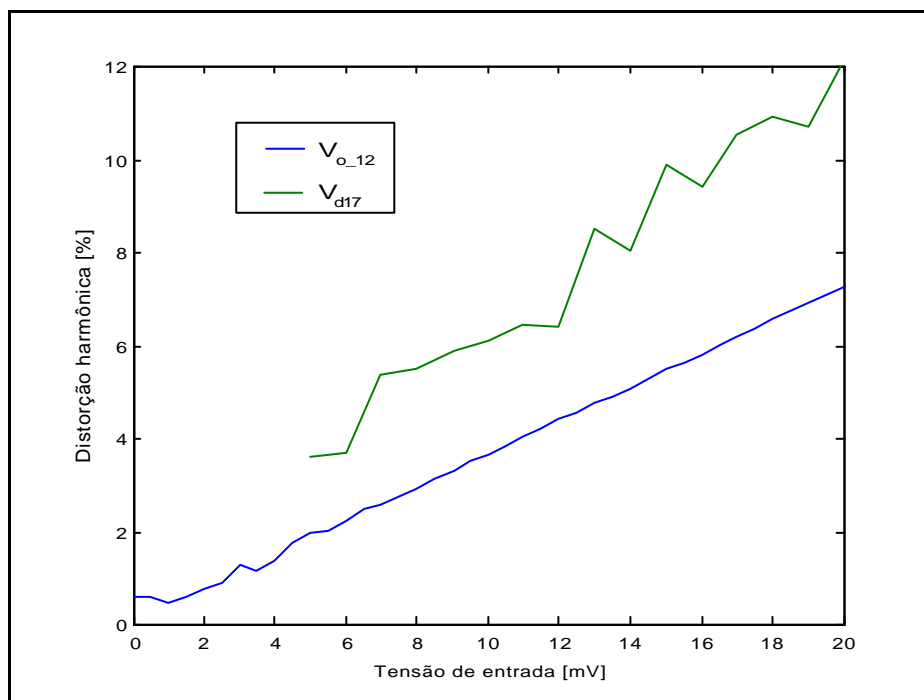


Figura 3.18: análise de distorção harmônica

Na figura 3.18,  $V_{o_{12}}$  é a tensão de saída da célula básica 12 e  $V_{d17}$  é a tensão no dreno do transistor  $M_{17}$  (figura 3.1). Nota-se que a distorção harmônica aumenta com a inserção do *buffer* de saída no sistema. A observação mais cuidadosa do resultado da análise de THD, apresentado a seguir, indica uma solução para o problema.

```
FOURIER COMPONENTS OF TRANSIENT RESPONSE V(SAIDA)

DC COMPONENT = 8.882034E-01

HARMONIC      FREQUENCY      FOURIER      NORMALIZED
NO            (HZ)          COMPONENT    COMPONENT
  1           1.250E+04     4.731E-03   1.000E+00
  2           2.500E+04     2.758E-04   5.830E-02
  3           3.750E+04     6.192E-05   1.309E-02
  4           5.000E+04     4.928E-05   1.042E-02
  5           6.250E+04     2.599E-05   5.493E-03
  6           7.500E+04     2.783E-05   5.883E-03
  7           8.750E+04     5.278E-05   1.116E-02
  8          1.000E+05     1.138E-05   2.406E-03

TOTAL HARMONIC DISTORTION = 6.224180E+00 PERCENT
```

O segundo harmônico é dominante sobre os demais. Para a eliminação de harmônicos pares, e conseqüente redução da distorção, poderia ser utilizado um *buffer* diferencial [2].

Apresenta-se na tabela a seguir a polarização do transistor  $M_{17}$ .

$V_S$	3,0 V
$V_D$	890 mV
$V_G$	78,4 mV
$I_{DS}$	17,8 mA

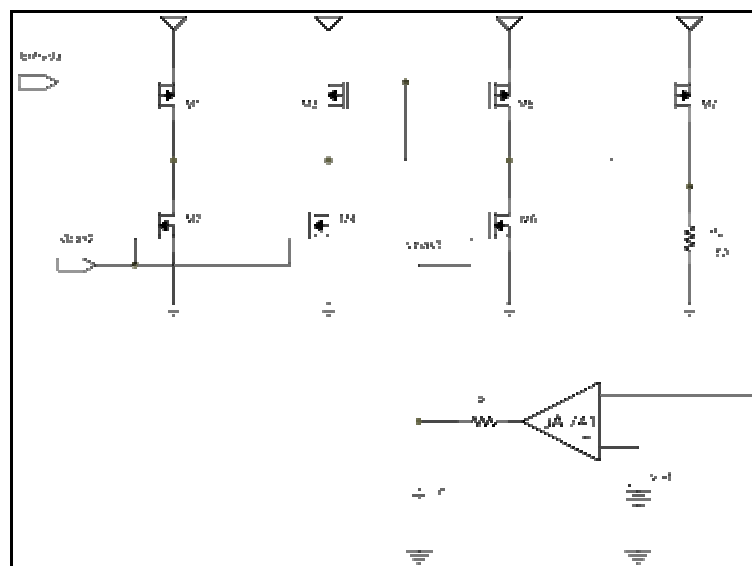
Tabela 3.1: polarização do transistor  $M_{17}$

Conforme se pode observar, a tensão  $V_{SG}$  do transistor  $M_{17}$  é muito alta (~2,92 V). Como conseqüência a corrente de polarização é bastante elevada. Na verdade ela é proibitiva para o leiaute apresentado no capítulo 2 (figura 2.19). Em algumas ligações feitas com METAL1 a densidade máxima de corrente especificada na documentação da AMS [4] é ultrapassada, seu valor é de 0,6 mA/ $\mu$ m. No ponto mais crítico (ligação entre o *buffer* de saída e a matriz de capacitores) a largura da trilha de METAL1 é de 3  $\mu$ m, o que corresponderia a uma corrente máxima de 1,8 mA. Como a corrente de polarização do *buffer* é de

aproximadamente 18 mA, a densidade máxima permitida é ultrapassada. Uma possibilidade para contornar esta situação e garantir a segurança do circuito nos testes, é aumentar o resistor na saída de tal forma que a corrente seja reduzida por um fator de 10.

Observa-se ainda que, para se ter este transistor operando na região de saturação, seria necessário  $V_{DS} > 2,2$  V. A condição encontrada para  $V_{DS}$  na tabela 3.1 indica que este transistor está operando num limiar entre a região de saturação e a região ôhmica.

A polarização do estágio de saída é bastante crítica do ponto de vista da estabilidade e da precisão. Com potenciômetros é possível atingir uma precisão de centésimos de volts, utilizando resistores fixos entre seus terminais e, com isso, diminuindo a excursão da tensão de ajuste. Mesmo assim o ajuste manual não é muito confiável. Outra solução mais adequada faz uso de amplificadores operacionais realimentando tensões de polarização. Apresenta-se a seguir este esquema de polarização.



**Figura 3.19: esquema para polarização do *buffer* de saída**

Com o amplificador operacional, a precisão do ajuste da polarização de  $V_{bias3}$  é dada pelo ganho do mesmo. Fixando  $V_{ref}$  num valor adequado, tal que a resposta em frequência do circuito apresente a característica desejada e o sinal tenha uma amplitude que permita sua observação na saída, a tensão  $V_{bias3}$  será permanentemente compensada para que a tensão no

dreno de  $M_7$  permaneça constante nesse valor. O efeito do amplificador operacional na resposta transiente do circuito é apresentado a seguir.

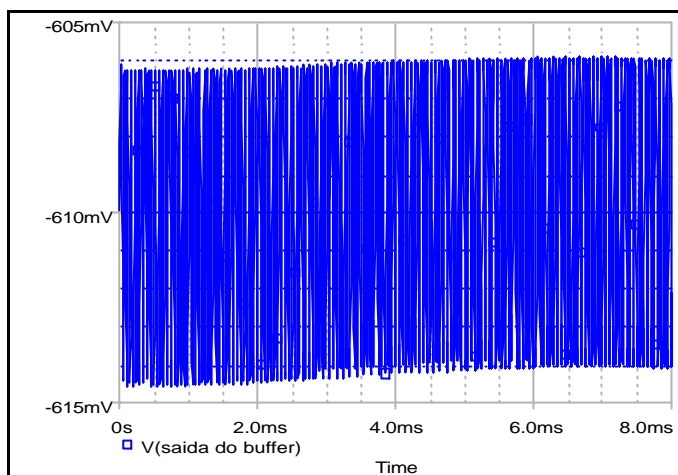


Figura 3.20: efeito do amplificador operacional na resposta do circuito

Nota-se uma leve modulação do sinal de saída do circuito. Isto se dá pela forma como o sinal  $V_{\text{bias3}}$  varia (figura 3.21).

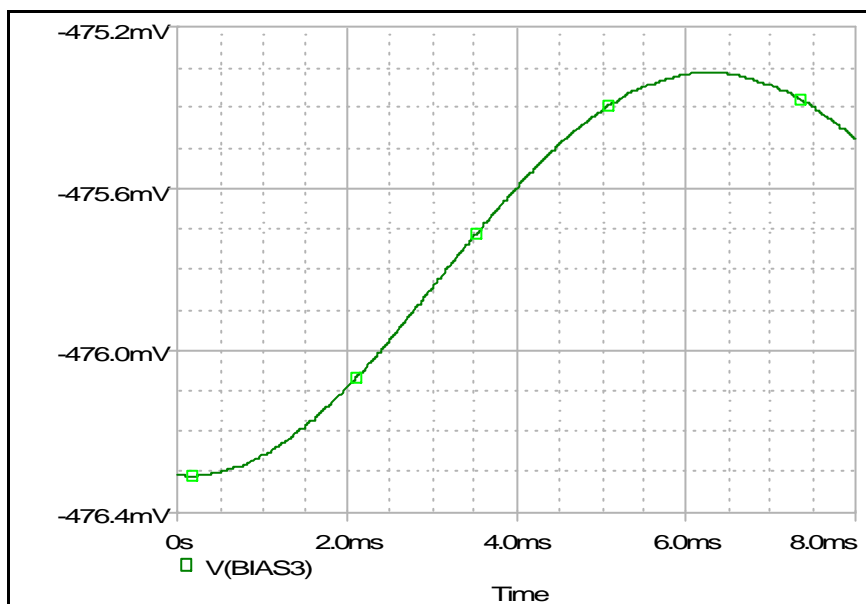


Figura 3.21: variação do sinal  $V_{\text{bias3}}$

A amplitude da variação de  $V_{\text{bias3}}$  é da ordem de 1 mV. Sua frequência pode ser alterada com o circuito RC na saída do amplificador operacional. Os resultados apresentados foram obtidos, em simulação, com o amplificador operacional uA 741 e também  $R = 1 \text{ M}\Omega$ ,  $C = 10 \mu\text{F}$ .

### 3.3 Principais Características do Circuito

As tabelas a seguir apresentam as principais características do filtro em modo de corrente e do *buffer* de saída.

Alimentação	3V
Corrente de polarização para cada p-MOS	157 nA
Transcondutância de um transistor p-MOS	2,7 $\mu\text{A/V}$
Número de transistores p-MOS conduzindo sinal	12
Dimensões dos transistores ( $\mu\text{m}$ ) p-MOS n-MOS	3/3 4/20
Corrente de polarização total	1,88 $\mu\text{A}$
Consumo	5,65 $\mu\text{W}$

Tabela 3.2: principais características do filtro em modo de corrente

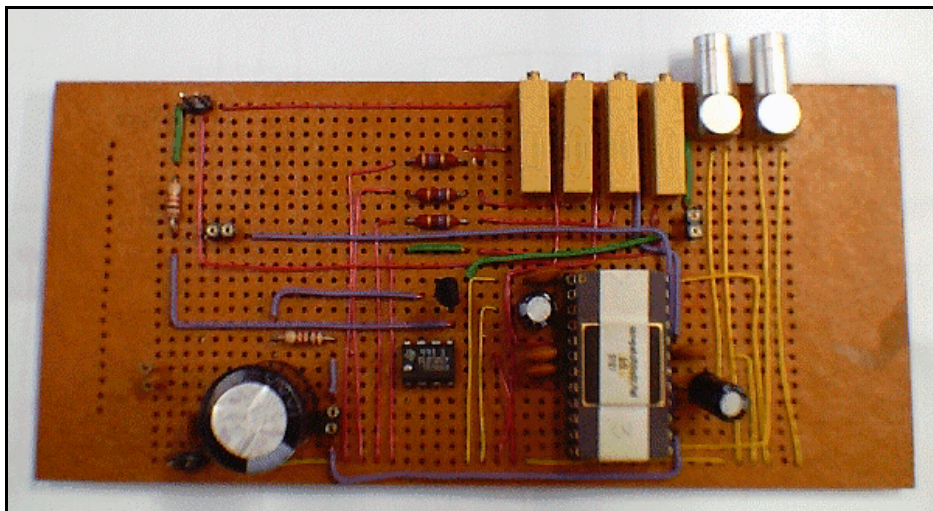
Alimentação	3V
Corrente de polarização total	17,8 mA
Transcondutância do transistor $M_{17}$	11,3 mA/V
Número de transistores p-MOS conduzindo sinal	4
Dimensões do transistor $M_{17}$ ( $\mu\text{m}$ )	240/0,8
Consumo	53,4 mW

Tabela 3.3: principais características do *buffer* de saída

### 3.4 Resultados Experimentais

Foram recebidos quatro protótipos do circuito integrado. Montou-se a placa de testes, apresentada a seguir, para obtenção de resultados experimentais.





**Figura 3.22: placa de testes**

A placa de testes consiste basicamente de trimpots que vão polarizar o circuito nos pontos necessários (nível DC na entrada,  $V_{bias}$ ,  $V_{bias2}$  e  $V_{bias3}$ ). Conectores LEMO foram utilizados para os sinais de entrada e saída. Utilizou-se capacitores na entrada e nos pontos de polarização. No primeiro caso para desacoplamento e no segundo caso para rejeição de ruído. A polarização de  $V_{bias3}$  foi feita diretamente com o potenciômetro, não foi utilizado o esquema proposto na figura 3.19.

Foram obtidos resultados experimentais para dois, dos quatro, circuitos integrados recebidos. Os CI's foram rotulados como CI#1, CI#2, CI#3 e CI#4. Levantou-se a resposta em frequência dos CI's #1 e #2. Para o CI#3 não foi possível obter resultados utilizando a polarização com trimpots, o circuito não estabilizou. O CI # 4 não chegou a ser testado, depois de um período em que não se fez outros testes com os CI's, a placa deixou de funcionar. Os resultados obtidos são apresentados na forma de gráfico e de tabela. Apresenta-se também a polarização dos circuitos.

- CI # 1

### Polarização

$V_{DD}$	2,94 V
$V_{bias1}$	993 mV
$V_{bias2}$	985 mV
$V_{bias3}$	963 mV
$V_{in\_DC}$	2,11 V

Tabela 3.4: polarização do CI # 1

### Resposta em frequência

A resposta em frequência foi obtida utilizando, como sinal de entrada, senos em diversas frequências. Para obtenção das amplitudes do sinal de saída efetuou-se 4 médias deste no osciloscópio. O gráfico e a tabela a seguir apresentam os resultados.

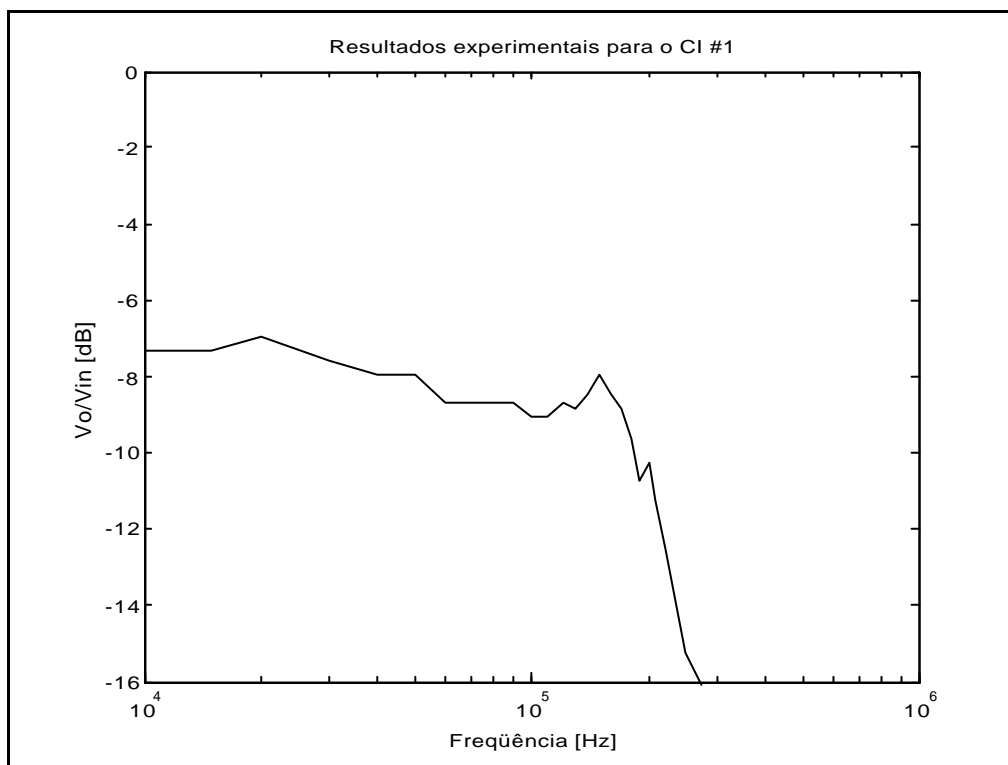


Figura 3.23: resposta em frequência do CI#1

<b>F [kHz]</b>	<b>Ganho [dB]</b>
0,05	-8.1308
0,1	-7.4623
0,2	-7.3029
0,4	-7.3029
0,5	-7.3029
0,8	-7.4623
1	-7.6247
2	-6.8416
4	-6.8416
5	-6.8416
6	-7.3029
10	-7.3029
15	-7.3029
20	-6.9927
30	-7.6247
40	-7.9588
50	-7.9588
60	-8.6682
70	-8.6682
80	-8.6682
90	-8.6682
100	-9.0460
110	-9.0460
120	-8.6682
130	-8.8550
140	-8.4854
150	-7.9588
160	-8.4854
170	-8.8550
180	-9.6452
190	-10.7462
200	-10.2889
210	-11.2288
220	-12.5678
250	-15.2618
300	-17.0048

**Tabela 3.5: pontos experimentais da figura 3.23**

- CI #2

*Polarização*

$V_{DD}$	3,03 V
$V_{bias1}$	1,03 mV
$V_{bias2}$	987 mV
$V_{bias3}$	863 mV
$V_{in\ DC}$	2,17 V

Tabela 3.6: polarização do CI # 2

*Resposta em Freqüência*

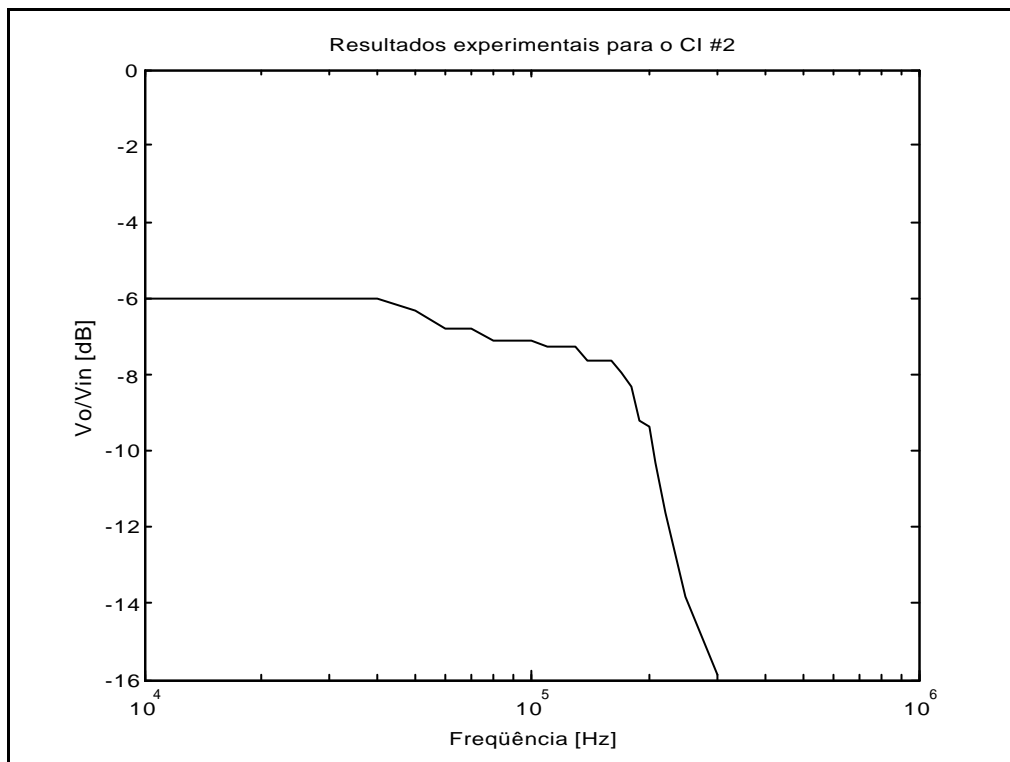


Figura 3.24: resposta em freqüência do CI#2

F [kHz]	Ganho [dB]
0,05	-6.6304
0,1	-6.6304
0,2	-6.6304
0,4	-6.6304
0,5	-6.6304
1	-6.3201
2	-5.7310
4	-5.7310
5	-5.7310
6	-6.0206
10	-6.0206
20	-6.0206
30	-6.0206
40	-6.0206
50	-6.3201
60	-6.7898
70	-6.7898
80	-7.1176
90	-7.1176
100	-7.1176
110	-7.2862
120	-7.2862
130	-7.2862
140	-7.6337
150	-7.6337
160	-7.6337
170	-7.9957
180	-8.3734
190	-9.1820
200	-9.3964
210	-10.3116
220	-11.6104
250	-13.8334
300	-15.8626

**Tabela 3.7: pontos experimentais da figura 3.24**

A resposta em frequência obtida está, em linhas gerais, de acordo com o esperado. A observação mais cuidadosa revela que a frequência de corte se encontra em 200 kHz para ambos os casos. É necessário lembrar que a frequência é muito dependente da polarização. Não foi possível observar o 2º máximo da banda passante para o CI#2.

## 4 Conclusões

O núcleo central do circuito, o filtro em modo de corrente, foi projetado e os resultados obtidos para a resposta em frequência (módulo e fase) foram satisfatórios (figuras 3.2 e 3.3).

A polarização de cada célula básica do filtro é a mesma. A tensão no *gate* do transistor p-MOS e corrente de polarização são iguais em todas as 12 células básicas do filtro.

Uma característica interessante do filtro projetado é o controle sobre a frequência de corte através de  $V_{bias}$ . Esta polarização modifica a transcondutância ( $g_m$ ) do transistor p-MOS da célula básica. A relação entre  $V_{bias}$  e a frequência de corte do filtro é linear (figura 3.5).

A distorção harmônica da tensão de saída do filtro é menor que 3% para corrente de entrada com amplitude menor que 55 nA (figura 3.6).

A potência consumida pelo filtro é aproximadamente 6  $\mu$ W.

As principais limitações do circuito implementado estão relacionadas aos *buffers*. A polarização do *buffer* de entrada deve ser feita de tal forma que alguns limites sejam observados. Dois principais efeitos são percebidos: a variação de  $g_m$ , e a conseqüente variação da amplitude da corrente de entrada do filtro, e a injeção de corrente DC no filtro.

Relacionado ao primeiro efeito, o da variação de  $g_m$ , deve-se observar limites da tensão de polarização que mantenham a amplitude da corrente de entrada numa faixa adequada. A amplitude mínima deve ser tal que uma relação sinal ruído adequada ( $\sim 20$  dB), seja observada na saída do filtro. A amplitude máxima deve ser tal que a distorção harmônica fique num nível baixo (3%). Com relação ao segundo efeito, os limites de tensão de polarização devem ser tais que a corrente DC injetada no filtro não o sature.

A distorção harmônica na saída do filtro aumenta quando o *buffer* de entrada é acrescentado ao circuito.

O *buffer* de saída apresenta problemas de projeto. Não foram considerados passos importantes no seu projeto como o da relação sinal ruído na saída do filtro. Na ocasião do envio do circuito para a integração não houve tempo hábil de se fazer uma revisão do projeto em busca de possíveis falhas, devido à proximidade do prazo final.

O *buffer* de saída é muito sensível à polarização. É preciso recorrer a esquemas de polarização que façam uso de amplificadores operacionais para uma melhor estabilização do ponto de operação (figura 3.19). A inserção do *buffer* de saída aumentou a distorção harmônica (figura 3.18).

Foi possível, apesar das limitações discutidas, obter um resultado interessante para a resposta em frequência do circuito completo (figuras 3.16 e 3.17).

A potência consumida pelo *buffer* de saída é 53,4 mW para uma carga de  $50 \Omega$ . Para que não haja risco de danos ao circuito integrado é necessário alterar a carga, diminuindo a corrente de polarização do transistor de saída.

Foram obtidos resultados experimentais para o circuito implementado. Montou-se uma placa de testes (figura 3.22) e a resposta em frequência de dois, dos quatro protótipos recebidos, foi medida. Os resultados foram satisfatórios (figuras 3.23 e 3.24).

Propõe-se algumas atividades práticas e de pesquisa para trabalhos futuros. A implementação do esquema de polarização com amplificadores operacionais apresentado na figura 3.19 se faz necessário para que o funcionamento do circuito seja mais estável. A resposta em frequência dos outros dois circuitos integrados deve ser medida bem como a distorção harmônica para todos eles. Os resultados devem ser comparados com o que foi obtido em simulação. Seria interessante verificar a propriedade de controle da frequência de corte do filtro.

A estrutura apresentada para o filtro em modo de corrente é interessante para aplicações de baixa tensão e baixo consumo. Filtros passa-banda, com e sem zeros finitos, podem ser implementados com estruturas e conceitos similares [7], [8]. Outras estruturas devem ser estudadas para servir como *buffer* de entrada e saída, melhorando as características de polarização e distorção harmônica. Amplificadores operacionais de transcondutância (OTA's) poderiam ser utilizados na entrada e, na saída, *buffers* diferenciais.



# Apêndice 1

## Transistor MOSFET: Teoria Básica

Os símbolos dos transistores MOS, canal  $p$  e canal  $n$  são apresentados a seguir (figura A.1). O transistor possui quatro terminais: *gate* (G), dreno (D), *source* (S) e *bulk* (B). Em alguns casos, o transistor é desenhado com apenas três terminais; o *bulk* não é representado, indicando que este se encontra ligado ao *source*. Nos esquemáticos de circuitos que são apresentados neste trabalho, *bulk* e *source* estarão ligados, e os transistores serão representados conforme mostrado na figura A.2.

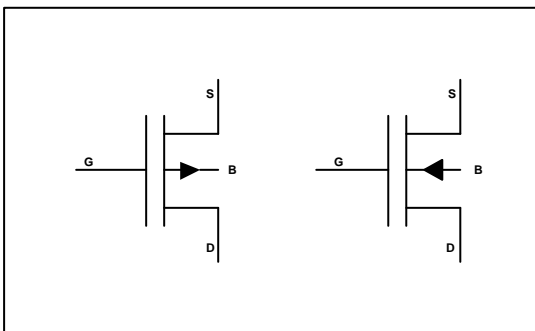


Figura A.1: símbolo de transistores MOS canal  $p$  (esquerda) e canal  $n$  (direita)

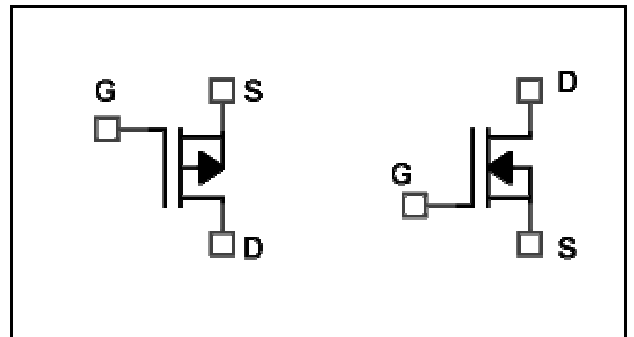


Figura A.2: símbolo de transistores MOS usados no trabalho

## A.1 Modelo de Primeira Ordem

- Corrente  $I_{DS}$

$$\begin{cases} I_{DS} = \frac{\mathbf{b}}{2}(V_{GS} - V_t)^2 (1 + \mathbf{I}V_{DS}), & V_{DS} > V_{GS} - V_t \\ I_{DS} = \mathbf{b} \left[ (V_{GS} - V_t)V_{DS} - \frac{V_{DS}^2}{2} \right] (1 + \mathbf{I}V_{DS}), & V_{DS} \leq V_{GS} - V_t \end{cases} \quad (\text{A.1})$$

Onde,

$$\mathbf{b} = \mathbf{m}C_{ox} \frac{W}{L} [\text{A/V}^2]$$

$\mathbf{m}$ - mobilidade de portadores (tipo  $n$  ou tipo  $p$ , conforme o caso) [ $\text{cm}^2/\text{Vs}$ ]

$$C_{ox} = \frac{\mathbf{e}_{ox}}{t_{ox}} [\text{F}]$$

$\mathbf{e}_{ox}$  - permissividade do dióxido de silício ( $\text{SiO}_2$ ) [ $\text{F/cm}$ ]

$t_{ox}$  - espessura do óxido de silício no *gate* [ $\text{\AA}$ ]

$V_t$  - tensão de limiar [ $\text{V}$ ]

$\mathbf{I}$  - efeito de modulação de comprimento de canal [ $\text{V}^{-1}$ ]

$W, L$  - largura e comprimento do canal [ $\mu\text{m}$ ]

- *Efeito de Polarização do Substrato (Body Effect)*

$$V_t = V_{t0} + \mathbf{g} \left( \sqrt{(2\mathbf{f}_F + |V_{SB}|)} - \sqrt{2\mathbf{f}_F} \right) \quad (\text{A.2})$$

Onde,

$V_{SB}$  - tensão entre *source* e *bulk* [ $\text{V}$ ]

$V_{to}$  – tensão de limiar para  $V_{SB} = 0$  [V]

$$g = \frac{1}{C_{ox}} \sqrt{2q\epsilon_{Si}N_A} [\sqrt{V}]$$

$$f_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) [\text{V}]$$

$q$  – carga do elétron ( $1,6 \cdot 10^{-19}$ ) [C]

$\epsilon_{Si}$  - permissividade do substrato de silício [F/cm]

$N_A$  – dopagem do substrato [ $\text{cm}^{-3}$ ]

$k$  – constante de Boltzmann ( $1,38 \cdot 10^{-23}$ ) [J/K]

$T$  – temperatura ambiente [K]

$n_i$  – concentração de portadores do silício intrínseco ( $1,1 \cdot 10^{16}$  @  $T = 300$  K) [portadores/ $\text{cm}^3$ ]

- *Efeito de Modulação do Comprimento de Canal* [9]

$$I = \frac{k_{ds}}{2L\sqrt{V_{DG} + V_t + \Phi_o}} \quad (\text{A.3})$$

Onde,

$$k_{ds} = \sqrt{\frac{2\epsilon_{Si}}{qN_A}} [\text{mm}/\sqrt{V}]$$

$V_{DG}$  – tensão entre dreno e *gate* [V]

$$\Phi_o = \frac{kT}{q} \ln\left(\frac{N_A N_D}{n_i^2}\right) [\text{V}]$$

$N_D$  – dopagem do material tipo *n* [ $\text{cm}^{-3}$ ]

## A.2 Modelo de Pequenos Sinais

- Transcondutância  $g_m$

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}}$$

Notando  $g_m$  em função das tensões de polarização:

$$g_m = \mathbf{b} (V_{GS} - V_t) (1 + \mathbf{I} V_{DS}), \quad V_{DS} > V_{GS} - V_t \quad (\text{A.4})$$

$$g_m = \mathbf{b} V_{DS}, \quad V_{DS} \leq V_{GS} - V_t \quad (\text{A.5})$$

Notando  $g_m$ , na região de saturação, em função da corrente de polarização:

$$g_m = \sqrt{2 \mathbf{b} I_{DS} (1 + \mathbf{I} V_{DS})} \quad (\text{A.6})$$

- Transcondutância  $g_{mb}$

$$g_{mb} = \frac{\partial I_{DS}}{\partial V_{BS}}$$

$$g_{mb} = - \frac{\mathbf{g} g_m}{2 \sqrt{V_{SB} + |2f_F|}} \quad (\text{A.7})$$

- Condutância  $G_{DS}$

$$G_{DS} = \frac{\partial I_{DS}}{\partial V_{DS}}$$

Notando  $G_{DS}$  em função das tensões de polarização:

$$G_{DS} = \frac{\mathbf{b}}{2} \mathbf{I} (V_{GS} - V_t)^2, \quad V_{DS} > V_{GS} - V_t \quad (\text{A.8})$$

$$G_{DS} = b \left[ (V_{GS} - V_t) - V_{DS} \right], \quad V_{DS} \leq V_{GS} - V_t \quad (\text{A.9})$$

Notando  $G_{DS}$ , na região de saturação, em função da corrente de polarização:

$$G_{DS} = \frac{I_{DS}}{1 + I_{DS}} \approx I_{DS} \quad (\text{A.10})$$

O modelo de alta frequência do transistor MOSFET é apresentado (figura A.3):

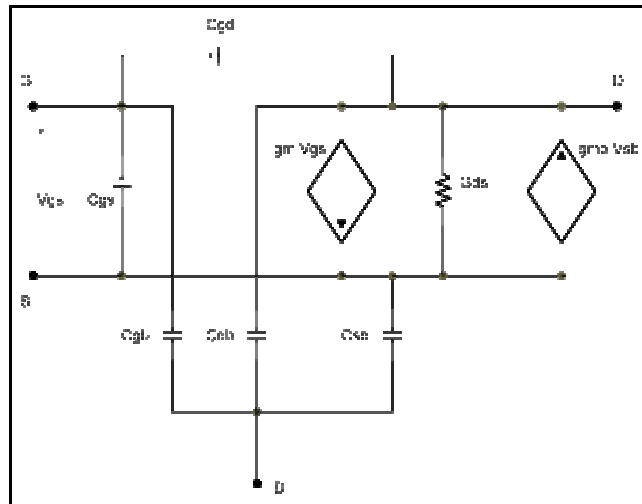


Figura A.3: modelo de alta frequência do transistor MOS

A utilização de alguns ou de todos os elementos do modelo depende do grau de precisão desejado na análise do circuito. No trabalho apresentado, lançou-se mão de simplificações do modelo em alguns tipos de análise, como no caso do capítulo 1. No capítulo 2, a análise leva em conta outros efeitos do modelo de pequenos sinais do transistor, como  $C_{gs}$  e  $G_{ds}$ . Apresenta-se a seguir as equações que descrevem as capacitâncias do modelo de altas frequências.

Capacitâncias	Região de Operação		
	Corte	Triodo	Saturação
$C_{GS}$	$C_{GSO} \cdot W$	$C_{GSO} \cdot W + \frac{1}{2} C_{OX} \cdot W \cdot L_{eff}$	$C_{GSO} \cdot W + \frac{2}{3} C_{OX} \cdot W \cdot L_{eff}$
$C_{GD}$	$C_{GDO} \cdot W$	$C_{GDO} \cdot W + \frac{1}{2} C_{OX} \cdot W \cdot L_{eff}$	$C_{GDO} \cdot W$
$C_{GB}$	$W \cdot L_{eff} \cdot C_{OX}$	$C_{GBO} \cdot L$	$C_{GBO} \cdot L$
$C_{SB}$	$C_{jdep}$	$C_{jdep}$	$C_{jdep}$
$C_{DB}$	$C_{jdep}$	$C_{jdep}$	$C_{jdep}$

Tabela A.1: capacitâncias do modelo de altas frequências

Onde,

$C_{GSO}$  – capacitância de *overlap* entre *gate* e *source*

$C_{GDO}$  – capacitância de *overlap* entre *gate* e dreno

$C_{GBO}$  – capacitância de *overlap* entre *gate* e *bulk*

$L_{eff}$  – comprimento efetivo de canal

$C_{jdep}$  – capacitância de junção

## Bibliografia

- [1] G. C. Temes, J. W. LaPatra. *Introduction to circuit synthesis and design*. McGraw Hill, Inc, 1977.
- [2] F. Gálvez-Durand. Low-voltage current-mode filters. *39th MWSCAS*. Ames, Iowa, v. II, p. 80-85, ago. 1996.
- [3] F. Gálvez-Durand, P. C. R. Brandão. A VLSI implementation of a 3<sup>rd</sup> order Chebyshev current-mode lowpass filter. *First IEEE South American Workshop on Circuits and Systems (SAWCAS)*. Brasil, nov. 2000.
- [4] AUSTRIA MICRO SYSTEME INTERNATIONAL AG. *0.8 um CMOS process parameters*. Austria: 1995.
- [5] N. H. E. Weste, K. Eshraghian. *Principles of CMOS VLSI design: a systems perspective*. 2 ed. Addison-Wesley Publishing Company, 1993.
- [6] Y. Tsividis. *Operation and modeling of the MOS transistor*. 2 ed. WCB/Mc-Graw Hill, 1999.
- [7] F. Gálvez-Durand. Odd-order current-mode lowpass filters with finite zeros. *SBCCI*. 1999
- [8] F. Gálvez-Durand. Low-voltage current mode analogue continuous-time filters. *IX IFIP International Conference on VLSI*. Brasil, out. 1997.
- [9] D. Johns, K. W. Martin. *Analog integrated circuit design*. John Wiley & Sons, Inc, 1997.