

*** RELATÓRIO TÉCNICO ***
GERADOR DE CLOCK DE QUATRO FASES
PARA MICROPROCESSADORES

Mario Afonso da Silveira Barbosa
Heloísa da Silva Façanha

NCE 16/91
Outubro/91

Universidade Federal do Rio de Janeiro
Núcleo de Computação Eletrônica
Caixa Postal 2324
20001 - Rio de Janeiro - RJ
BRASIL

Este artigo foi apresentado no VI Congresso da Sociedade Brasileira de Microeletrônica (VI SBMICRO), realizado em Belo Horizonte/MG, em julho de 1991, pp. 325-335.



GERADOR DE CLOCK DE QUATRO FASES PARA MICROPROCESSADORES

Resumo

Este trabalho descreve o projeto de um circuito gerador de clock de quatro fases. A partir de um sinal de clock externo são geradas quatro fases não sobrepostas, na mesma frequência do sinal de entrada, e sincronizadas com este sinal. Este circuito será utilizado no microprocessador RISC com arquitetura SPARC em desenvolvimento no NCE/UFRJ. O gerador, baseado em um PLL (Phase Locked Loop), deverá operar em torno de 20 MHz. O circuito será implementado no PMU brasileiro com tecnologia CMOS 2 μ m e no seu projeto foi usado o sistema TEDMOS.

FOUR-PHASE CLOCK GENERATOR FOR MICROPROCESSORS

Abstract

This paper describes the design of a four-phase clock generator integrated circuit. The four nonoverlapping phases are generated from an external reference clock, at the same frequency and synchronized with this signal. This circuit will be used in a RISC microprocessor based on the SPARC architecture under development at NCE/UFRJ. The generator is a PLL-based one, for operation around 20 MHz. This circuit will be implemented in the Brazilian PMU using a 2 μ m CMOS technology. It was designed using the TEDMOS system.

GERADOR DE CLOCK DE QUATRO FASES PARA MICROPROCESSADORES

Mario Afonso da Silveira Barbosa*

Heloisa da Silva Façanha**

NCE/UFRJ, Cidade Universitária, Ilha do Fundão, Caixa Postal 2324
Rio de Janeiro, RJ, 20001

RESUMO

Este trabalho descreve o projeto de um circuito gerador de clock de quatro fases. A partir de um sinal de clock externo são geradas quatro fases não sobrepostas, na mesma frequência do sinal de entrada, e sincronizadas com este sinal. Este circuito será utilizado no microprocessador RISC com arquitetura SPARC em desenvolvimento no NCE/UFRJ. O gerador, baseado em um PLL (Phase Locked Loop), deverá operar em torno de 20 MHz. O circuito será implementado no PMU brasileiro com tecnologia CMOS 2 μ m e no seu projeto foi usado o sistema TEDMOS.

ABSTRACT

This paper describes the design of a four-phase clock generator integrated circuit. The four nonoverlapping phases are generated from an external reference clock, at the same frequency and synchronized with this signal. This circuit will be used in a RISC microprocessor based on the SPARC architecture under development at NCE/UFRJ. The generator is a PLL-based one, for operation around 20 MHz. This circuit will be implemented in the Brazilian PMU using a 2 μ m CMOS technology. It was designed using the TEDMOS system.

* M.Sc. Ciência da Computação, COPPE Sistemas UFRJ, 1987.

** MSc. Ciência da Computação, COPPE Sistemas UFRJ, 1986.

- INTRODUÇÃO

Circuitos digitais síncronos frequentemente necessitam de sinais de temporização defasados e não superpostos. Isto se verifica, por exemplo, em microprocessadores, onde eventos ocorrem em tempos bem definidos e relacionados com um sinal de referência externo.

Atualmente encontra-se em desenvolvimento no NCE/UFRJ o projeto do circuito integrado de um microprocessador RISC baseado na arquitetura SPARC [BARB 90]. A temporização deste circuito requer quatro sinais de mesma frequência, no caso 20 MHz, defasados e não sobrepostos entre si.

Uma forma de gerar estes sinais é através de um clock externo com frequência quatro vezes maior que a desejada e utilizando-se um conjunto de registradores de deslocamento interno ao chip. Esta solução, apesar de simples, requer a operação de circuitos em frequências difíceis de se obter com a tecnologia CMOS disponível (ES2 2 μ m). Optamos então por um gerador de clock baseado em PLL (Phase Locked Loop) [BEST 84], [GARD 79], [GIEB 89], [JEON 87] que, apesar de maior e mais complexo, não necessita de um sinal de referência de frequência mais alta. Este artigo descreve o projeto deste gerador de clock.

A Seção 2 explica o funcionamento do circuito, bem como dos módulos que o compõem. A Seção 3 apresenta os detalhes de projeto e a Seção 4 discute o estágio atual e as perspectivas futuras.

2 - DESCRIÇÃO DO CIRCUITO

O circuito cujo diagrama em blocos é mostrado na Figura 1 é o responsável pela geração do clock de quatro fases sem sobreposição, sincronizado com o sinal de referência externo (CLOCK). Um PLL contém três componentes básicos: um detetor de fase/frequência, um filtro passa baixa e um oscilador controlado por tensão (VCO). Um quarto bloco (decodificador) foi utilizado para gerar as quatro fases não sobrepostas.

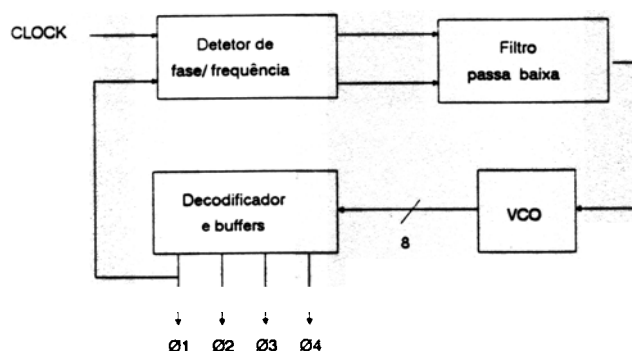


Fig. 1 - Diagrama em blocos do circuito gerador de clock

O detetor de fase/frequência compara a fase de um sinal periódico de entrada (CLOCK) com o sinal ($\phi 1$) proveniente do decodificador, indicando o desvio de fase relativo entre os sinais. A saída do detetor é aplicada ao filtro passa baixa que a converte em uma tensão de controle. Esta tensão é responsável pela frequência de operação do VCO, sincronizando-o em fase e frequência com o sinal de referência externo. Ao atingir este estado de sincronismo diz-se que o PLL está travado ("locked"). Descreveremos a seguir o funcionamento de cada módulo básico.

2.1 - DETETOR DE FASE/FREQUÊNCIA (DFF)

Foi escolhido para detecção de fase/frequência o circuito de lógica sequencial mostrado na Figura 2. A principal vantagem deste tipo de circuito é a existência de memória para comparar fase e frequência, evitando que o PLL estabilize em harmônicos da entrada.

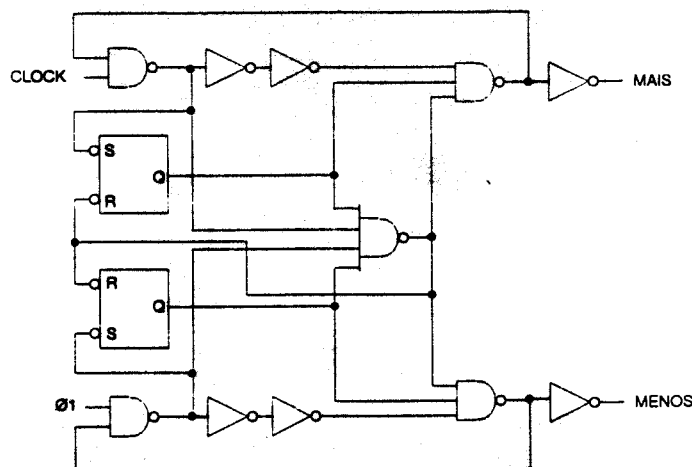


Fig. 2 - Circuito detetor de fase/frequência

Os estados de um DFF são alterados pelas transições dos sinais de entrada. Se a entrada CLOCK na Figura 2 está adiantada em relação à entrada $\phi 1$, então a transição de CLOCK liga a saída MAIS; a próxima transição de $\phi 1$ a desliga. Enquanto a entrada CLOCK estiver adiantada em relação a $\phi 1$, a saída MENOS permanece desligada. Da mesma forma, se CLOCK estiver atrasado em relação a $\phi 1$, a saída MENOS é ligada pela transição de $\phi 1$ e desligada pela transição de CLOCK, enquanto a saída MAIS permanece desligada. Quando as entradas CLOCK e $\phi 1$ estiverem sincronizadas, ambas as saídas permanecem desligadas. É importante ressaltar que estas saídas não podem estar ligadas simultaneamente. Portanto, o DFF tem três estados possíveis: ambas as saídas desligadas, ou uma ligada e a outra desligada.

2.2 - FILTRO PASSA BAIXA

A função do filtro passa baixa é converter as saídas lógicas do detetor de fase/frequência em sinais analógicos adequados ao controle da frequência de operação do VCO. O filtro utilizado é do tipo "charge pump loop filter" ilustrado na Figura 3, composto de um circuito "charge pump" e um filtro RC passa baixa.

Um circuito "charge pump" é na verdade uma chave eletrônica de três posições (Fig. 3a), controlada pelos três estados do DFF. Quando a entrada MAIS está ligada o transistor Q1 (Fig. 3b) está conduzindo, injetando corrente no filtro RC, aumentando a tensão de controle do VCO. Analogamente, a entrada MENOS descarrega o filtro RC através do transistor Q2, diminuindo a tensão de controle do VCO.

O filtro RC é formado pelos transistores Q3 a Q7. O resistor R1 da Fig. 3a é representado pelos transistores Q3 quando a entrada MAIS está ligada e Q4 quando a entrada MENOS está ligada. O resistor R2 é formado pelos transistores Q5 e Q6 e o capacitor C pelo transistor Q7.

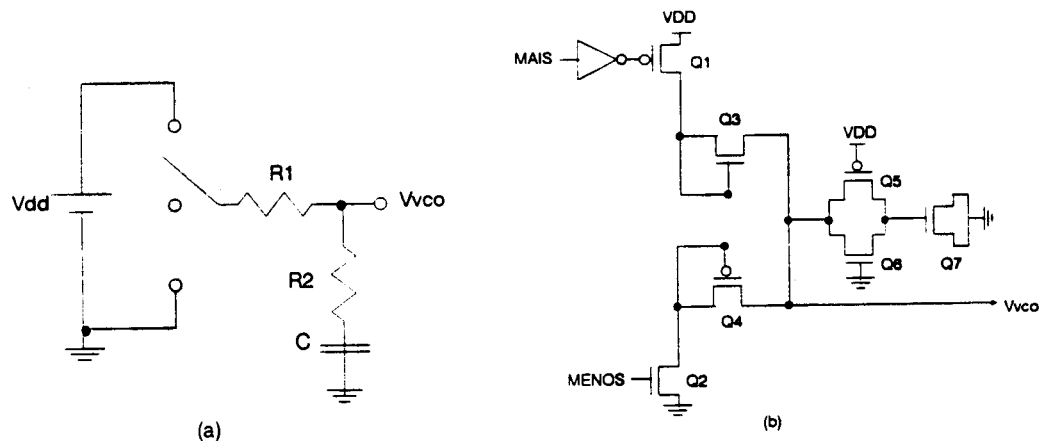


Fig. 3 - "Charge-pump loop filter": (a) esquemático; (b) circuito.

Um cuidado extra deve ser tomado na escolha dos valores dos componentes passivos do filtro RC de forma a garantir a estabilidade do PLL. A análise de estabilidade está fora do escopo deste artigo e encontra-se detalhada em [GARD 79], [GARD 80], [JEON 87].

2.3 - OSCILADOR CONTROLADO POR TENSÃO (VCO)

Um oscilador em anel foi escolhido para o VCO. Sua célula básica é mostrada na Figura 4. O VCO utiliza oito destes estágios mais uma célula inversora para obter um número ímpar de inversões. Optamos por este número de estágios em função do circuito usado na geração das quatro fases não sobrepostas (vide 2.4). A frequência de oscilação é determinada pelo número de estágios e pelo atraso de cada uma das células básicas. Este atraso é dado

pela razão L/W dos transistores que a compõem, bem como pela quantidade de corrente fornecida pela fonte de corrente. A quantidade de corrente é controlada pela tensão de entrada V_{vco} .

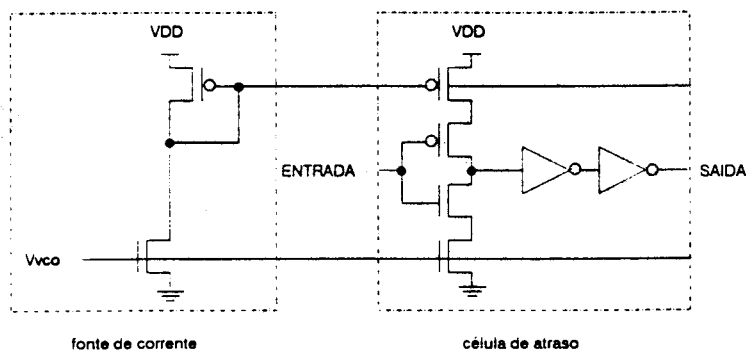


Fig. 4 - Oscilador controlado por tensão: fonte de corrente + célula de atraso.

2.4 - DECODIFICADOR E "BUFFER"

O circuito decodificador recebe como entrada as oito saídas do VCO (sai1 a sai8) e gera as quatro fases não sobrepostas ($\varphi 1$ a $\varphi 4$) através de uma lógica combinacional simples ilustrada na Figura 5. A vantagem de usar um circuito combinacional para gerar as fases é a garantia da não sobreposição das mesmas, independentemente da frequência de operação do circuito, da temperatura ou de variações no processo de fabricação, como pode ser observado na figura 5a.

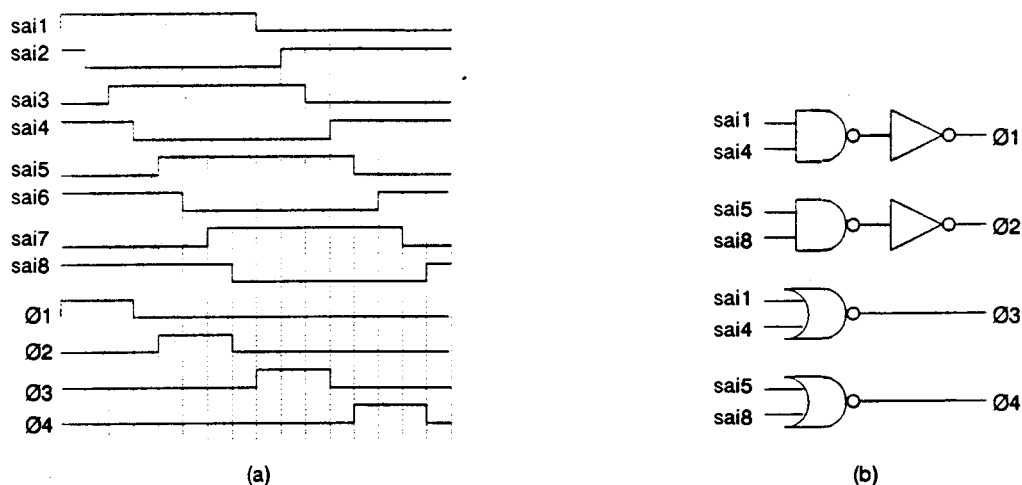


Fig. 5 - Decodificador: (a) formas de onda; (b) circuito lógico.

3 - IMPLEMENTAÇÃO E RESULTADOS

O primeiro bloco projetado foi o detetor de fase/frequência. Este módulo ocupou uma área de $114 \times 130 \mu\text{m}^2$, considerando-se a tecnologia CMOS $2\mu\text{m}$ da ES2 (European Silicon Structures). Seu layout é mostrado na Figura 6 e o resultado de sua simulação é apresentado na Figura 7.

Em seguida foi projetado o oscilador controlado por tensão. Cada célula de atraso ocupou uma área de $36 \times 49 \mu\text{m}^2$; um total de oito células foram utilizadas, mais um inversor (para obter um número ímpar de inversões) e uma fonte de corrente, totalizando uma área de $177 \times 118 \mu\text{m}^2$, conforme layout ilustrado na Figura 8. Este módulo foi simulado para tensões de entrada variando entre 2.5 V e 5.0 V, correspondendo a oscilações de 6 a 38 MHz. O resultado da simulação deste bloco para a tensão de entrada de 5.0 V é apresentado na Figura 9, onde se observa um tempo de aproximadamente 10 ns para que o VCO entre em regime permanente de operação. A Figura 10 ilustra a curva Freq. VCO X Tensão VCO para a faixa de operação considerada.

O circuito do filtro passa baixa encontra-se atualmente em teste a fim de determinar as dimensões (razão L/W) dos seus componentes.

Finalmente o módulo decodificador/buffers ocupou uma área de $103 \times 70 \mu\text{m}^2$; seu layout é mostrado na Figura 11.

O projeto do layout e simulação do circuito utilizaram o sistema TEDMOS [SCHM 90] como ferramenta de apoio. Na simulação do filtro passa baixa, além do simulador ONDAS [KNOP 88] integrado ao sistema TEDMOS, está sendo usado o programa PSPICE [PSPI 86] da MicroSim Corporation.

4 - CONCLUSÃO

Este artigo apresentou o projeto de um gerador de clock de quatro fases não sobrepostas, para ser utilizado no microprocessador RISC em desenvolvimento no NCE/UFRJ. O layout deste circuito para a tecnologia ES2, $2 \mu\text{m}$, foi desenhado no sistema TEDMOS. Os módulos detetor de fase/frequência, oscilador controlado por tensão e decodificador foram simulados eletricamente, apresentando os resultados esperados para operação em 20MHz. Atualmente está sendo simulado o módulo "charge pump loop filter", para determinar os valores ideais para o filtro RC. Após esta fase, deverá ser feita uma simulação de todo o circuito, o qual será posteriormente fabricado no próximo PMU nacional.

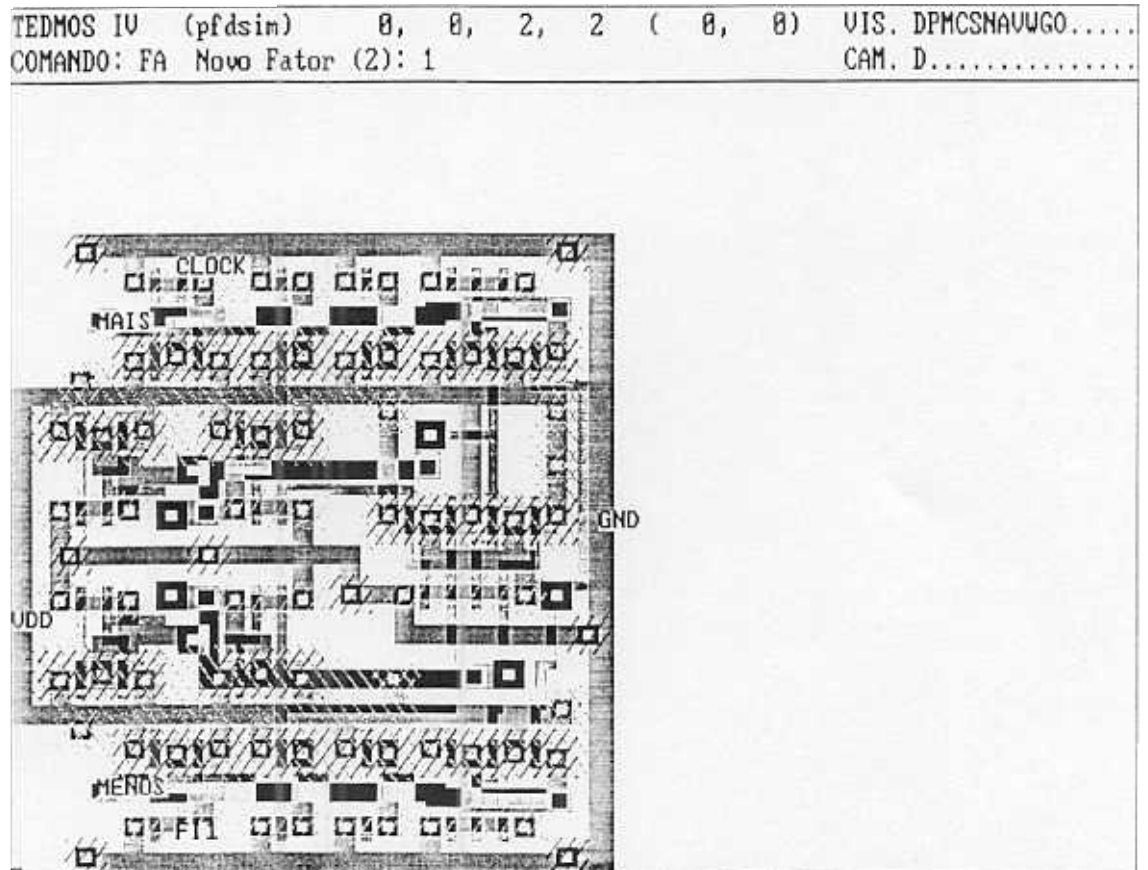


Fig. 6 - Layout do circuito Detetor de Fase/Frequência.

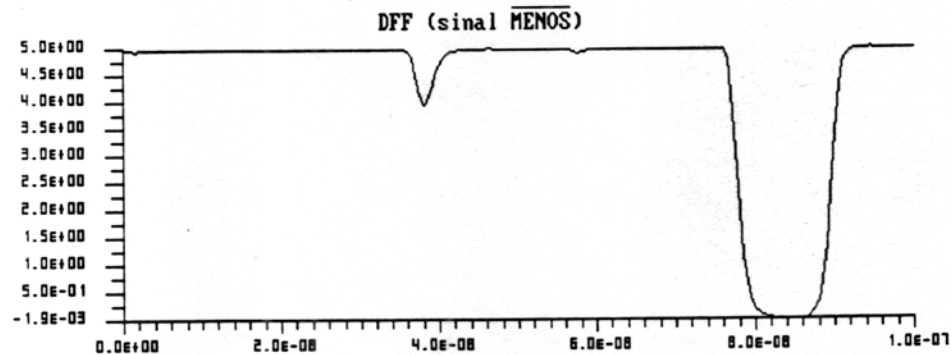
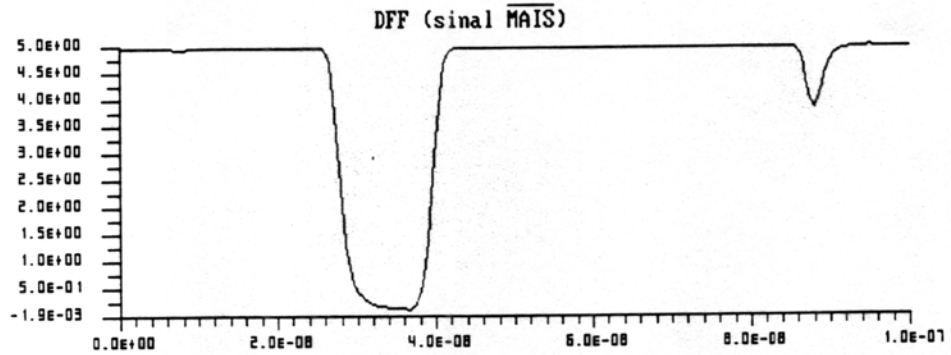
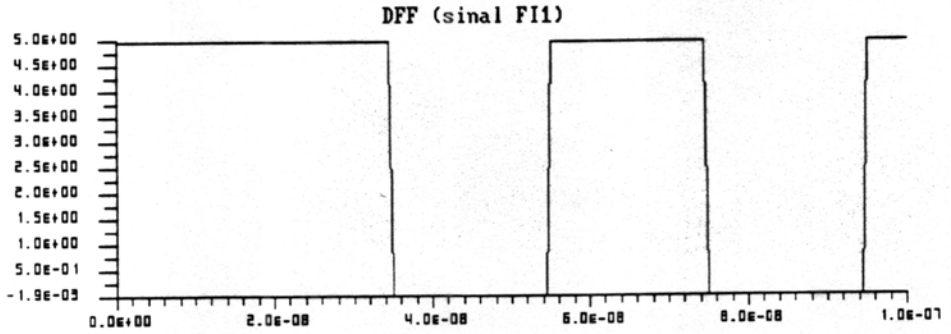
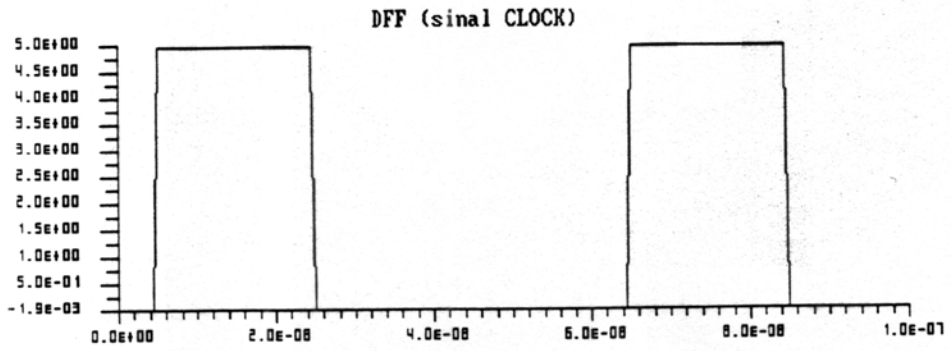


Fig. 7 - Resultados da simulação do Detetor de Fase/Frequência.

TEDMOS IV (vcosim) 8, 8, 2, 2 (8, 8) VIS. DPMCSNAUWGO....
COMANDO: CAM. D.....

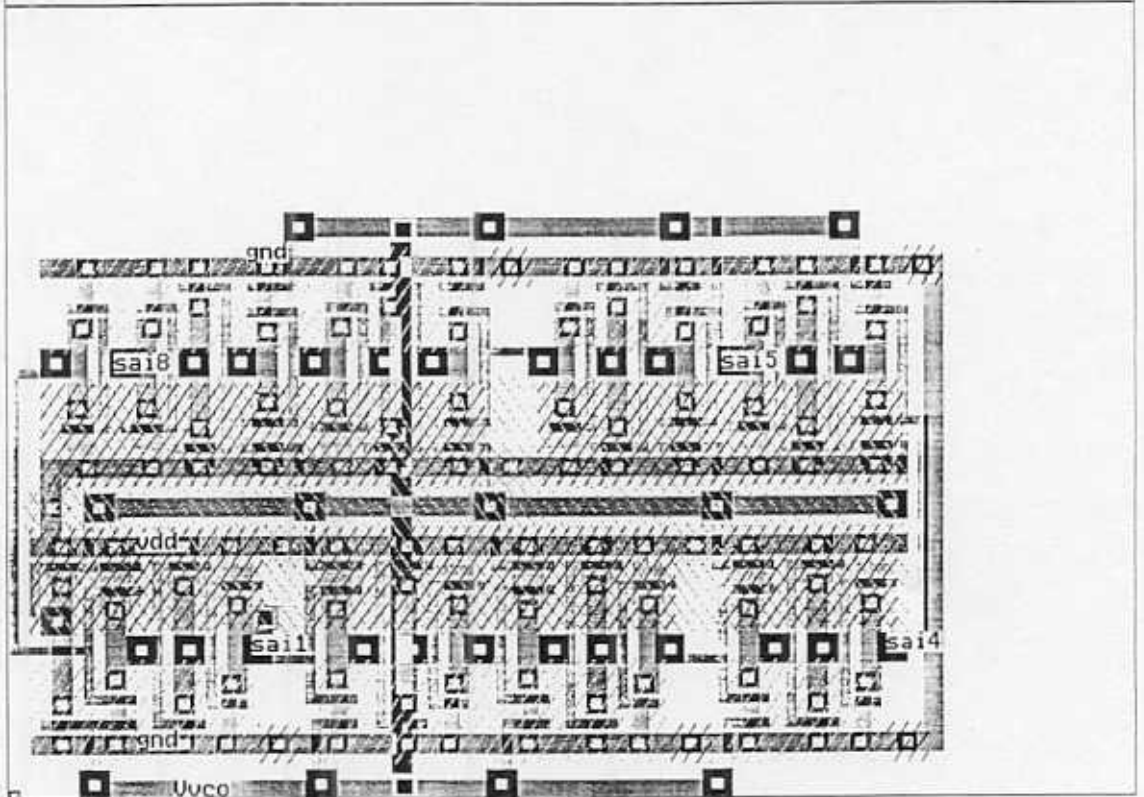


Fig. 8 - Layout do circuito VCO.

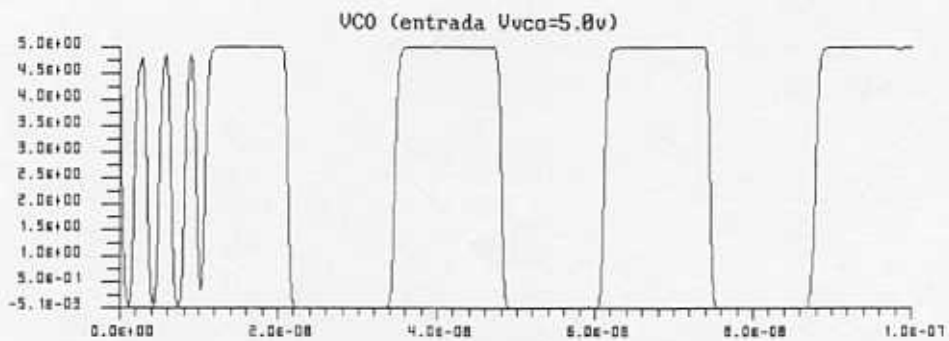


Fig. 9 - Simulação do VCO para $V_{cco} = 5.0V$.

Oscilador Controlado por Tensão

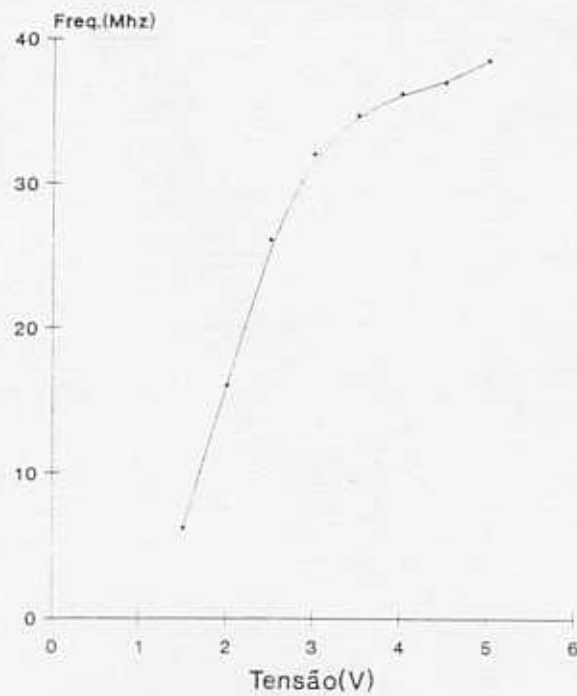


Fig. 10 - Curva Frequência X Tensão do VCO.

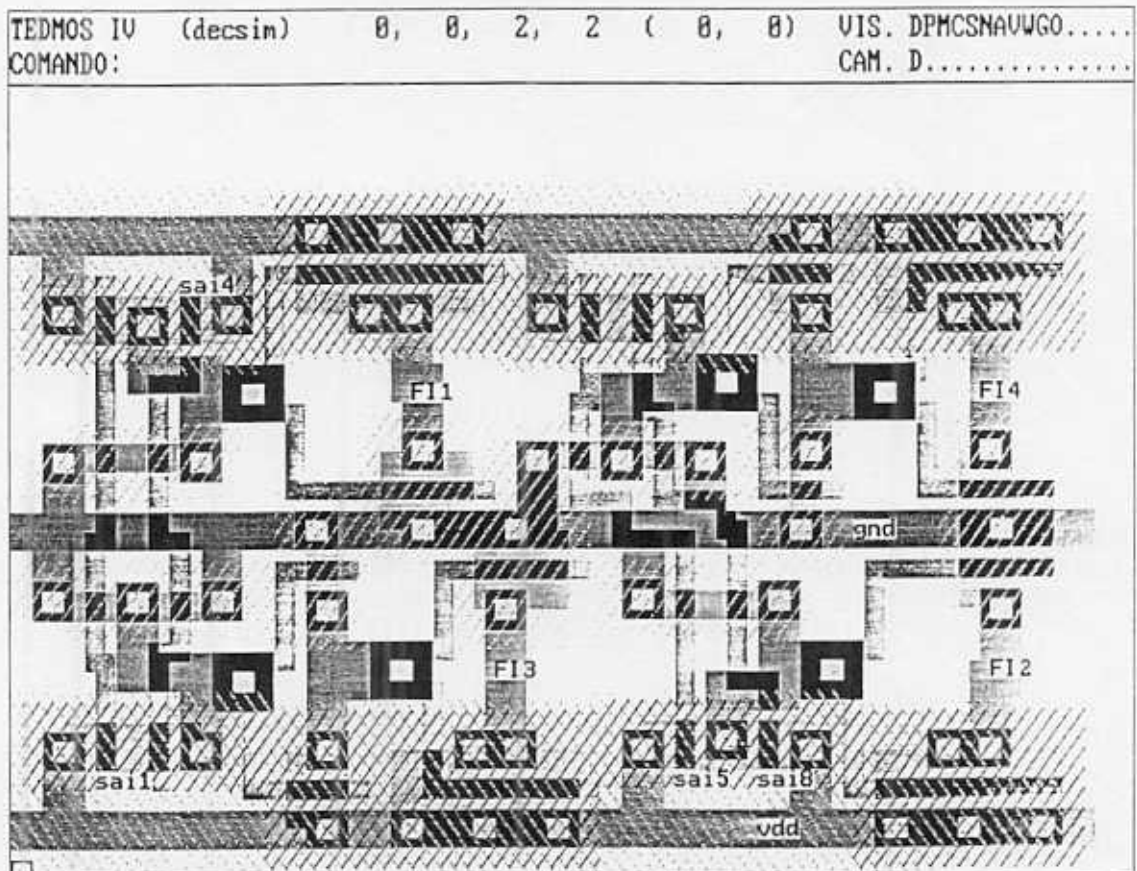


Fig. 11 - Layout do circuito Decodificador/Buffer.

REFERÊNCIAS

- [BARB 90] Barbosa, M.A.S. et al., "Implementação de Microprocessador RISC com Arquitetura SPARC", Anais do V Simpósio Brasileiro de Concepção de Circuitos Integrados (SBCCI), pp. 121-131, Ouro Preto, Minas Gerais, Out. 1990.
- [BEST 84] Best, R.E., "Phase-Locked Loops: Theory, Design and Applications", McGraw Hill, New York, 1984.
- [GARD 79] Gardner, F.M., "Phaselock Techniques", John Wiley & Sons Inc., New York, 1979.
- [GARD 80] Gardner, F.M., "Charge-Pump Phase-Lock Loops", IEEE Trans. on Communications, vol. COM-28, no. 11, pp. 1849-1858, Nov. 1980.
- [GIEB 89] Giebel, B. et al., "Digitally Controlled Oscillator", IEEE Journal of Solid-State Circuits, vol. 24, no. 6, pp. 640-645, Junho 1989.
- [JEON 87] Jeong, D.K. et al., "Design of PLL-Based Clock Generation Circuits", IEEE Journal of Solid-State Circuits, vol. SC-22, no. 2, pp. 255-261, Abril 1987.
- [KNOP 88] Knopman, J. et al., "Ondas: Um Simulador Elétrico para Circuitos VLSI Baseado no Método da Relaxação por Ondas", Anais do III Congresso da Sociedade Brasileira de Microeletrônica, São Paulo, pp. 12-14, Julho 1988.
- [SCHM 90] Schmitz, E.A. et al., "TEDMOS IV: Manual de Operação", NCE/UFRJ, 1990.
- [PSPI 86] "Pspice: Electrical Circuit Simulator", MicroSim Corporation, 1986.