



## SENSOR DE IMAGEM RETINOMÓRFICO COM COMPARTILHAMENTO DO MÓDULO DVS PARA REDUÇÃO DE ÁREA NO PIXEL

Tiago Monnerat de Faria Lopes

Dissertação de Mestrado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Mestre em Engenharia Elétrica.

Orientadores: José Gabriel Rodríguez  
Carneiro Gomes  
Fernanda Duarte Vilela Reis de  
Oliveira

Rio de Janeiro  
Junho de 2019

SENSOR DE IMAGEM RETINOMÓRFICO COM COMPARTILHAMENTO DO  
MÓDULO DVS PARA REDUÇÃO DE ÁREA NO PIXEL

Tiago Monnerat de Faria Lopes

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DO INSTITUTO  
ALBERTO LUIZ COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE  
ENGENHARIA (COPPE) DA UNIVERSIDADE FEDERAL DO RIO DE  
JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A  
OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM ENGENHARIA  
ELÉTRICA.

Examinada por:

---

Prof. José Gabriel Rodríguez Carneiro Gomes, Ph.D.

---

Prof. Fernanda Duarte Vilela Reis de Oliveira, D.Sc.

---

Prof. Antonio Mauricio Ferreira Leite Miranda de Sá, D.Sc.

---

Prof. Marcio Nogueira de Souza, D.Sc.

RIO DE JANEIRO, RJ – BRASIL

JUNHO DE 2019

Lopes, Tiago Monnerat de Faria

Sensor de Imagem Retinomórfico com Compartilhamento do Módulo DVS para Redução de Área no Pixel/Tiago Monnerat de Faria Lopes. – Rio de Janeiro: UFRJ/COPPE, 2019.

XI, 62 p.: il.; 29,7cm.

Orientadores: José Gabriel Rodríguez Carneiro Gomes  
Fernanda Duarte Vilela Reis de Oliveira

Dissertação (mestrado) – UFRJ/COPPE/Programa de Engenharia Elétrica, 2019.

Referências Bibliográficas: p. 61 – 62.

1. imageador. 2. CMOS. 3. ATIS. 4. DVS. 5. sensor biomórfico. 6. AER. I. Gomes, José Gabriel Rodríguez Carneiro *et al.* II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

*A Carolina, que me manteve são  
durante todo o percurso.*

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

## SENSOR DE IMAGEM RETINOMÓRFICO COM COMPARTILHAMENTO DO MÓDULO DVS PARA REDUÇÃO DE ÁREA NO PIXEL

Tiago Monnerat de Faria Lopes

Junho/2019

Orientadores: José Gabriel Rodríguez Carneiro Gomes

Fernanda Duarte Vilela Reis de Oliveira

Programa: Engenharia Elétrica

Essa dissertação apresenta um estudo dos sensores de imagem biomórficos com ênfase em um sensor de imagem assíncrono baseado no tempo. Cada pixel do sensor detecta a variação da intensidade da luz incidente sobre o mesmo. Caso esta variação ultrapasse um valor de referência, o valor da intensidade da luz sobre aquele pixel deve ser capturado. Para coordenar o funcionamento assíncrono, é utilizado um circuito de arbitragem que permite que os pixels da matriz acessem, de forma ordenada, barramentos de comunicação compartilhados. Além disso, os pixels biomórficos são capazes de capturar informações independentemente, ou seja, sem o uso de sinais externos ao imageador. A leitura das capturas realizadas pelo imageador baseado no tempo é feita através de pulsos de tensão, denominados eventos, permitindo transmissão de dados em alta velocidade e sem o uso de valores quantizados de tensão.

Nessa dissertação propomos o compartilhamento, por alguns pixels, de um mesmo circuito para detecção da variação da intensidade de luz, com o objetivo de reduzir o número total de componentes e, conseqüentemente, a área do pixel. A modificação afeta a qualidade da imagem, mas os resultados mostram que a perda de qualidade é pequena para compartilhamento dentro de blocos de 2x2 pixels. A dissertação apresenta resultados simulados, a nível de sistema, obtidos para o imageador implementado. As simulações mostram a relação entre o compartilhamento do circuito de detecção por um número variável de pixels e a qualidade das imagens capturadas. Também são mostradas simulações elétricas, a nível de diagrama esquemático, e são avaliados os efeitos da polarização de transistores sobre o funcionamento do imageador.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

## RETINOMORFIC IMAGE SENSOR WITH REDUCED PIXEL AREA BY SHARED DVS

Tiago Monnerat de Faria Lopes

June/2019

Advisors: José Gabriel Rodríguez Carneiro Gomes  
Fernanda Duarte Vilela Reis de Oliveira

Department: Electrical Engineering

This work presents a study about biomorphic image sensors, with an emphasis on asynchronous time-based image sensors. In these sensors, every pixel detects its own incoming light variations. If such variations exceed pre-established reference values, then a light intensity sample must be taken. To control the asynchronous operation mode, arbiters allow pixel access to shared communication buses in an orderly fashion. Besides, the arbiters enable biomorphic pixels to independently acquire incident light samples, without a need for external control signals. Imager data readout is based on voltage spike sequences (each voltage spike is referred to as an “event”), thus leading to high-speed unquantized data transmission.

We propose sharing, among pixels within a  $2 \times 2$  or  $4 \times 4$  pixel block, the same circuit for light intensity variation detection, in order to reduce overall device count and, as a consequence, to reduce pixel area. This modification does impair image quality, but numerical simulation results indicate that the quality loss is modest for variation detection circuit sharing with  $2 \times 2$  pixel blocks. We present system-level simulation results obtained for a numerical description of the entire imager. These results illustrate the relationship between pixel-block size, for pixels sharing detection circuits, and the reconstructed image/video quality. We also show electrical simulations at the schematic diagram level, and assess transistor bias effects on overall imager behavior.

# Sumário

<b>Lista de Figuras</b>	<b>viii</b>
<b>Lista de Tabelas</b>	<b>x</b>
<b>Lista de Abreviaturas</b>	<b>xi</b>
<b>1 Introdução</b>	<b>1</b>
<b>2 Representação por Endereços de Eventos</b>	<b>6</b>
2.1 <i>Handshaking Protocol</i> . . . . .	7
2.2 Arbitragem . . . . .	9
2.3 Adaptação na Entrada do Árbitro . . . . .	14
<b>3 Sensor de Visão Dinâmica</b>	<b>16</b>
3.1 Fotorreceptor . . . . .	16
3.2 Amplificador Diferencial . . . . .	19
3.3 Comparadores . . . . .	22
3.4 Circuitos AER Periféricos . . . . .	25
<b>4 Sensor de Imagem Assíncrono Baseado no Tempo</b>	<b>29</b>
4.1 Comparador de Tensão . . . . .	31
4.2 Circuito Lógico . . . . .	34
4.3 Projeção do Nível de Cinza . . . . .	38
<b>5 Simulação do Imageador e Compartilhamento do Módulo DVS</b>	<b>40</b>
5.1 Simulações de Intensidades de Luz . . . . .	41
5.2 Compartilhamento do Módulo DVS . . . . .	49
5.3 <i>Layout</i> do Imageador . . . . .	56
<b>6 Conclusão</b>	<b>59</b>
<b>Referências Bibliográficas</b>	<b>61</b>

# Lista de Figuras

2.1	Exemplo de Matriz de Pixels Organizada com Sinais de Controle . . .	8
2.2	Célula de Decisão do Árbitro . . . . .	10
2.3	Árbitro Implementado por Árvore Binária . . . . .	11
2.4	Porta Lógica NAND com Entrada Cruzada: (a) Representação Funcional; (b) Diagrama Esquemático . . . . .	12
2.5	Porta Lógica OR implementada a partir de Porta NAND (a) e Diagrama Esquemático do Circuito de Comunicação (b) . . . . .	14
2.6	Adaptação do Árbitro para o Imageador ATIS . . . . .	15
3.1	Fotorreceptor e Circuito de Realimentação . . . . .	17
3.2	Relação entre a Tensão $V_p$ e a Corrente no fotoreceptor . . . . .	19
3.3	Circuito Diferencial do Sinal de Entrada . . . . .	20
3.4	Circuito Comparador da Tensão Diferencial . . . . .	22
3.5	Variação da Sensibilidade às Variações Positivas, em Função de $V_{bias,ON}$	24
3.6	Variação da Sensibilidade às Variações Negativas, em Função de $V_{bias,OFF}$ . . . . .	25
3.7	Circuito Periférico do DVS para AER: (a) Comunicação de Eventos Positivos; (b) Comunicação de Eventos Negativos . . . . .	26
3.8	Adaptação do Circuito Interno ao DVS para Acesso Periférico . . . . .	27
3.9	Circuito Interno ao DVS para Implementação de <i>Reset</i> , a partir de Sinais Periféricos . . . . .	28
4.1	Diagrama de Blocos do Pixel ATIS . . . . .	30
4.2	Comparador de Tensão com Histerese . . . . .	32
4.3	Desativação da Saída do Comparador de Tensão pela Carga do Fotorreceptor . . . . .	34
4.4	Acionamento da Saída do Comparador de Tensão pelo Cruzamento de Limiar . . . . .	35
4.5	Circuito Lógico de Controle . . . . .	36
5.1	Comparação de Capturas Feitas sob Distintas Sensibilidades . . . . .	42
5.2	Distintas Sensibilidades sobre o Teste Suave . . . . .	44



5.3	Distintas Sensibilidades sobre o Teste Intenso . . . . .	45
5.4	Capturas Realizadas e Fatores de Qualidade no Teste Suave . . . . .	47
5.5	Capturas Realizadas e Fatores de Qualidade no Teste Intenso . . . . .	48
5.6	Efeito do Compartilhamento do DVS no Teste Intenso . . . . .	50
5.7	Fatores de Qualidade com Compartilhamento de DVS no Teste Suave	51
5.8	Fatores de Qualidade com Compartilhamento de DVS no Teste Intenso	52
5.9	Reconstrução da Fotocorrente Dentro da Faixa Dinâmica . . . . .	54
5.10	Efeito da Latência na Projeção do Nível de Cinza pelo DVS . . . . .	55
5.11	Efeito da Latência Sobre o <i>Bursting Mode</i> . . . . .	56
5.12	<i>Layout</i> Parcial do Imageador ATIS . . . . .	58

# Lista de Tabelas

4.1	Estado de Funcionamento Segundo a Máquina de Estados . . . . .	36
5.1	Número de Capturas Efetuadas (cada Captura Corresponde a Três Eventos) em Função dos Percentuais que Definem a Sensibilidade do Pixel . . . . .	46
5.2	Relação de Dispositivos Necessários . . . . .	53

# Lista de Abreviaturas

AER	Address Event Representation, p. 6
APS	Active Pixel Sensor, p. 1
ATIS	Asynchronous Time-base Image Sensor, p. 3
CCD	Charge-coupled Device, p. 1
CDS	Correlated Double Sampling, p. 1
CMOS	Complementary Metal Oxide Semiconductor, p. 1
DAVIS	Dynamic and Active Pixel Vision Sensor, p. 4
DVS	Dynamic Vision Sensor, p. 3
FPN	Fixed Pattern Noise, p. 32
FPS	Frames Por Segundo, p. 2
RMSE	Root Mean Square Error, p. 43
SSIM	Structural Similarity, p. 43

# Capítulo 1

## Introdução

A evolução das técnicas de implementação de sensores de imagem, também conhecidos como imageadores, transcorre por décadas de história sempre com o objetivo de aperfeiçoar a qualidade das imagens capturadas [1]. Dentre essas técnicas podemos citar *correlated double sampling* e fotodiodos grampeados. Desde os dispositivos de carga acoplada (*charge-coupled device* - CCD) até os circuitos baseados em tecnologia CMOS (*complementary metal oxide semiconductor*), algumas características dos sensores de imagem continuam sendo utilizadas tradicionalmente, como por exemplo, capturas de *frames* para composição de vídeos e o controle síncrono da matriz de pixels.

Os sensores de pixel ativo (*active pixel sensor* - APS) são utilizados como referência de comparação para as vantagens de operação dos imageadores citados neste trabalho. Imageadores APS são aqueles que possuem em sua estrutura pixels compostos do elemento fotorreceptor combinado com um circuito de amplificação de sinal. Sensores APS são comuns em projetos de imageadores e são produzidos normalmente com o uso da tecnologia CMOS. Essa tecnologia se destaca pelos avanços em miniaturização, baixo consumo e alta velocidade de operação em relação à tecnologia CCD [2], que era a tecnologia predominante há alguns anos [3].

A estrutura convencional das leituras realizadas por um imageador APS continua se baseando no sincronismo entre capturas. A matriz de pixels é controlada de forma a transmitir a intensidade de luz sobre cada um de seus fotodiodos em um instante de tempo. A composição dos valores dos pixels nesse instante de tempo forma uma imagem. Uma sequência de imagens consecutivas capturadas em um intervalo de tempo representa um vídeo. Dentro deste contexto, cada uma dessas imagens é denominada como um *frame*.

Tradicionalmente, um imageador APS é operado de modo a realizar um ciclo de capturas de *frames* a uma taxa constante. Quanto mais rápido o imageador puder operar, mais *frames* estarão disponíveis em um mesmo intervalo de tempo. A taxa de *frames* apresentados por segundo, também conhecida como taxa de quadros por

segundo (fps), é uma característica importante para a avaliação do funcionamento de um imageador.

Entretanto, esse modelo de captura de vídeos a partir de *frames* resultantes de sensores de imagem possui algumas desvantagens. Uma dessas desvantagens é o envio de informação redundante entre dois *frames*. Por exemplo, ao trabalharmos com a captura de *frames* para um vídeo, seguindo uma taxa de quadros de 30 fps, fazemos leituras em cada um dos pixels disponíveis deste sensor a cada *frame* necessário para atender a taxa requerida. Não importa o fato de que durante toda a duração deste vídeo um mesmo pixel, ou mesmo um grande grupo deles, não tenha sofrido alterações, mantendo-se com o mesmo valor por todo o processo de captura. Dessa forma, com o método tradicional de operação em um imageador APS, precisamos ler as informações contidas nos pixels trinta vezes por segundo, possibilitando a captura e transmissão de valores redundantes para serem processados externamente ao sensor de imagem.

Considerando a visão de mercado atual, que valoriza a redução do tamanho dos pixels para o aumento de resolução através do incremento do número de pixels presentes em um sensor, teremos um aumento exacerbado da informação necessária para reconstruir um único *frame*. O número de envios de informação redundante, principalmente em situações onde o alvo capturado é, em predominância, estático, cresce a cada avanço de resolução. Trata-se de um problema cuja solução se torna complexa, uma vez que sua causa está presente na própria estrutura de captura de vídeos através de imageadores.

Além da questão de leituras redundantes em pixels inativos, ou de baixa atuação, também temos uma questão de resolução temporal. Se durante a captura de um vídeo há algum evento que ocorra no meio do intervalo entre o *frame* atual e o próximo, este evento não é percebido pelo imageador. Em uma captura tradicional, só observamos eventos ocorridos próximo aos instantes de tempo estabelecidos pela taxa de quadros, que comumente é fixa durante o procedimento. Uma solução simples para esse problema consiste em aumentar a taxa de quadros de forma a diminuir a janela de tempo que propicia a perda de informação. Entretanto, aumentando a taxa de quadros, eleva-se o número de capturas feitas. Por consequência, acessamos mais vezes pixels que, em decorrência de capturas mais rápidas, possuem probabilidade maior de estarem estáticos em relação à captura anterior.

Considerando esse contexto, a lógica convencional de captura de vídeos por imageadores é propensa ao desperdício. Esse desperdício pode existir na forma de energia gasta nas capturas desnecessárias ou no tempo e esforço consumidos em transmitir dados redundantes. A inspiração de um modelo que substitui essa lógica vem de estruturas biológicas. Diversas pesquisas têm como foco modelar comportamentos e funcionalidades de organismos vivos e realizar sua implementação em

circuitos eletrônicos. Portanto, não é surpreendente analisar o funcionamento da retina humana [4] em busca de mecanismos capazes de contornar esses problemas presentes em imageadores convencionais.

Projetos que trabalham na linha de pesquisa de estudo de circuitos biomórficos [5] já existem há alguns anos e se baseiam em aproveitar características de modelagem do sistema visual de animais para uma implementação mais dinâmica dos imageadores convencionais. Em vez de funcionar conforme uma taxa de quadros, os pixels desses imageadores são capazes de iniciar capturas independentemente de um sinal externo [6]. Essa independência é alcançada por meio de circuitos internos ao pixel capazes de avaliar o comportamento temporal da incidência de luz. Tais imageadores são usualmente chamados de retinomórficos, pois se inspiram no comportamento da retina animal, e desenvolvem uma abordagem guiada por ocorrência de eventos, descartando dessa forma a necessidade de sinais de sincronismo.

O primeiro imageador retinomórfico estudado neste trabalho é o *Dynamic Vision Sensor* (DVS). O circuito proposto para implementar esse imageador pode ser visto em [7], e sua versão aprimorada é apresentada em [8]. Neste trabalho, nós nos baseamos na versão [8] para o projeto de um imageador. De forma simplificada, o DVS é capaz de gerar impulsos elétricos, chamados de eventos, quando ocorre uma variação significativa da luz incidente sobre um pixel. A variação de luz é avaliada em escala logarítmica, tornando possível perceber variações em uma larga faixa dinâmica e com uma boa resolução temporal. Um ponto negativo é a necessidade de um número considerável de capacitores e transistores para a implementação do circuito do imageador DVS. Por consequência, ele apresenta a desvantagem de possuir uma área de pixel maior que o pixel APS tradicional.

O imageador DVS, dessa forma, tem como sinal de saída um evento que representa a variação da intensidade de luz sobre o pixel e não a informação da intensidade de luz em si. Para tratar da intensidade da luz em implementações retinomórficas, surgiu o *Asynchronous Time-Based Image Sensor* (ATIS), que utiliza o circuito do pixel do imageador DVS como um elemento para acionar outro circuito responsável pela captura da intensidade da luz. O circuito de captura, assim como o DVS, trabalha com eventos e não com a quantização de um valor de tensão. A diferença no tempo entre dois eventos gerados pelo circuito de captura representa o valor de um pixel. O valor do pixel é reconstruído externamente ao circuito por meio dessa diferença. A faixa dinâmica desse pixel é tipicamente maior que a faixa dinâmica do pixel APS. O projeto apresentado em [9] tem como objetivo eliminar características convencionais da lógica tradicional de captura de vídeos em imageadores APS, como o uso de *frames* e taxa de quadros. Esse avanço é alcançado ao custo, novamente, de aumento do tamanho do pixel e da complexidade de implementação.

Uma terceira implementação retinomórfica envolve utilizar o imageador DVS,

explicado anteriormente, como base. O projeto conhecido como *Dynamic and Active Pixel Vision Sensor* (DAVIS) incorpora em um mesmo pixel as características simples de aquisição de um imageador APS com um circuito do pixel DVS, compartilhando entre os dois o mesmo elemento fotoreceptivo. Essa configuração leva a um circuito ligeiramente maior do que o DVS original, reduzindo o problema de tamanho associado ao imageador ATIS. Apesar disso, o imageador DAVIS não trabalha com comunicação por eventos e traz de volta a leitura convencional de informação nos pixels em modo de tensão linear, perdendo assim o benefício de maior faixa dinâmica.

Considerando a linha de pesquisa que tem como objetivo o desenvolvimento dos pixels retinomórficos, podemos esclarecer a finalidade deste projeto. Tendo em vista a estrutura do sensor de imagens ATIS, que apresenta comportamento retinomórfico e uma excelente faixa dinâmica ao custo de um maior uso de área, detalhamos o seu funcionamento componente a componente. Em seguida, propomos um novo arranjo para os circuitos do DVS em relação aos circuitos de captura, com o objetivo de reduzir a área do pixel ao custo de redução da independência do pixel e, conseqüentemente, da qualidade final da imagem. Também apresentamos todos os circuitos periféricos necessários para a implementação de um circuito retinomórfico dependente de eventos e simulações capazes de caracterizar a sensibilidade de imageadores neuromórficos a variação de luz.

As estruturas que representam a comunicação por eventos do imageador, permitindo que os sinais internos de funcionamento sejam convertidos em endereços de pixels ativos e enviados para processamento externo, são apresentadas no Capítulo 2. Os circuitos responsáveis por arbitrar o acesso que cada pixel tem ao barramento de comunicação em comum também são detalhados naquele capítulo.

No Capítulo 3, apresentamos detalhadamente o funcionamento do *Dynamic Vision Sensor*. Mostramos sua implementação e como podemos utilizá-lo dentro da estrutura ATIS. Também apresentaremos algumas modificações feitas no circuito original proposto, de forma a adaptá-lo aos circuitos periféricos de endereçamento de eventos utilizados neste trabalho.

A seguir, no Capítulo 4, mostramos como a estrutura ATIS funciona. Além do circuito, também explicamos a representação temporal do nível de cinza da luz incidente, que é utilizada para reconstruir a imagem, considerando o tempo que separa dois eventos de operação. Outra informação importante apresentada nesse capítulo é sobre como a polarização influencia no funcionamento do imageador ATIS.

Por fim, no Capítulo 5, apresentamos simulações feitas a nível de sistema, através de códigos que modelam o funcionamento do imageador. Os resultados de simulações elétricas representando o processo de captura do imageador dentro da faixa dinâmica proposta e o desenvolvimento de uma estrutura de compartilhamento do módulo

DVS também estão contidos nesse capítulo.

Embora os resultados deste trabalho estejam concentrados no Capítulo 5, há também a apresentação de resultados preliminares nos Capítulos 2, 3 e 4 sobre a implementação e polarização dos circuitos propostos.

No Capítulo 6, são resumidos os objetivos alcançados, além dos métodos desenvolvidos no decorrer do projeto para a melhora do imageador ATIS.



## Capítulo 2

# Representação por Endereços de Eventos

Uma diferença dos imageadores retinomórficos em relação aos imageadores APS está na origem do sinal de controle que dá início ao processo de captura. O padrão em imageadores APS é uma comunicação coordenada por sinais de requisição vindos de um processador externo, que delimita a ordem de leitura dos pixels e estabelece a sincronização nas capturas realizadas. Neste trabalho, no entanto, utilizamos dispositivos que são controlados por sinais assíncronos. Cada pixel determina o momento em que deve iniciar uma captura.

Com um pixel independente capaz de transmitir suas informações por meio de eventos, que são pulsos de tensão, precisamos de circuitos e protocolos de comunicação desenvolvidos especificamente para esse tipo de sinal. A transmissão de dados entre o imageador e um processador externo é feita através de um barramento de comunicação. Chamamos esse barramento de barramento de comunicação externo. Não é possível que todos os pixels estejam conectados ao barramento diretamente, pois dessa forma não haveria controle sobre envios de eventos concomitantes. Essa situação teria como consequência a perda de informação ou corrupção de dados. Portanto, precisamos implementar um circuito periférico à matriz de pixels com a função de intermediar o acesso ao barramento de comunicação externo por cada um dos pixels. O circuito que realiza essa intermediação é chamado de árbitro.

A implementação dessa comunicação assíncrona é feita através da técnica conhecida como Representação por Endereço de Eventos (*Address Event Representation* - AER). Tal técnica foi originalmente proposta como um protocolo de comunicação para redes de neurônios que competem por acesso a um número limitado de pinos em um circuito integrado [4]. O protocolo AER representa o evento gerado por um elemento do circuito por meio do endereço deste elemento. Portanto, se temos pixels que geram eventos em uma matriz, o protocolo AER representa esses eventos através de posições linha-coluna dos respectivos pixels, na ordem adequada.

Um processo de captura completo do imageador ATIS segue uma lógica pré-estabelecida, como detalhado nos próximos capítulos. Primeiro, temos um evento gerado no dispositivo DVS, o que indica variação relevante na incidência de luz sobre o fotorreceptor. Esse evento dá início ao processo de captura do nível de cinza. Dois eventos são então gerados no circuito de captura que sinalizam o momento em que a tensão no fotorreceptor ultrapassa dois limiares de tensão, denominados  $V_{High}$  e  $V_{Low}$ .

Portanto, uma captura completa em um imageador ATIS exige que três eventos sejam gerados em sequência, considerando que houve êxito em representar a incidência de luz naquele pixel: a detecção no DVS, o cruzamento do limiar  $V_{High}$  e o cruzamento do limiar  $V_{Low}$ . A única diferença entre esses eventos é o circuito de origem, dentro do pixel, que os gerou. Um evento pode ter sido gerado pelo circuito DVS ou pelo circuito de captura do nível de cinza. Para reduzir o número de solicitações de acesso ao barramento de comunicação externo e para que possamos distinguir a origem das solicitações de acesso, ou seja, dos eventos, utilizamos dois barramentos externos distintos para cada um dos circuitos (detecção de variação e captura de intensidade).

## 2.1 *Handshaking Protocol*

Com uma matriz de pixels tentando acesso assíncrono aos barramentos de comunicação externos, temos uma alta probabilidade de tentativas de acesso simultâneo. Para evitar os acessos simultâneos precisamos de um circuito que interceda nesta comunicação. A alternativa implementada neste projeto é o uso de árbitros. Precisamos de um protocolo de comunicação que conecte cada um dos pixels aos árbitros. O protocolo utilizado é conhecido como *Handshaking Protocol*.

O *Handshaking Protocol* funciona em etapas. Inicialmente, um pixel gera um evento que indica que precisa de acesso a um dos barramentos de comunicação externos. Gerar um evento significa enviar um sinal de requisição, chamado de *Request*, para o árbitro responsável por aquele barramento. O árbitro, dentre um ou mais sinais de *Request* recebidos, escolhe o primeiro a ser acionado para responder positivamente com permissão de acesso ao barramento. O sinal de resposta do árbitro é chamado de *Acknowledgement*. Quando o pixel recebe o sinal de *Acknowledgement*, ele tem a confirmação de que conseguiu acesso ao barramento externo e que seu endereço foi transmitido. O sinal de *Acknowledgement* serve para confirmar a operação e levar o pixel a encerrar a etapa de funcionamento que gerou o evento. Os sinais de *Request* ativos são atendidos pelo árbitro até não haver mais nenhum acionado.

Em uma matriz de pixels, o *Handshaking Protocol* é separado para a dimensão

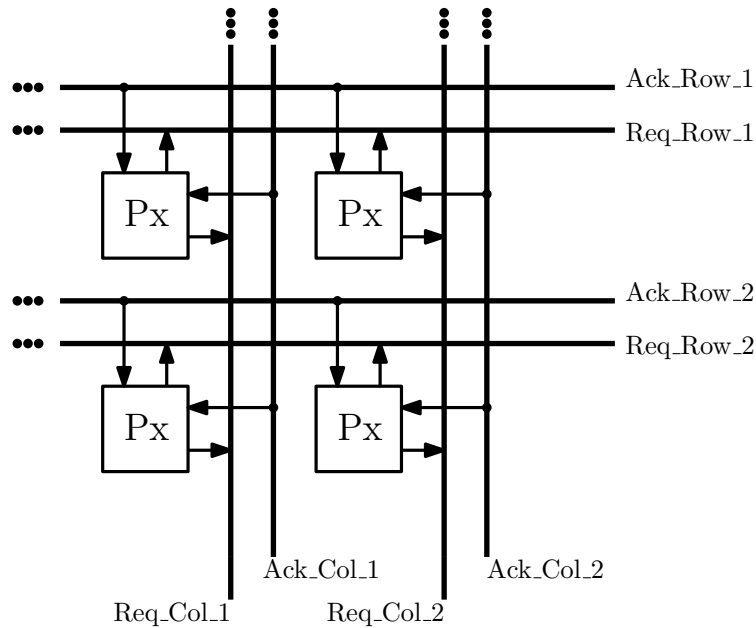


Figura 2.1: Exemplo de Matriz de Pixels Organizada com Sinais de Controle

horizontal e para a dimensão vertical. Portanto, temos sinais *Request* e *Acknowledgement* para linha e outros dois sinais para a coluna. Da mesma forma, cada um dos barramentos de comunicação externos requer um árbitro para atender a comunicação de sinais de linha e outro para os sinais de coluna.

A Figura 2.1 apresenta uma ilustração em blocos de como são organizados os sinais de controle para implementar o *Handshaking Protocol*. Cada dispositivo requisitante, aqui ilustrado como um pixel (Px), apresenta um par de sinais *Request/Acknowledgement* para cada dimensão da matriz. Esses sinais são compartilhados entre pixels presentes em uma mesma linha, dando origem a um sinal externo à matriz que representa eventos nessa dimensão. O compartilhamento também ocorre entre pixels presentes em uma mesma coluna. Esses sinais são os que representam linhas, como Req\_Row ou Ack\_Row, ou também colunas, como Req\_Col ou Ack\_Col. Esse compartilhamento faz com que uma linha ou coluna do imageador funcione como um elemento único ao requisitar acesso a um barramento externo através de um árbitro naquela dimensão.

A entrada do árbitro pode ser simplificada, já que ele lida com menos sinais requisitantes. O endereço do pixel gerador do evento é determinado pela interseção dos sinais de *Acknowledgement* ativos para a respectiva linha e a respectiva coluna da matriz. Ou seja, como apenas um pixel pode ter acesso ao barramento de comunicação externo, aquele que estiver recebendo confirmação tanto do árbitro de linha quanto do árbitro de coluna é o responsável pelo envio do evento.

A configuração escolhida para a implementação do *Handshaking Protocol* permite ao circuito de arbitragem funcionar em modo de disparo, conhecido como *Bursting*

*Mode* [10]. Essa configuração é proposta em [11] para o circuito ATIS e, por causa da arbitragem distinta entre as dimensões horizontal e vertical da matriz de pixels, leva a uma diminuição na latência. Como o pixel solicita acesso ao árbitro de linha e depois ao árbitro de coluna, quando há mais de um pixel emitindo eventos em uma mesma linha, estes são atendidos mais rapidamente pela arbitragem de coluna sem a necessidade de realizar novas requisições ao árbitro de linha.

Um circuito para emitir sinais de *Request* para a dimensão horizontal e para a dimensão vertical, portanto, precisa ser implementado em cada um dos pixels. Enquanto um pixel requisitante não receber os sinais de *Acknowledgement* nas duas dimensões, ele não pode emitir novos eventos. Arbitrariamente, escolhemos que cada pixel inicia um pedido de acesso pela linha e, quando receber a confirmação, envia o sinal de *Request* equivalente para a coluna. Apenas quando os sinais de *Acknowledgement* de ambas as dimensões estão ativos é que o pixel têm acesso ao barramento de comunicação externo.

Circuitos periféricos ao pixel para a implementação do *Handshaking Protocol* no circuito DVS e no circuito de captura de nível de cinza são expostos no Capítulo 3 e no Capítulo 4, respectivamente.

## 2.2 Arbitragem

Conforme explicado na seção anterior, os pixels sinalizam a um árbitro o requerimento de acesso ao barramento de comunicação externo. A comunicação entre os pixels e os árbitros foi explicada, mas não descrevemos como funciona o circuito necessário para que os árbitros desempenhem esse papel.

O circuito do árbitro responde a um único pedido por acesso ao barramento de comunicação externo, enquanto mantém os demais pedidos em espera. O árbitro passa a atender outro pedido apenas quando o primeiro pedido for concluído. O tempo de espera por atendimento introduz um atraso entre o instante que o evento é gerado e sua transmissão. A esse atraso é dado o nome de latência. A latência do árbitro, assim como qualquer atraso na operação do imageador retinomórfico, acarreta distorção nas imagens reconstruídas. Entretanto, a introdução de latência no imageador retinomórfico não é tão prejudicial quanto a colisão de acessos em um barramento de comunicação sem arbitragem, que leva à perda total de ao menos um dos eventos simultâneos.

Para a implementação de um árbitro que atende o *Handshaking Protocol*, utilizamos o trabalho de Mahowald [4]. Na tese de Mahowald encontra-se a explicação de como um árbitro funciona. Com poucas alterações, podemos implementar algo similar neste projeto. A estrutura do árbitro é implementada na forma de uma árvore binária, que representa a entrada de sinais disputantes (as raízes) e o uso

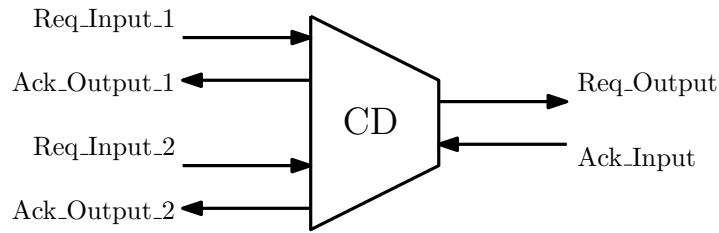


Figura 2.2: Célula de Decisão do Árbitro

dos sinais vencedores em níveis superiores da árvore (ramos) em novas disputas. Os conflitos são resolvidos aos pares até chegarmos na camada superior (o topo), onde restam apenas dois sinais disputando. Depois da solução desse conflito final, confirmamos retroativamente cada um dos ramos por onde o sinal vencedor passou, até resultar em um sinal de confirmação *Acknowledgement* na raiz respectiva à entrada do vencedor.

A resolução de um conflito é realizada por uma célula de decisão (CD), representada na Figura 2.2. Temos dois pares de sinais de *Request* e *Acknowledgement* nas entradas da célula, que podem ser sinais provenientes de níveis inferiores da árvore binária ou os sinais requisitantes da matriz de pixels. Também precisamos de um par de sinais para a comunicação desta célula de decisão com aquelas posicionadas acima dela na árvore. Um sinal *Req\_Output* representa que a célula está requisitando atenção para os níveis superiores da árvore binária e um sinal *Ack\_Input* representa a resposta dessas mesmas células presentes em níveis superiores. Quando o sinal *Ack\_Input* é ativado, a célula transmite um sinal de *Acknowledgement* para a entrada respectiva ao sinal vencedor na disputa.

Quanto à estrutura lógica utilizada por um árbitro, podemos observar na Figura 2.3 uma árvore binária de duas camadas e com quatro pixels disputando a confirmação do árbitro. Cada célula de decisão utiliza um par de sinais de comunicação, orientado ao *Handshaking Protocol*, para cada pixel em disputa. A célula de decisão passa para ramos superiores da árvore binária um sinal que indica a ocorrência de uma disputa finalizada entre seus elementos de entrada. Como visto na ilustração, a célula posicionada no mais alto nível tem seus dois sinais de comunicação entre células, *Req\_Output* e *Ack\_Input*, curto-circuitados. A partir do topo, o sinal *Req\_Output* automaticamente aciona o sinal de *Ack\_Input* e todos os sinais de *Acknowledgement* em cada camada se propagam retroativamente, de modo a confirmar que a solicitação na entrada seja atendida.

Essa estrutura de árvore binária permite uma fácil expansão de suas entradas de atendimento, uma vez que cada elemento é estabelecido de forma genérica para funcionar em conjunto. A prioridade na disputa entre os elementos de entrada é feita de maneira a atender o sinal que surgir primeiro. Porém, se diversos sinais se

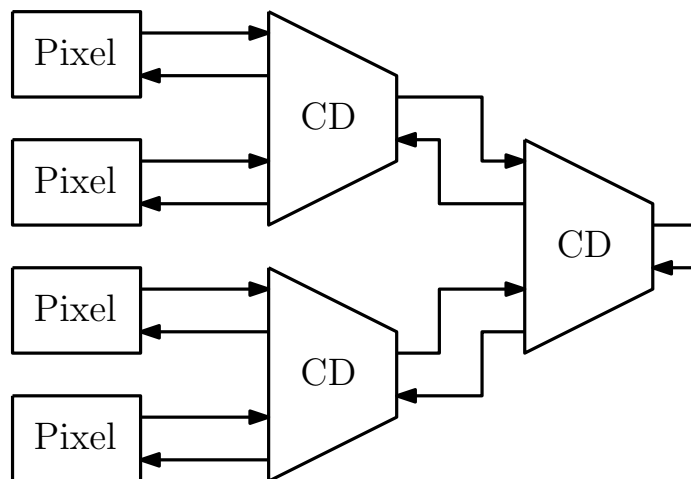


Figura 2.3: Árbitro Implementado por Árvore Binária

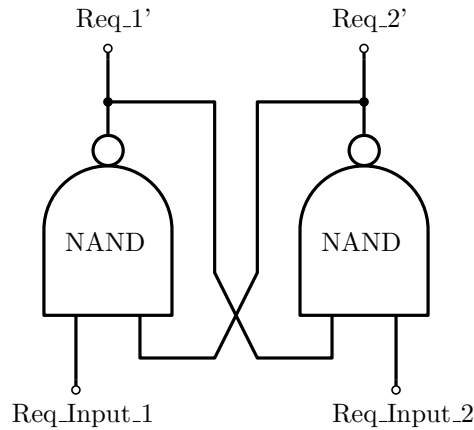
acumularem na entrada do árbitro, então ele atende de forma aleatória<sup>1</sup>. Não há uma hierarquia entre os disputantes e, por consequência, não há linhas ou colunas prioritárias.

Este projeto de imageador não apresenta pixels conectados diretamente a uma entrada do árbitro, mas sim conectados por sinais compartilhados em cada dimensão. A lógica de árbitro proposta na Figura 2.3 é a mesma, mas os sinais de entrada e saída do árbitro são definidos conforme a Figura 2.1: sinais Req\_Row, Req\_Col, Ack\_Row e Ack\_Col.

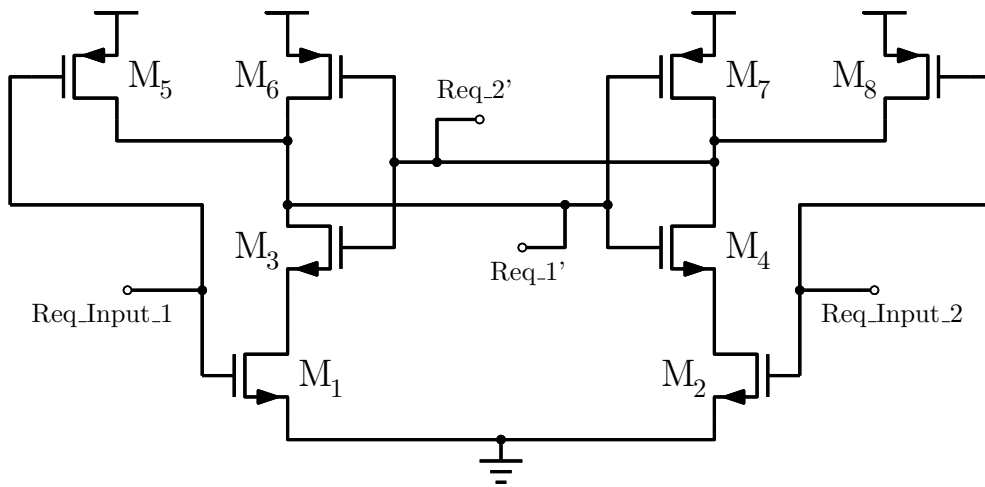
Para a implementação da arbitragem no imageador ATIS são necessários quatro árbitros. Um par linha-coluna para mediar as solicitações de acesso ao barramento de comunicação externo dedicado ao dispositivo DVS e outro par linha-coluna de árbitros para o barramento de comunicação externo referente ao circuito de captura do nível de cinza. O endereçamento do evento é feito com a codificação dos sinais de *Acknowledgement* ativos na saída dos árbitros responsáveis pelo barramento de comunicação utilizado.

Cabe então implementar o circuito apresentado em [4] para realizar o funcionamento desejado do árbitro. Temos como entrada das células duas portas lógicas NAND com sinais de entrada cruzados. Dessa forma, apenas um dos sinais Req\_Input é aceito pela célula de decisão como vencedor, uma vez que a saída de uma porta NAND está conectada na entrada da outra porta NAND. A saída de uma das portas lógicas é usada como inibidora da outra porta, levando a uma resposta única do circuito. As duas saídas dessas portas lógicas são usadas para alimentar uma porta lógica do tipo OR, que ativa o sinal Req\_Out caso qualquer uma dessas

<sup>1</sup>Durante as simulações elétricas da célula de decisão não se encontrou um padrão no atendimento das entradas de *Request*. A entrada que aciona uma das saídas das portas lógicas NAND cruzadas primeiro inibe as demais entradas e é atendida. Mesmo com todas as entradas acionadas ao mesmo tempo, nos circuitos dimensionados igualmente, uma entrada aleatória era vencedora.



(a)



(b)

Figura 2.4: Porta Lógica NAND com Entrada Cruzada: (a) Representação Funcional; (b) Diagrama Esquemático

saídas seja acionada. Por fim, precisamos de um circuito mais complexo que faça a comunicação entre células da árvore binária e acione o sinal Ack\_Output da entrada vencedora quando receber um dos sinais de Ack\_Input vindos da hierarquia acima.

Podemos observar o circuito para as portas NAND com entradas cruzadas na Figura 2.4(a). Se os sinais Req\_Input\_1 ou Req\_Input\_2 estão em nível lógico alto, então uma ou ambas as entradas estão requisitando acesso ao árbitro. Se a entrada Req\_Input\_1 for vencedora, o sinal interno Req\_1' estará em nível lógico baixo. De forma análoga, se o sinal Req\_Input\_2 for vencedor, o sinal interno Req\_2' estará em nível lógico baixo. Os sinais Req\_1' e Req\_2' nunca estão em nível lógico baixo ao mesmo tempo.

Com esse conhecimento, podemos inferir a operação deste circuito lógico a partir do diagrama esquemático na Figura 2.4(b). Se o sinal de entrada Req\_Input\_1 é

acionado, então  $M_1$  é curto-circuitado e  $M_5$  fica em corte. O sinal  $Req\_Input\_2$  em nível baixo corta  $M_2$  e satura  $M_8$ , o que acarreta nível lógico alto sobre  $M_3$ , saturando-o, e  $M_6$ , cortando-o. Com  $M_3$  e  $M_1$  curto-circuitados, nível lógico baixo está presente na saída  $Req\_1'$ . Como temos entradas cruzadas, o acionamento de  $Req\_1'$  com nível lógico baixo influi diretamente na saturação do transistor  $M_7$ , que por sua vez inibe o sinal  $Req\_2'$  levando-o a nível lógico alto.

No caso de termos somente a entrada  $Req\_Input\_2$  acionada, os transistores  $M_4$  e  $M_2$  estão em curto para fazer com que  $Req\_2'$  esteja ativado com nível lógico baixo. O sinal  $Req\_2'$ , por sua vez, aciona o transistor  $M_6$  e inibe o sinal  $Req\_1'$ . A funcionalidade de que uma saída dessas portas NAND iniba a outra é importante para fazer com que apenas uma das entradas da célula de decisão ganhe a disputa e se mantenha nesse estado até que o árbitro conclua o atendimento. Caso contrário, existiria a possibilidade de que, ao atender uma entrada que disputou sozinha, o árbitro mudasse seus sinais internos quando a segunda entrada fosse acionada, acarretando corrupção dos dados transmitidos.

Na possibilidade de ambas as entradas  $Req\_Input\_1$  e  $Req\_Input\_2$  estarem acionadas, temos como sinal vencedor aquele que acionar o seu respectivo sinal interno primeiro, porque a primeira saída ativa inibe a saída referente à outra entrada.

Os sinais internos  $Req\_1'$  e  $Req\_2'$ , da Figura 2.4, representam qual a entrada da célula de decisão que saiu vencedora na disputa e são utilizados como entrada nos circuitos representados na Figura 2.5. A ativação de qualquer um desses sinais representa que houve uma disputa e que um dos sinais foi selecionado para atendimento. Portanto, cabe utilizarmos esses sinais para acionar o sinal  $Req\_Output$ . Na Figura 2.5(a) temos o circuito da porta lógica OR (implementada a partir de uma porta lógica NAND) que utiliza esses dois sinais como entrada. Se qualquer um dos dois sinais estiver ativo, com nível lógico baixo, teremos ou o transistor  $M_{20}$  ou o  $M_{21}$  saturados transmitindo nível lógico alto na saída  $Req\_Output$ . O sinal  $Req\_Output$ , como já explicado, aciona a entrada de uma célula de decisão mais acima na árvore binária e avança a disputa dentro do árbitro. Se nenhum dos dois sinais internos estiver acionado, então ainda não há um resultado de disputa disponível na célula de decisão atual. Portanto, nenhum sinal deve ser acionado para os ramos superiores.

O diagrama esquemático apresentado na Figura 2.5(b) representa o circuito de comunicação entre células da árvore binária. Os sinais de saída  $Ack\_Output\_1$  e  $Ack\_Output\_2$  estão sempre inibidos não importa qual dos sinais internos esteja ativo no momento. Essa condição muda quando a célula receber o sinal  $Ack\_Input$ , vindo de níveis superiores da árvore binária. Esse sinal faz com que o circuito confirme com um sinal de *Acknowledgement* a entrada vencedora. Dessa forma, o sinal  $Ack\_Input$ , em nível alto, passa por um inversor composto pelos transistores  $M_{16}$  e  $M_{17}$  e, agora com nível lógico baixo, curto-circuita  $M_{11}$  e  $M_{12}$  e corta o transistor  $M_{13}$ . Os



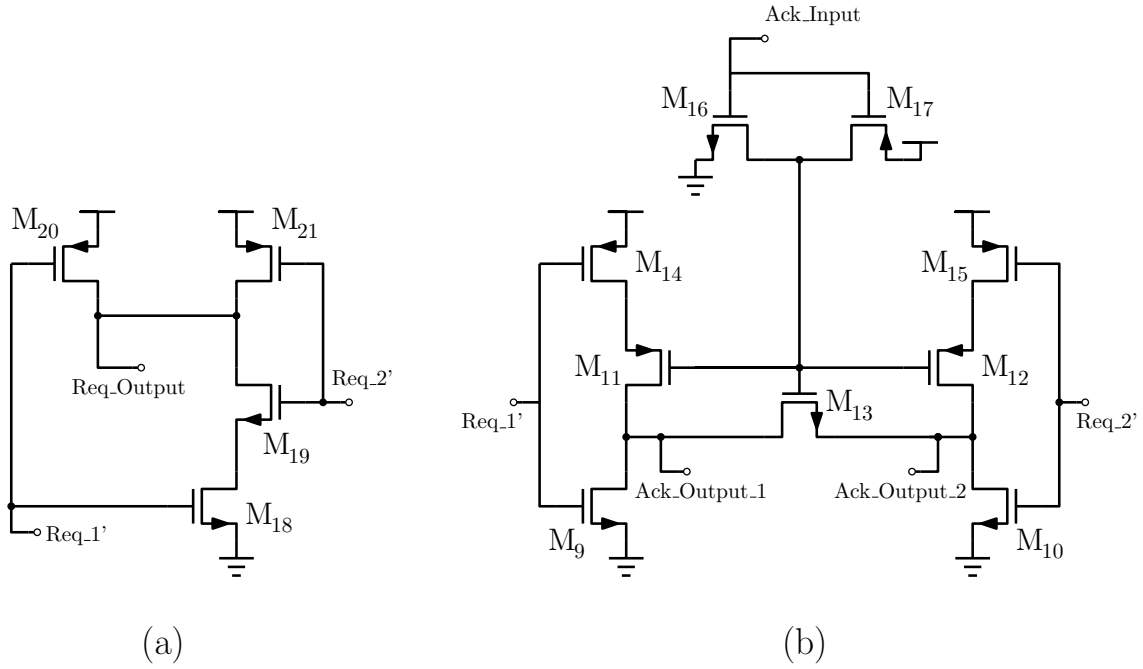


Figura 2.5: Porta Lógica OR implementada a partir de Porta NAND (a) e Diagrama Esquemático do Circuito de Comunicação (b)

sinais internos, Req\_1' ou Req\_2', então acionam os inversores compostos por M<sub>14</sub> e M<sub>9</sub> ou M<sub>15</sub> e M<sub>10</sub>. Como os sinais internos são acionados por nível lógico baixo, sendo invertidos, um dos sinais de Ack\_Output passa para nível lógico alto. Isso é possível para Ack\_Output.1 quando M<sub>14</sub> e M<sub>11</sub> estão curto-circuitados e M<sub>9</sub> cortado. O caso do acionamento de Ack\_Output.2 ocorre ao termos M<sub>15</sub> e M<sub>16</sub> saturados e M<sub>10</sub> cortado.

## 2.3 Adaptação na Entrada do Árbitro

A replicação dos circuitos aqui expostos, e propostos por Mahowald [4], não pode ser feita na forma original e sem alterações no projeto do imageador ATIS. O circuito desenvolvido por Posch [11] segue convenções próprias, que impedem a comunicação com os circuitos lógicos da célula de decisão. Uma adaptação é necessária.

O circuito desenvolvido para o pixel do imageador, que será ilustrado nos próximos capítulos, usa uma lógica de acionamento do *Handshaking Protocol* diferente da lógica dos circuitos em [11], quanto às solicitações de acesso ao barramento externo feitas pelos pixels. O sinal de *Request* é acionado por nível lógico baixo, ao contrário do proposto para os circuitos de entrada do árbitro expostos na Figura 2.4. Essa diferença de nível lógico afeta apenas as raízes da árvore binária, portanto, precisamos acrescentar um inversor em todas as entradas de *Request* presentes nos árbitros, estejam eles coordenando as linhas ou colunas da matriz de pixels.

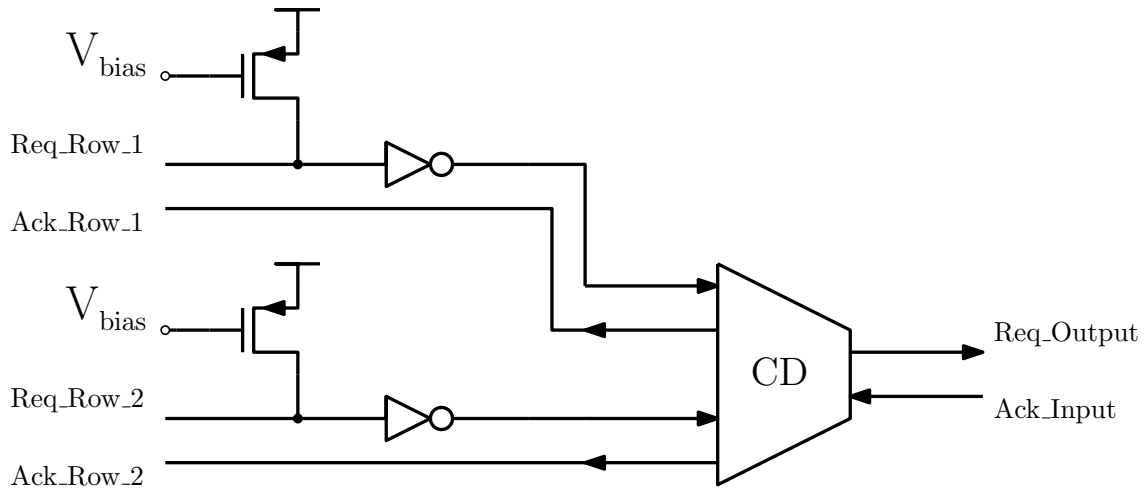


Figura 2.6: Adaptação do Árbitro para o Imageador ATIS

Outra diferença que precisa ser resolvida na sinalização de *Request* no imageador é uma limitação do circuito em variar a tensão de controle do sinal de *Request*. Os circuitos lógicos usados pelos pixels para o acionamento dos sinais de requisição apresentam dois estados distintos: nível lógico baixo, quando o respectivo circuito lógico está sinalizando um pedido; e uma saída em alta impedância, quando o circuito lógico está desativado. O circuito lógico de acionamento de *Request* não é construído de modo a gerar nível lógico alto, então o árbitro não consegue reconhecer quando o mesmo está inativo. Os diagramas esquemáticos dos circuitos originais são apresentados no Capítulo 3 e no Capítulo 4.

A solução encontrada para esse problema foi acrescentar um circuito de *pull-up* a cada uma das entradas de *Request* do árbitro. A alteração individual em cada um dos pixels acarretaria aumento desnecessário da área do imageador e, por compartilharmos os sinais de *Request* dos pixels presentes numa mesma dimensão (horizontal ou vertical), podemos alterar o árbitro de maneira mais simples e com menor número de componentes. Um circuito de *pull-up* é implementado por apenas um transistor polarizado por uma tensão  $V_{bias}$  de forma tal que o nó de dreno fique em nível lógico alto, se a corrente de dreno do transistor não for alta o suficiente. A corrente através do dreno desse transistor aumenta quando um ou mais pixels acionam a sinalização de *Request* em seus circuitos lógicos. Portanto, a ausência dessa corrente de dreno, gerada a partir dos pixels, significa desativação do barramento de requisição.

Com essa adaptação, o circuito das células de decisão, posicionadas na entrada do árbitro, é implementado de acordo com o diagrama esquemático representado na Figura 2.6.

# Capítulo 3

## Sensor de Visão Dinâmica

Uma característica importante dos imageadores retinomórficos é sua capacidade de detectar a variação na incidência de luz em um pixel e determinar se tais variações são relevantes para realizar novas leituras da intensidade de luz nesse mesmo pixel. Essa detecção é possível pela relação existente entre a corrente elétrica gerada no fotodiodo e a incidência de luz sobre ele. Através da medida de variação da incidência de luz o sensor determina em quais pixels a corrente elétrica se manteve estática. Pixels cuja corrente se manteve estática não precisam ser capturados. Por outro lado, o imageador determina a leitura de informações dinâmicas, que são necessárias para se reconstruir o alvo da captura com qualidade.

O sensor de visão dinâmica (DVS), cujo funcionamento é essencial para o presente projeto, tem as características descritas no parágrafo anterior. O circuito DVS detecta a variação da intensidade de luz por meio da variação de tensão de um nó do circuito, e possui uma tensão de referência que determina a sensibilidade do circuito em relação à variação de tensão. A tensão de referência define o quanto é necessário variar a tensão de entrada, de forma que o circuito gere um evento informando que é necessário realizar uma nova captura. Esse controle é fundamental para descartar a estrutura de captura baseada em *frames* e implementar uma configuração assíncrona de sensores de imagem.

Esse capítulo é dedicado a explicar os circuitos que formam o DVS apresentados em [7] e [8] e a demonstrar como os sinais gerados pelo DVS se relacionam com o restante do projeto. Analisamos o circuito do dispositivo DVS em três partes: o fotorreceptor com realimentação, o circuito diferencial com dois capacitores e os comparadores de tensão voltados à geração de eventos.

### 3.1 Fotorreceptor

A implementação de um sensor de imagens tem início na conversão da luz incidente sobre uma determinada região em alguma unidade elétrica mensurável. Os elemen-

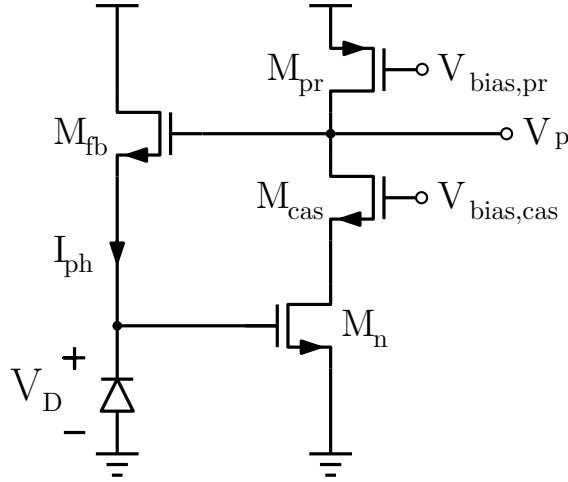


Figura 3.1: Fotorreceptor e Circuito de Realimentação

tos responsáveis por esse processo são os fotodiodos construídos dentro do circuito integrado. Com esses dispositivos, temos uma relação entre a intensidade de luz incidente e sua corrente elétrica, comumente conhecida como fotocorrente.

Realizar medidas diretamente no fotodiodo resultaria em ruído adicionado ao sinal. Portanto, o fotodiodo precisa de um circuito que realize a medida sem que esta comprometa seu funcionamento [12], usualmente denominado fotorreceptor, cujo diagrama esquemático é representado na Figura 3.1. Ao invés de lermos a fotocorrente diretamente, usaremos a tensão na porta do transistor  $M_{fb}$  que é polarizado pela fotocorrente. A intensidade de luz no fotodiodo é representada, por consequência, por um valor de tensão que pode ser medido no nó  $V_p$ . Os transistores  $M_{pr}$ ,  $M_{cas}$  e  $M_n$  formam um circuito amplificador inversor que toma um valor da medida  $V_p$  e realimenta o sinal medido, controlando a tensão no fotodiodo em função desse valor.

Como a fotocorrente é muito pequena, o transistor  $M_{fb}$  está em permanente operação na região de inversão fraca. Esse modo de operação relaciona a corrente de polarização do transistor à diferença de tensão entre o nó de porta e o nó de fonte ( $V_{GS}$ ) de forma exponencial. A fotocorrente  $I_{ph}$  é a corrente de polarização do transistor  $M_{fb}$ , então temos uma relação entre a fotocorrente e a tensão  $V_{GS}$  do transistor. Essa relação é expressa pela Equação (3.1).

$$I_{ph} = I_{DO} e^{\frac{V_{GS} - V_{th}}{n\phi_T}}, \quad (3.1)$$

onde  $I_{DO}$  é fator de inclinação da corrente,  $V_{th}$  é a tensão de limiar,  $n$  é o índice de junção e  $\phi_T$  é a tensão térmica do transistor. Para a tecnologia de circuito integrado utilizada no projeto, temos que a tensão  $V_{th}$  para um transistor tipo n equivale a 0,5 V e que o índice de junção  $n$  é aproximadamente igual a 1. Sob a temperatura ambiente, a tensão térmica  $\phi_T$  vale aproximadamente 26 mV. Observando o diagrama esquemático, vemos que a tensão  $V_{GS}$  do transistor  $M_{fb}$  é a diferença entre a

tensão de saída do circuito,  $V_p$ , e a tensão  $V_D$  no catodo do fotodiodo. Por essa observação podemos escrever a Equação (3.2), com uma relação direta entre variáveis de entrada ( $I_{ph}$ ) e saída ( $V_p$ ).

$$I_{ph} = I_{DO} e^{\frac{V_p - V_D - V_{th}}{n\phi_T}} \quad (3.2)$$

Como o foco do circuito DVS é a percepção da variação da incidência de luz no tempo e a fotocorrente alcança intensidades muito baixas, é importante avaliarmos seu comportamento em uma escala logarítmica [13]. Calculando a função logaritmo nos dois lados da Equação (3.2) e selecionando  $V_p$  como variável em evidência, temos a Equação (3.3). Ela permite uma descrição linearizada da relação entre a tensão  $V_p$  e a fotocorrente dentro de uma faixa de operação do imageador, considerando que os outros elementos da equação não variem. Como  $V_{th}$  é constante, tornar constante a tensão  $V_D$  no fotodiodo permite expressar  $V_p$  como função unicamente de  $I_{ph}$ .

$$V_p = n\phi_T \ln \frac{I_{ph}}{I_{DO}} + V_D + V_{th} \quad (3.3)$$

A função do circuito de realimentação é fixar a tensão no fotodiodo em um valor de terra virtual, acarretando estabilidade para o funcionamento do DVS e transformando a variável  $V_D$  em uma constante. Além disso, a realimentação permite a expansão da faixa dinâmica do fotorreceptor em função do ganho do amplificador inversor. Essa expansão ocorre por aumentarmos a região de operação linear do fotorreceptor. É interessante essa melhora por causa da existência de fotocorrentes muito baixas (5 fA, por exemplo) quando expomos o imageador a um alvo predominantemente escuro. Quando o imageador é exposto a um alvo muito iluminado, as fotocorrentes podem assumir valores seis ou mais ordens de grandeza acima das fotocorrentes mais baixas (por exemplo, 5 nA). Mais detalhes sobre faixa dinâmica são dados no Capítulo 5.

Essa relação entre a tensão de saída  $V_p$  e a variação logarítmica da fotocorrente pode ser vista na Figura 3.2. Nesta simulação do circuito fotorreceptor, há uma variação da fotocorrente dentro da faixa de operação proposta neste trabalho (200 fA a 20 nA). Percebe-se uma relação aproximadamente linear entre a fotocorrente e a variável de saída  $V_p$ .

O transistor  $M_{cas}$  tem a função de *cascode* neste circuito, aumentando a impedância de saída do fotorreceptor e estabilizando o dreno do transistor  $M_n$  contra as variações de tensão na saída do fotorreceptor. A presença do transistor em *cascode* também incrementa o ganho do amplificador inversor que ele compõe.

As tensões de polarização  $V_{bias,pr}$  e  $V_{bias,cas}$  são ajustadas, junto ao dimensionamento dos transistores  $M_{pr}$  e  $M_{cas}$ , de forma a obter uma boa excursão de sinal e estabilidade da tensão  $V_D$  graças ao ganho do amplificador. A polarização por

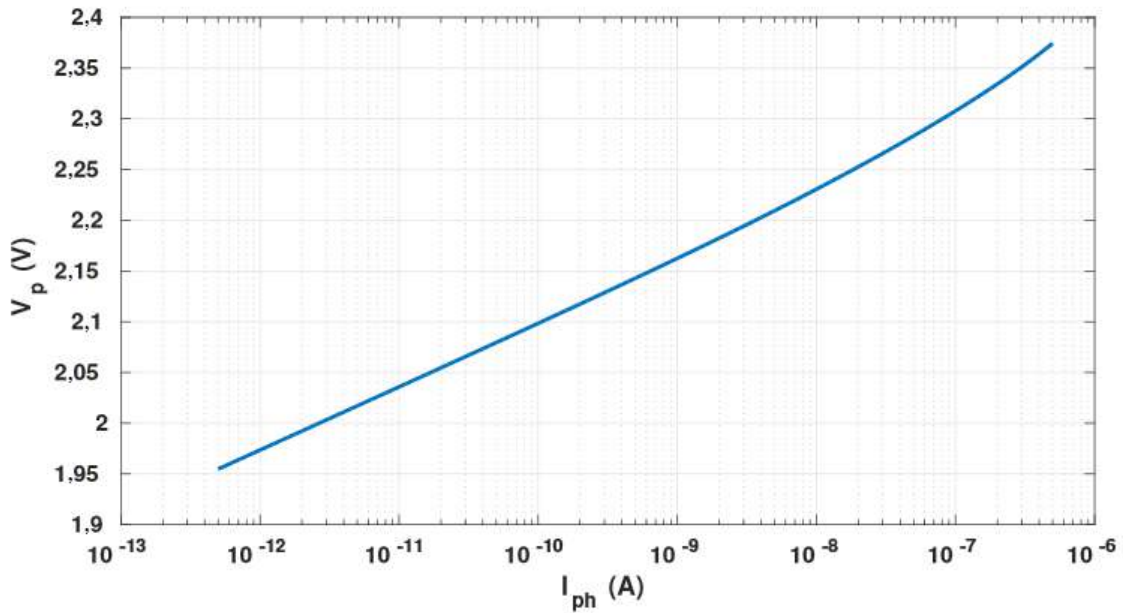


Figura 3.2: Relação entre a Tensão  $V_p$  e a Corrente no fotorreceptor

meio de  $V_{bias,pr}$  também determina a tensão em que o fotorreceptor é fixado. Aumentar a tensão  $V_D$  no fotodiodo proporciona maior estabilidade de funcionamento ao fotorreceptor em situações de intensidade de luz com variações bruscas, ao custo de aumento no consumo de potência. Nos casos com uma tensão  $V_D$  muito baixa, abaixo de 400 mV, as variações de luz acarretam oscilações na tensão no fotodiodo, que afetam a tensão  $V_p$  e podem gerar falsos eventos de captura no DVS.

A saída  $V_p$ , presente na Figura 3.1, é conectada diretamente a um circuito *source-follower*, não presente na figura, que isola o fotodiodo em relação ao circuito diferencial do DVS. O circuito diferencial, como apresentado na Seção 3.2, lida com variações bruscas de tensão, geradas pela operação de capacitores com sinais de frequência alta.

## 3.2 Amplificador Diferencial

A variação da tensão de saída do fotorreceptor é muito pequena. A fotocorrente variando entre 5 nA a 20 nA gera uma diferença de tensão em  $V_p$  de aproximadamente 40 mV. Um circuito capaz de medir a variação deste valor precisa de sensibilidade alta. Uma etapa de amplificação desse sinal proporciona uma implementação mais simples do circuito de medição dessa variação. Além disso, é preciso implementar uma forma de armazenar os valores desta variação, para que eles sirvam para a decisão quanto a acionar, ou não, um evento de captura. O diagrama esquemático do circuito que realiza essas funções é apresentado na Figura 3.3. Trata-se de um am-

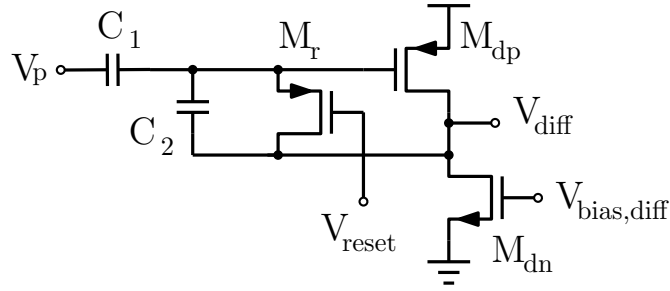


Figura 3.3: Circuito Diferencial do Sinal de Entrada

plificador diferencial que armazena a integral das variações na tensão  $V_p$  e apresenta esse resultado na tensão no nó  $V_{diff}$ .

O capacitor  $C_1$  se comporta como circuito aberto para a componente constante da tensão  $V_p$ , carregando o capacitor  $C_2$  apenas com as componentes alternadas, ou a variação, da tensão  $V_p$ . Com um nó do capacitor  $C_2$  na entrada do amplificador implementado pelos transistores  $M_{dp}$  e  $M_{dn}$ , e outro nó posicionado na saída do mesmo circuito, tem estabelecida uma realimentação. O ganho do amplificador, graças à realimentação, é equivalente à razão entre as capacitâncias  $C_1$  e  $C_2$ . O amplificador tem como entrada a variação na tensão  $V_p$  e resulta numa saída na tensão  $V_{diff}$ . O ganho de tensão do amplificador diferencial é denominado  $A_d$ . O capacitor  $C_2$ , portanto, acumula as variações na tensão  $V_p$ , com um ganho  $A_d$ , e esse valor acumulado é lido no nó  $V_{diff}$ .

Quando a variação na intensidade de luz for suficiente para dar início a um processo de captura, temos a tensão  $V_{diff}$  ultrapassando um determinado limiar. Existe um limiar para a detecção de aumento significativo da tensão  $V_{diff}$  e também existe um limiar para a detecção de redução significativa desta tensão. Quando um limiar for cruzado, a carga acumulada em  $C_2$  é descarregada e altera a tensão  $V_{diff}$  para um valor médio de *reset*, dando início a um novo processo de detecção. A saturação do transistor  $M_r$  descarrega o capacitor  $C_2$ . O controle da tensão  $V_{reset}$  está relacionado ao envio de um evento de detecção pelo DVS, como visto na Seção 3.4.

Como analisado, o circuito diferencial suprime a componente constante da tensão  $V_p$ . Segundo a Equação (3.3), manter constante a tensão  $V_D$  é essencial para o funcionamento linear do circuito DVS, o que justifica o circuito de realimentação no fotorreceptor. Considerando que a variação na fotocorrente passa a ser representada pela tensão  $V_{diff}$  e do ganho  $A_d$ , subtraímos os resultados da Equação (3.3) em dois instantes de tempo subsequentes, de modo a analisar o DVS segundo a Equação (3.4).

$$\begin{aligned}
V_{diff} &= A_d \Delta V_p \\
&= A_d (V_{p_{t+1}} - V_{p_t}) \\
&= n\phi_T A_d \left( \ln \frac{I_{ph_{t+1}}}{I_{DO}} - \ln \frac{I_{ph_t}}{I_{DO}} \right) \\
&= n\phi_T A_d \ln \frac{I_{ph_{t+1}}}{I_{ph_t}}
\end{aligned} \tag{3.4}$$

Uma conclusão importante tirada da Equação (3.4) é que a tensão  $V_{diff}$  é associada à variação relativa da fotocorrente. Isso significa que variações na fotocorrente em regiões mais escuras, com  $I_{ph}$  de baixa intensidade, causam uma alteração maior na tensão  $V_{diff}$  do que variações na fotocorrente em regiões de alta intensidade de luz, que apresentam fotocorrentes muito mais altas. Relativamente, é a mesma variação na fotocorrente detectada. Entretanto, o impacto das variações na tensão  $V_{diff}$  é diferente por questão do denominador menor. Com um denominador pequeno, que é a fotocorrente no instante da última detecção ( $I_{ph_t}$ ), temos que mesmo pequenas alterações na fotocorrente atual ( $I_{ph_{t+1}}$ ) impactam no valor de tensão de saída. Isso distribui um pouco a sensibilidade do circuito entre luminosidades mais baixas e mais altas porque ameniza o impacto que alvos muito iluminados causam no imageador. Como regiões claras têm maior intensidade de fotocorrente, elas disparam eventos com maior rapidez no circuito de captura de nível de cinza e tendem a sobrecarregar os barramentos de comunicação externos, em oposição às regiões mais escuras.

Dessa forma, o DVS compensa problemas que ocorrem nos dois extremos de intensidade de luz. O circuito tem uma sensibilidade amenizada na região clara, onde haveria tendência a uma sobrecarga de eventos. Nas regiões escuras, de baixa intensidade e menor probabilidade de eventos, tem sua sensibilidade aumentada.

A tensão de polarização  $V_{bias,diff}$  regula o valor no qual a tensão  $V_{diff}$  é colocada a cada descarga do capacitor  $C_2$  pelo transistor  $M_r$ . Esse valor é importante principalmente para o comportamento dos circuitos comparadores, explicado na Seção 3.3, estabelecendo a tensão média ao redor da qual são definidos os limiares para acionamento dos eventos de detecção. Um valor adequado dessa tensão importa para alcançar uma sensibilidade adequada, onde sensibilidade é, neste caso, definida como a variação relativa, na fotocorrente, suficiente para acionar um evento. Uma vez que a tensão  $V_{diff}$  pode excursionar tanto positiva quanto negativamente até acionar os limiares, a tensão média de *reset* em  $V_{diff}$  importa. Uma tensão de *reset* inadequada pode impedir valores equivalentes de sensibilidade para variações negativas e positivas.



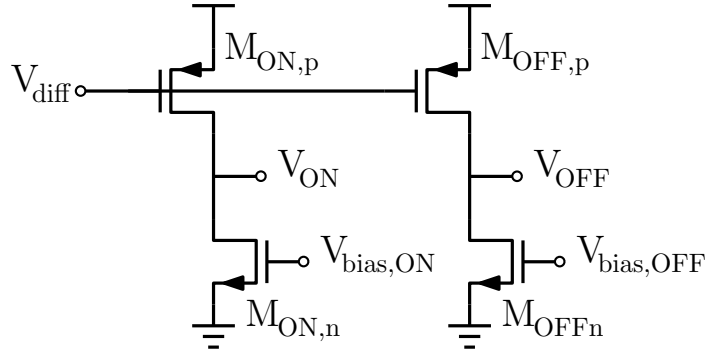


Figura 3.4: Circuito Comparador da Tensão Diferencial

### 3.3 Comparadores

Com a tensão  $V_{diff}$  representando a variação relativa acumulada da luz desde o último evento, é preciso um circuito que identifique quando essa tensão ultrapassa determinados valores. A variação pode ser positiva ou negativa. Há um limiar para as variações positivas e outro limiar para variações negativas. O resultado é o mesmo para as duas situações: é detectada uma alteração significativa na intensidade da luz e um evento precisa ser gerado para sinalizar a mudança. Essa é a funcionalidade que resta implementar no circuito DVS: um circuito que indique quando a tensão de referência,  $V_{diff}$ , varia além de limites pré-definidos.

Dois comparadores de tensão que usam a tensão  $V_{diff}$  como entrada implementam essa função. Os comparadores de tensão no circuito DVS são implementados por dois pares de transistores, como na Figura 3.4. Cada par é polarizado por uma fonte de tensão, e assim essas duas fontes de tensão são denominadas  $V_{bias,ON}$  e  $V_{bias,OFF}$ , que servem para determinar o limiar usado pelo respectivo comparador. O ajuste dessas tensões de polarização varia a sensibilidade do circuito DVS quanto à variação na intensidade de luz.

Em resumo, cada tensão de polarização nesta estrutura estabelece um valor de limiar inferior ou superior para a variação de  $V_{diff}$ . Se  $V_{diff}$  ultrapassar qualquer um dos limiares, então a saída do respectivo comparador muda, o que corresponde à sinalização de um evento em  $V_{ON}$  ou  $V_{OFF}$ . A geração de um evento nestes comparadores acarreta o acionamento do sinal  $V_{reset}$  no circuito diferencial e, assim, a tensão  $V_{diff}$  é reiniciada em um valor médio pré-determinado. O valor de  $reset$  de  $V_{diff}$  é centralizado entre os dois limiares.

Nestes comparadores, ocorre competição entre a corrente de dreno do transistor canal p e a corrente de dreno do transistor canal n. O nó de sinalização de evento, seja  $V_{ON}$  ou  $V_{OFF}$ , é conectado à porta de um outro transistor pertencente ao circuito periférico, que transmite essa tensão adiante como um evento. Apesar do isolamento de corrente, o nó de porta de um transistor é capacitivo e pode ser carregado ou não

pelo saldo de corrente do par de MOSFETs. Quando a corrente no transistor canal p (canal n) for superior, o nó de saída será carregado (descarregado).

A variação de  $V_{diff}$  é oposta à variação da intensidade de luz. Quando  $V_{diff}$  diminui, temos um aumento da intensidade de luz e, se a variação for grande o bastante, então a tensão  $V_{ON}$  é acionada. A queda da tensão  $V_{diff}$  acarreta aumento da tensão entre a fonte e a porta de  $M_{ON,p}$ . O aumento da corrente no transistor  $M_{ON,p}$  em relação a  $M_{ON,n}$  causa a carga do nó capacitivo e o acionamento de  $V_{ON}$ . Esse sinal dispara o transistor canal n presente no circuito periférico e, assim, transmite o evento de detecção. O circuito periférico e o transistor canal n,  $M_{a1}$ , são explicados na Seção 3.4.

Quando a tensão  $V_{diff}$  aumenta, temos uma diminuição da incidência de luz e tendemos a obter um evento pela tensão  $V_{OFF}$ . O aumento de  $V_{diff}$  diminui a tensão entre a fonte e a porta de  $M_{OFF,p}$ , também reduzindo sua corrente de polarização. Ocorre então uma predominância da corrente em  $M_{OFF,n}$  que descarrega o nó capacitivo. A tensão  $V_{OFF}$ , portanto, diminui. Esse nó está conectado a um transistor canal p do circuito periférico e a queda da tensão  $V_{OFF}$  aciona sua porta. O funcionamento desse circuito periférico é explicado na Seção 3.4, mas a conclusão dessa alteração de tensão é a sinalização do evento de detecção.

Os transistores presentes nesses dois pares de comparadores são dimensionados igualmente, de modo a ter uma mesma transcondutância e reduzir efeitos de descasamento acarretados pela produção do circuito. Os transistores  $M_{ON,p}$  e  $M_{OFF,n}$  são os responsáveis pela carga ou descarga dos respectivos nós de saída e, portanto, do acionamento de seus respectivos eventos. Para proporcionar maior corrente a esses componentes, e acionar os respectivos eventos com menor transiente, ambos são implementados por duplicidade de porta. Isso significa que dois transistores idênticos são utilizados em paralelo para implementar cada um desses dispositivos ( $M_{ON,p}$  e  $M_{OFF,n}$ ).

A determinação das tensões de limiar no circuito comparador também é importante em relação ao equilíbrio entre sensibilidade no DVS e o número de eventos que a variação no alvo capturado é capaz de gerar. Limiares muito próximos da tensão de *reset* em  $V_{diff}$  proporcionam uma boa sensibilidade, mas em contrapartida levam a um excessivo número de eventos disparados. Existe uma troca entre sensibilidade e saturação do barramento de comunicação externo ao circuito DVS. A saturação da comunicação no imageador leva o sensor a perder sua capacidade de capturar eventos a uma taxa alta. Se o número de disparos for excessivamente alto, então a latência introduzida nas capturas prejudica a qualidade da imagem capturada, o que se torna bastante visível em sua reconstrução.

Podemos observar, no gráfico apresentado na Figura 3.5, como a sensibilidade varia de acordo com a tensão de polarização  $V_{bias,ON}$ . Nas simulações deste projeto,

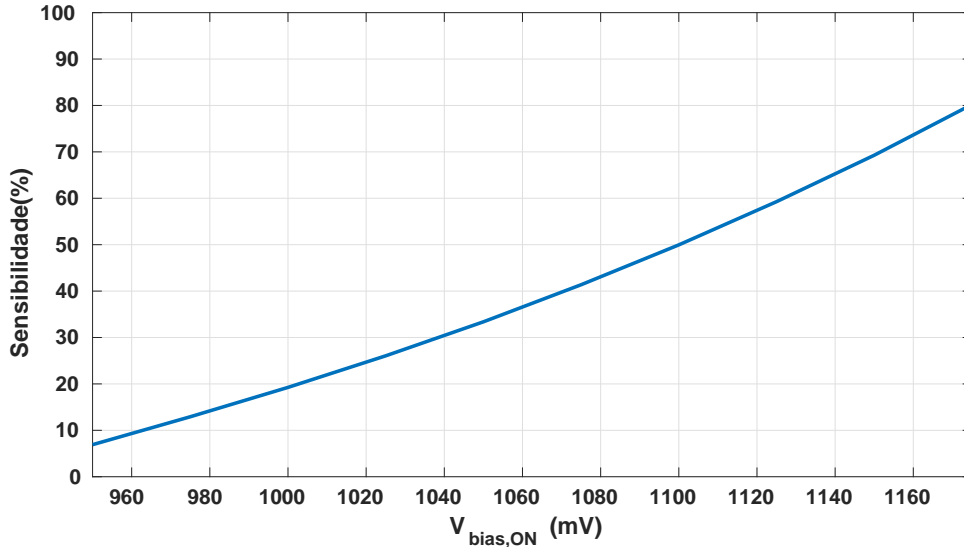


Figura 3.5: Variação da Sensibilidade às Variações Positivas, em Função de  $V_{bias,ON}$

um valor médio de 18% foi utilizado para a sensibilidade referente a variações positivas do DVS. Esse valor evitou a saturação da comunicação referente ao DVS com requisições em excesso. A relação entre a sensibilidade e os disparos em excesso é abordada no Capítulo 6. A mesma análise pode ser vista na Figura 3.6 para variações negativas no DVS. Foi empregada uma sensibilidade de 14% para os eventos de variação decrescente durante as simulações, o que estabelece um comportamento quase simétrico com os eventos positivos.

Ao utilizar um imageador DVS como detector de variações na intensidade de luz incidente, configuramos seu funcionamento a partir do valor de sensibilidade do circuito. Sensibilidade, neste projeto, é o termo definido para determinar o quanto a intensidade de luz precisa variar para acionar um evento de detecção. A variação da intensidade de luz é medida em relação ao valor da última captura do sensor e, portanto, é expressa em uma porcentagem.

Quando é citado uma sensibilidade na ordem de 10%, por exemplo, o valor percentual representa o quanto a intensidade de luz necessita variar, positivamente ou negativamente em relação a última captura, para que um evento seja gerado no circuito DVS. Uma baixa sensibilidade, usada no sentido usado neste texto, indica que o imageador está configurado para gerar eventos a partir de pequenas variações de luz. À medida que a sensibilidade "aumenta" (também no sentido deste texto), o circuito progressivamente requisita variações cada vez maiores para habilitar eventos.

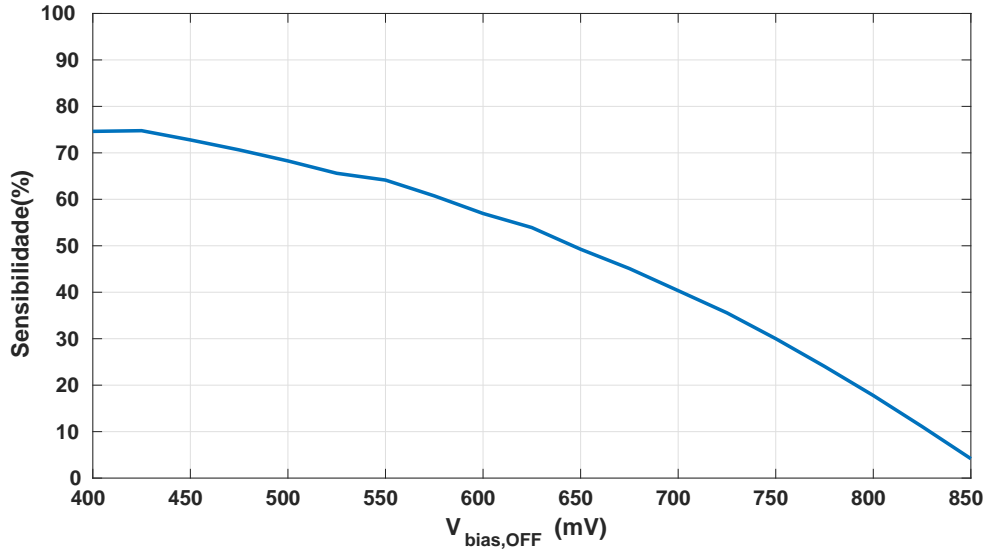


Figura 3.6: Variação da Sensibilidade às Variações Negativas, em Função de  $V_{bias,OFF}$

### 3.4 Circuitos AER Periféricos

Todo o funcionamento interno do circuito DVS foi apresentado e seus esquemáticos, explicados. Entretanto, o circuito ainda necessita de detalhamento quanto aos sinais de controle do *Handshaking Protocol* para a comunicação com os árbitros dedicados ao dispositivo DVS. Um circuito para acionar o sinal  $V_{reset}$  depois que um evento de detecção tiver sido transmitido também é necessário para concluir esta parte do projeto.

Os diagramas esquemáticos dos circuitos propostos por Posch [8] para desempenhar a implementação do *Handshaking Protocol* são mostrados na Figura 3.7. Há nesses diagramas esquemáticos funcionalidade para emitir sinais de *Request* em ambas dimensões (horizontal e vertical), separados conforme a origem do evento. Dessa forma, podemos distinguir se um evento disparado no DVS representa um aumento ( $V_{reqON.col}$ ) ou diminuição ( $V_{reqOFF.col}$ ) na intensidade de luz.

A Figura 3.7(a) apresenta o diagrama esquemático para a implementação do protocolo de comunicação referente a eventos positivos. O sinal  $V_{ON}$ , que é uma das saídas dos comparadores de tensão, quando é acionado, satura o transistor  $M_{a1}$  que leva  $V_{req-row}$  para nível lógico baixo. Por definição, nível lógico baixo é o nível ativo para sinais de *Request* neste projeto. Para realizar a mesma função em eventos decrescentes, na Figura 3.7(b), a tensão  $V_{OFF}$  polariza a porta da parte canal p de um comparador de corrente composto pelos transistores  $M_{b1p}$  e  $M_{b1n}$ . A tensão  $V_{ioff}$  funciona como polarização para a corrente que compete com a corrente gerada pelo sinal de evento  $V_{OFF}$ . É o mesmo comportamento dos comparadores de tensão que controlam seus respectivos nós de saída capacitivos (Seção 3.3). Quando  $V_{OFF}$

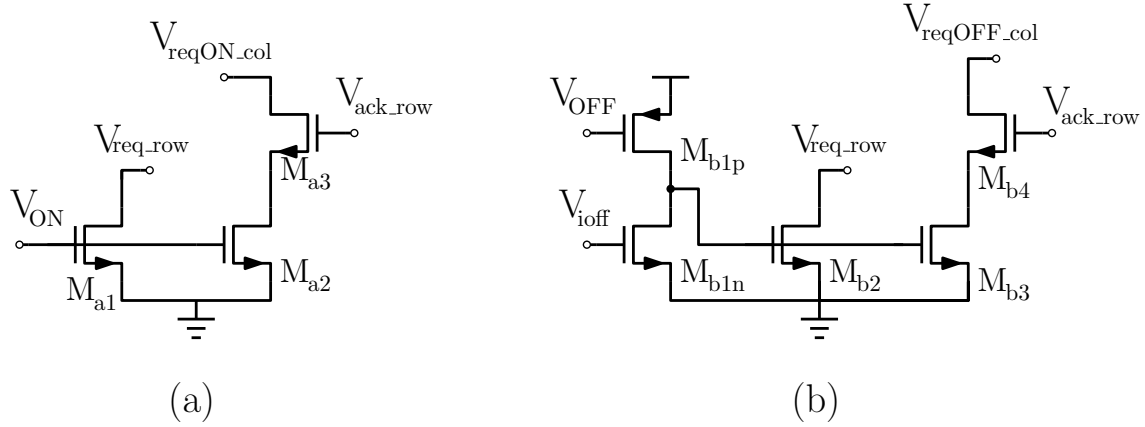


Figura 3.7: Circuito Periférico do DVS para AER: (a) Comunicação de Eventos Positivos; (b) Comunicação de Eventos Negativos

é acionado, com nível lógico baixo, ele aumenta a corrente no transistor  $M_{b1p}$  e carrega o nó capacitivo presente na porta do transistor  $M_{b2}$ . Com a carga desse nó, o transistor  $M_{b2}$  satura e leva nível lógico baixo para o sinal  $V_{req\_row}$ . Os sinais  $V_{req\_row}$  presentes na Figura 3.7(a) e na Figura 3.7(b) têm a mesma nomenclatura porque são nós curto-circuitados.

A resposta do árbitro é o acionamento do sinal *Acknowledgement* de linha,  $V_{ack\_row}$ , que satura os transistores  $M_{a3}$  e  $M_{b4}$ . Um sinal de *Request* é enviado para o árbitro de coluna através de qualquer um dos eventos ativos no momento: se for um evento positivo, os transistores  $M_{a3}$  e  $M_{a2}$  entram em saturação; se for negativo, os transistores  $M_{b4}$  e  $M_{b3}$  ficam curto-circuitados. Nas duas possibilidades o nível lógico no sinal de comunicação respectivo,  $V_{reqON\_col}$  ou  $V_{reqOFF\_col}$ , é levado para baixo.

Existe uma diferença, que merece destaque, entre [8] e a implementação de circuitos AER neste projeto. Além das adaptações determinadas no Capítulo 2 sobre diferenças de definições teóricas, nos circuitos periféricos do DVS precisamos modificar o funcionamento por causa de um comportamento distinto no acionamento de requisições de linha. Os sinais de *Request* neste projeto têm como padrão o envio de um impulso de tensão no barramento de comunicação com a arbitragem. Entretanto, no circuito proposto em [8], a implementação apresentada para acionamento do sinal  $V_{req\_row}$  não tem esse comportamento. O formato de onda em  $V_{ON}$ , durante o processo de acionamento, é o de uma rampa de tensão, que sobe em direção ao instante de disparo do pixel. Existe um problema nesse formato, pois, se um grupo de pixels compartilha um barramento de requisições ao árbitro, como nesse projeto, então essas rampas de tensão produzem um aumento gradativo na corrente drenada pelos transistores que acionam  $V_{req\_row}$ . Essas correntes somadas causam uma solicitação falsa ao árbitro de linha, ou seja, geram um evento falso. Esse evento ocorre antes que qualquer um dos pixels envolvidos esteja pronto para

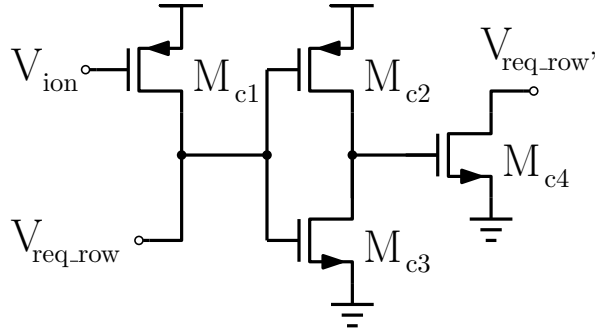


Figura 3.8: Adaptação do Circuito Interno ao DVS para Acesso Periférico

completar o ciclo de detecção. Portanto, o árbitro de linha atende o pedido falso da requisição com um sinal  $V_{ack\_row}$  e fica paralisado neste estado esperando que o evento de detecção ocorra. Entretanto, o evento de detecção não ocorre porque os sinais  $V_{ON}$  ou  $V_{OFF}$  não estão prontos para acionar seus sinais de requisição de coluna ( $V_{reqON\_col}$  e  $V_{reqOFF\_col}$ ). Outros eventos que ocorram nesse intervalo de tempo não serão atendidos, aumentando a latência introduzida no imageador.

Esse comportamento impossibilita o compartilhamento de sinais para comunicação com a arbitragem do circuito e exigiu, em nosso caso, uma adaptação nos circuitos para acesso periférico internos a cada um dos dispositivos DVS presentes no imageador ATIS. Esse circuito pode ser observado na Figura 3.8 e acarreta aumento de quatro transistores e uma fonte de polarização para cada circuito DVS incluso no projeto. Entretanto, essa modificação altera o formato do sinal de *Request* para o árbitro de linha: de uma rampa de tensão acionando a porta de um transistor para uma rampa de tensão acionando um comparador de tensão que dispara no ápice da rampa. Dessa forma, é possível compartilhar o sinal de quantos pixels forem necessários em um mesmo barramento, sem que o envio de eventos seja prejudicado.

A adaptação é feita com um transistor  $M_{c1}$  polarizado para compor um comparador de tensão junto aos transistores canal n responsáveis pelo acionamento dos antigos sinais  $V_{req\_row}$  na Figura 3.7. Essa comparação é polarizada por  $V_{ion}$  de forma que a descarga do nó conectado às portas de  $M_{c2}$  e  $M_{c3}$  ocorre apenas quando a rampa de tensão alcançar seu ápice. Como os transistores  $M_{c2}$  e  $M_{c3}$  formam um inversor, há nível lógico alto na porta do transistor  $M_{c4}$ , saturando-o. No fim, a rampa de tensão original produz um pulso de sinal  $V_{req\_row'}$  apenas quando o evento de detecção realmente está para ser gerado. Com esse circuito implementado internamente em cada DVS, o compartilhamento dos sinais de requisição ao árbitro é feito sem introduzir erros no funcionamento do imageador.

Quando o árbitro de coluna responde ao circuito DVS com uma confirmação acionando o sinal  $V_{col\_ack}$ , o ciclo de operação do DVS está terminado. Os sinais de *Acknowledgement* em ambas as dimensões, recebidos, representam que o endereço do pixel foi enviado através do barramento de comunicação externo referente a eventos

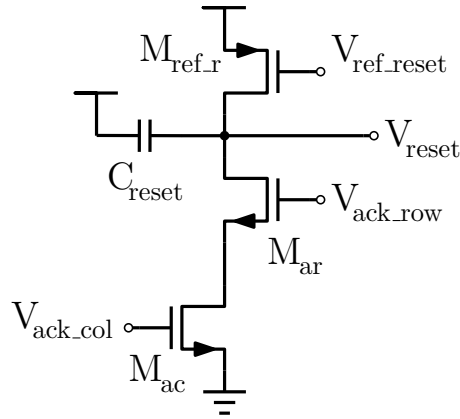


Figura 3.9: Circuito Interno ao DVS para Implementação de *Reset*, a partir de Sinais Periféricos

do DVS. Esse evento gerado no DVS é enviado para o circuito de captura do nível de cinza e isso dá início a um processo de amostragem da intensidade da luz, como explicado no Capítulo 4.

Com o ciclo de detecção terminado, o sinal  $V_{reset}$  precisa ser acionado no circuito diferencial. Na Figura 3.9 temos o diagrama esquemático do circuito responsável por essa função. Os sinais  $V_{col\_ack}$  e  $V_{row\_ack}$  estão ativos, ambos acionados por nível lógico alto, e dessa forma temos os transistores  $M_{ac}$  e  $M_{ar}$  saturados. O sinal  $V_{reset}$ , que anteriormente estava mantido em nível lógico alto (desativado) pelo transistor  $M_{ref.r}$ , passa para nível lógico baixo e aciona o transistor  $M_r$  no circuito diferencial (Figura 3.3). O capacitor  $C_{reset}$  é conectada entre o sinal  $V_{reset}$  e a fonte de alimentação do circuito, para reduzir a velocidade com que o sinal de *reset* é chaveado. Um impulso de tensão nesse sinal pode prejudicar o funcionamento do DVS, por não permitir a descarga completa de  $C_2$ . Dessa forma, a tensão  $V_{diff}$  é reiniciada e o DVS está liberado para detectar uma nova variação na intensidade de luz.

# Capítulo 4

## Sensor de Imagem Assíncrono Baseado no Tempo

O imageador DVS detecta variações relativas da luz sobre um pixel, sejam elas positivas ou negativas. Entretanto, o DVS não mede a intensidade de luz em si e, portanto, não é possível realizar capturas com o DVS. A proposta do imageador ATIS é utilizar o pixel DVS como um elemento de detecção que dá início ao processo de captura. O evento gerado no pixel DVS, que sinaliza a existência de uma variação significativa na luz, é usado como sinal de reset em um circuito dedicado a captura de níveis de cinza. Cada circuito de captura e cada DVS possui seu próprio fotodiodo.

O imageador ATIS não funciona com a usual captura de *frames* para compor um vídeo. O ATIS possui um sinal interno a cada pixel que define os instantes de captura de forma assíncrona. Nessa nova lógica de composição de vídeos, cada pixel realiza uma captura quando o seu respectivo DVS indicar que houve variação na incidência de luz considerada grande o suficiente para justificar uma captura. Com esse modelo de funcionamento, o imageador ATIS captura e envia dados através de um barramento de comunicação externo somente quando o valor do pixel não for redundante. Dessa forma, capturas desnecessárias não serão realizadas e economizamos energia.

A implementação do imageador ATIS requer o uso de circuitos complexos em cada pixel. Consequentemente, o ATIS possui um número elevado de componentes se compararmos com imageadores APS tradicionais. O pixel ATIS é estruturado como no diagrama de blocos apresentado na Figura 4.1. Cada pixel do imageador ATIS apresenta internamente um circuito do pixel DVS, apresentado no Capítulo 3. Além disso, o pixel ATIS possui um circuito comparador de tensão de alta velocidade, circuitos chaveadores para controlar limiares de tensão e um circuito lógico que implementa tanto uma máquina de estados quanto os sinais de controle do *Handshaking Protocol*.



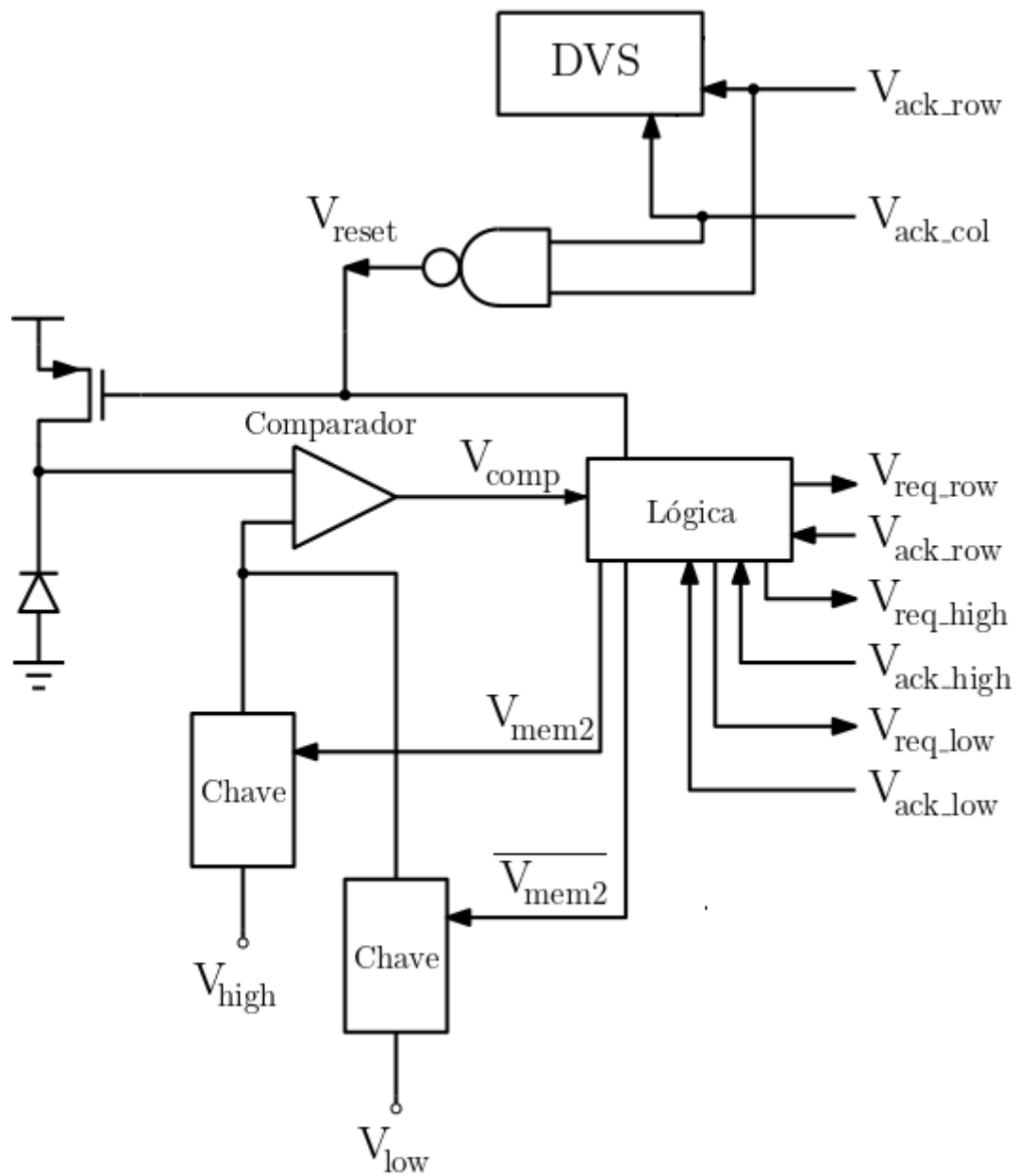


Figura 4.1: Diagrama de Blocos do Pixel ATIS

## 4.1 Comparador de Tensão

O processo de captura da imagem em imageadores APS tradicionais tem início quando um sinal de *reset* carrega os fotodiodos da matriz. Após o *reset*, a tensão sobre cada fotodiodo é aproximadamente igual à tensão de alimentação. Devido à imprecisão do processo de fabricação, no entanto, a tensão sobre cada fotodiodo varia ao longo da matriz. Após desativarmos o sinal de *reset*, o fotodiodo começa a descarregar de acordo com a sua fotocorrente, cujo valor é proporcional à intensidade de luz sobre o pixel. Alta intensidade de luz resulta em uma alta fotocorrente, enquanto uma baixa intensidade de luz incidente produz uma pequena fotocorrente. A descarga no fotodiodo continua até um determinado tempo de exposição, denominado tempo de integração. Ao fim do tempo de integração, o valor de tensão sobre cada um dos pixels da matriz é lido, quantizado e armazenado. A diferença entre a tensão do fotodiodo imediatamente após o *reset* e a tensão medida no fim do tempo de integração, ou seja, o quanto o pixel descarregou ao longo do tempo de integração, representa o nível de cinza naquele pixel. O tempo de integração define o instante em que todos os pixels da matriz serão amostrados. Esse tempo é definido de acordo com a taxa de quadros por segundo desejada.

O imageador ATIS proposto não requer sinais de sincronismo externos. Por consequência, não é possível o uso do mesmo tempo de integração em cada pixel. Cada pixel ATIS tem a seu dispor o tempo que for necessário para descarregar, desde que um novo ciclo de captura não seja acionado. Novos eventos de detecção no dispositivo DVS reiniciam o processo de captura em andamento. A mudança de um processo síncrono para um assíncrono no imageador garante independência de operação a cada pixel.

A intensidade de luz do pixel ATIS é medida pelo intervalo de tempo em que a tensão no fotodiodo cruzou dois limiares de tensão distintos. A análise é idêntica à utilizada em imageadores APS relacionando o tempo de descarga do fotodiodo à intensidade de luz incidente. Imageadores APS trabalham com diferenças de tensão dentro de uma janela de tempo fixa, enquanto imageadores ATIS trabalham com diferenças no tempo dentro de uma variação constante de tensão.

Os limiares de tensão propostos para o funcionamento da captura de imagens são ajustáveis. O limiar de tensão alta, chamado  $V_{high}$ , é estabelecido, normalmente, próximo à tensão de alimentação do circuito. O segundo limiar, chamado  $V_{low}$ , é posicionado em qualquer valor de tensão abaixo de  $V_{high}$ , porém essa tensão deve ser maior que o limiar de operação dos transistores MOS para garantir o funcionamento das chaves. Uma melhor sensibilidade a pequenas variações de fotocorrente é obtida quanto maior a diferença entre  $V_{high}$  e  $V_{low}$ , pois a diferença de tempo em si é maior, permitindo maior faixa dinâmica. Por esse motivo, durante a simulação do

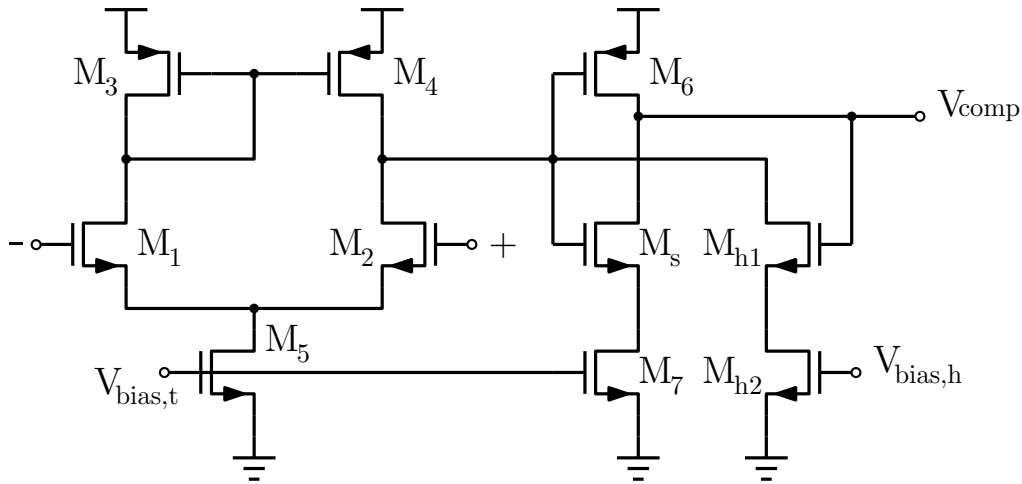


Figura 4.2: Comparador de Tensão com Histerese

imageador ATIS, utilizou-se o maior valor possível para essa diferença.

O *correlated double sampling* (CDS) é uma técnica muito utilizada em sensores APS que tem como objetivo reduzir o ruído de padrão fixo (*Fixed Pattern Noise* - FPN). Uma adaptação do CDS com leituras de tempo é implementada, no caso do imageador ATIS, ao realizar a diferença entre os instantes de tempo em que a tensão no fotodiodo cruzou os limiares. Em um imageador APS usual, a técnica utiliza a tensão logo após o *reset* e a tensão dada após o fim do tempo de integração. Devido à diferença, mesmo que a tensão inicial de cada pixel seja diferente, o valor considerado descarta essa flutuação, pois o importante é o quanto a tensão diminuiu.

Implementar o imageador ATIS, portanto, exige um circuito que sinalize quando a tensão no fotodiodo cruza um determinado limiar de tensão. Um comparador de tensão é a solução proposta, que tome a tensão no fotodiodo como medida e compare com uma tensão de limiar. Com dois limiares de tensão necessários para a implementação do CDS, o circuito precisa ter um chaveamento sobre qual tensão é usada como referência para a comparação. Um circuito comparador com saída de tensão resistente a oscilações decorrentes de chaveamento em alta velocidade satisfaz esse requisito de projeto. Além disso, como a captura de imagem ocorre em um intervalo temporal muito pequeno, o circuito comparador precisa responder a variações em sua entrada com mínimos transientes, reduzindo a latência inserida na geração de eventos a partir de sua leitura. O circuito proposto para o comparador de tensão é estudado em [14].

O diagrama esquemático do comparador de tensão é apresentado na Figura 4.2. Ele implementa um amplificador operacional em dois estágios, considerando os transistores de  $M_1$  a  $M_7$ . Quando o fotorreceptor permanece descarregado, temos que o comparador de tensão está inativo. Isso significa que a tensão na porta de  $M_2$  é maior que em  $M_1$  e que o nó capacitivo presente no dreno de  $M_2$  é descarregado. A

descarga do nó capacitivo corta o transistor  $M_s$  e impede a corrente de dreno em  $M_7$ , economizando potência. Da mesma forma, o transistor  $M_6$  é acionado e eleva o nível lógico na saída  $V_{comp}$  para nível alto. O comparador de tensão permanece com sinal  $V_{comp}$  acionado durante seu estado inativo.

Entretanto, quando carregamos o fotodiodo para dar início a uma captura, o comparador de tensão precisa permanecer ativo para detectar o momento em que a tensão medida ultrapassa o limiar de tensão. Nessa situação, temos que a tensão na porta de  $M_1$  é maior que em  $M_2$ . A corrente em  $M_1$ , com maior intensidade, é copiada por um espelho de corrente composto por  $M_3$  e  $M_4$  e carrega o nó capacitivo no dreno de  $M_2$ . O nó capacitivo carregado corta o transistor  $M_6$  e satura  $M_s$ , o que permite a corrente de dreno em  $M_7$  alterar a tensão  $V_{comp}$  para nível lógico baixo. A partir do momento que a tensão no fotodiodo cruzar o limiar de tensão e, por consequência, a tensão na porta do transistor  $M_1$  for menor que em  $M_2$ , o sinal  $V_{comp}$  troca de estado para nível lógico alto. Desta forma, o comparador de tensão passa a ficar inativo até que haja uma mudança de tensão de limiar para um valor mais baixo, como quando trocada a tensão  $V_{high}$  para  $V_{low}$ , ou quando houver uma nova captura e a tensão no fotodiodo for carregada.

Os transistores  $M_{h1}$  e  $M_{h2}$  implementam o comportamento de histerese no circuito comparador. A histerese propicia que, uma vez que a saída  $V_{comp}$  seja acionada, não há como oscilações e ruído na tensão do fotodiodo interferirem no resultado do comparador. Isso é possível com a saturação do transistor  $M_{h1}$  pelo sinal  $V_{comp}$ , permitindo que a corrente drenada por  $M_{h2}$  descarregue ainda mais o nó capacitivo no dreno de  $M_2$ . Portanto, a tensão no fotodiodo precisa de uma variação muito maior para representar uma mudança no estado do comparador. Essa variação necessária para suplantarmos o comportamento de histerese é relacionada à tensão de polarização  $V_{bias,h}$ . Essa tensão é escolhida de forma a garantir que, para superar a histerese, precisa ocorrer uma redução nos limiares de tensão, de  $V_{high}$  para  $V_{low}$ , ou que o fotodiodo seja carregado.

Na Figura 4.3 é apresentado o comportamento simulado do comparador ao sair do estado inativo por causa da carga na tensão do fotodiodo. O comparador simulado compara a tensão no fotodiodo, apresentada no gráfico superior, com uma tensão de limiar de 2 V. Há uma demarcação nos gráficos delimitando o exato instante de tempo em que a tensão no fotodiodo cruza o limiar de tensão proposto. O circuito do comparador apresenta um transiente de 1 ns para desativar a tensão de saída, como visto no gráfico inferior. Um transiente mais lento neste contexto poderia acarretar em erros no funcionamento do circuito lógico do pixel ATIS.

Quanto ao comportamento do comparador de tensão em relação à tensão do fotodiodo cruzar um dos limiares de tensão, temos os resultados da simulação elétrica expostos na Figura 4.4. O gráfico superior apresenta a descarga na tensão do fotodi-

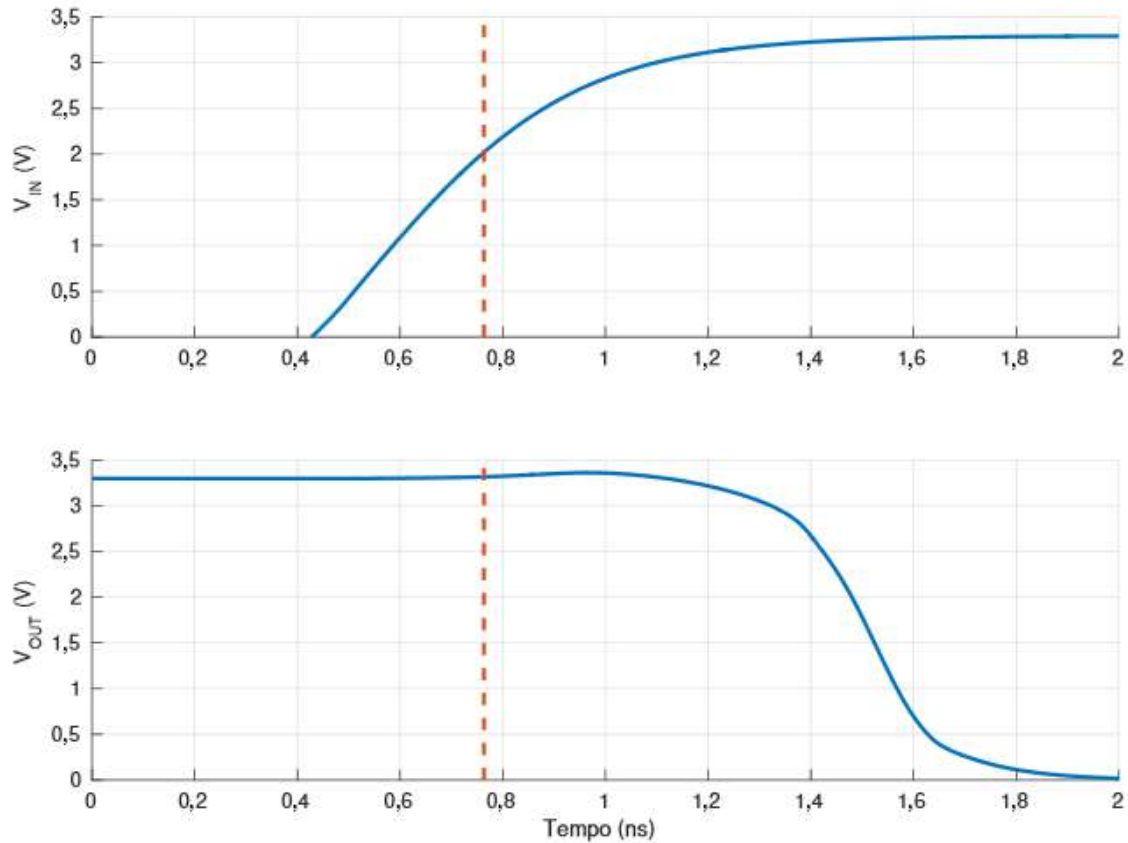


Figura 4.3: Desativação da Saída do Comparador de Tensão pela Carga do Fotodiodo

odo com uma fotocorrente de 1 nA. Novamente, há uma linha tracejada nos gráficos representando o momento em que a tensão no fotodiodo cruza o limiar de 2 V. A saída do comparador, como visto no gráfico inferior, apresenta um transiente de 6 ns para ter seu nível lógico acionado. Um pouco mais lento do que o transiente de supressão do circuito comparador. Entretanto, como esse atraso é inserido tanto na geração do evento de cruzamento do limiar alto quanto no evento de cruzamento do limiar baixo, seu impacto na qualidade final da imagem é desprezível.

## 4.2 Circuito Lógico

A captura de uma imagem pelo imageador ATIS, como já explicado, se baseia na geração de três eventos. O primeiro evento tem origem no dispositivo DVS incluído no pixel, que gera um evento quando detecta uma variação considerada significativa pelo circuito para a composição da imagem. Esse evento já foi apresentado no Capítulo 3 e, no circuito de captura do nível de cinza exposto no capítulo atual, é representado pelo acionamento em nível lógico baixo do sinal de controle  $V_{reset}$ . Após esse evento no DVS, são esperados mais dois eventos que representam a descarga de tensão no fotodiodo dedicado a captura de imagem.

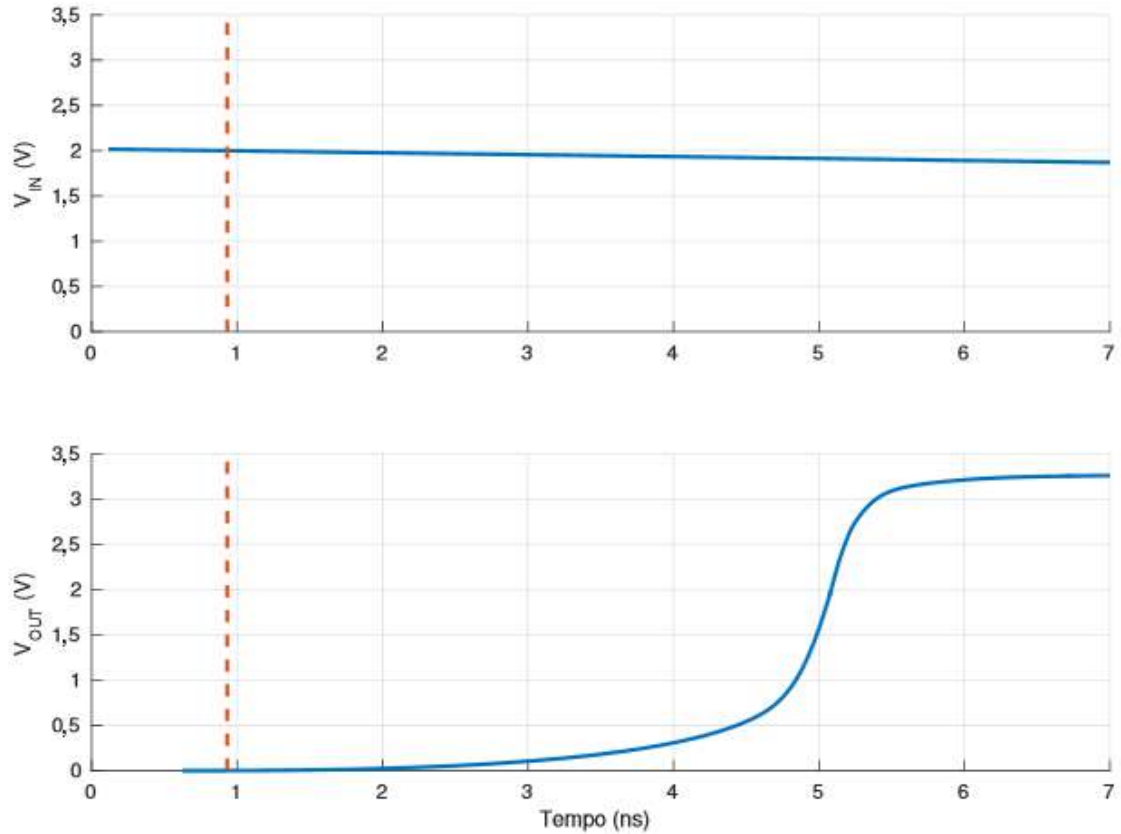


Figura 4.4: Acionamento da Saída do Comparador de Tensão pelo Cruzamento de Limiar

O comparador de tensão sinaliza com precisão o momento em que a tensão no fotodiodo cruza um limiar de tensão, determinado por uma fonte de polarização. A partir disso, é necessário implementar um circuito que comunique o pixel ATIS aos circuitos de arbitragem e gerar eventos que representem os momentos detectados pelo comparador de tensão. Dentro dessa estrutura também é preciso garantir a troca das tensões de limiar quando necessário.

A implementação da captura no nível de cinza pelo pixel ATIS é feita pelo circuito lógico proposto em [11] e trata de utilizar o sinal de saída do comparador de tensão para acompanhar a descarga no fotodiodo e emitir os sinais de controle do *Handshaking Protocol*. O circuito proposto apresenta três estados distintos de funcionamento. Um estado ocioso, onde o circuito espera o início de uma captura e permanece em baixo consumo de potência. Um estado de avaliação da tensão de saída no comparador com o uso da tensão de limiar  $V_{high}$ . E, por último, um estado de avaliação idêntico ao anterior, porém com o uso da tensão de limiar  $V_{low}$ . A implementação do circuito responsável por essas funcionalidades apresentadas é ilustrado pelo diagrama esquemático presente na Figura 4.5.

O diagrama esquemático proposto possui duas células de memória implementadas por circuitos *LATCH*, representados pelos inversores em dupla realimentados.

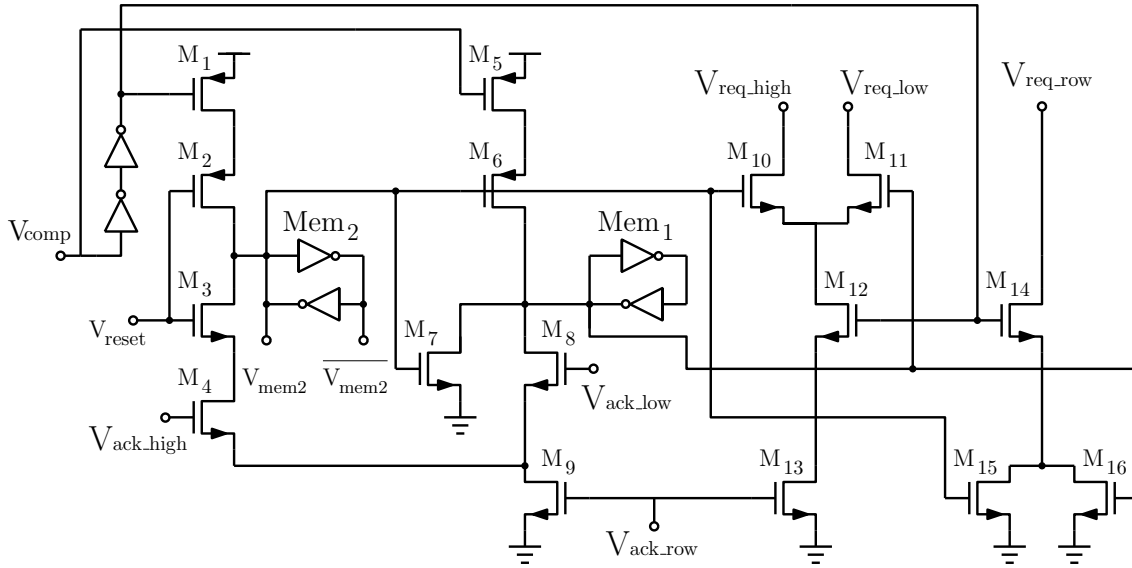


Figura 4.5: Circuito Lógico de Controle

Tabela 4.1: Estado de Funcionamento Segundo a Máquina de Estados

<i>Mem1</i>	<i>Mem2</i>	Estado de Funcionamento
0	0	Ocioso
0	1	Verificando limiar $V_{high}$
1	0	Verificando limiar $V_{low}$
1	1	Não Utilizado

Como existem três estados possíveis de operação no circuito lógico, é necessário uma máquina de estados com no mínimo dois bits de memória. A célula à esquerda é denominada no projeto como sendo *Mem2*, enquanto a célula à direita é reconhecida como *Mem1*. A Tabela 4.1 associa os valores das duas células de memória e os possíveis estados de funcionamento do pixel ATIS. Como as células de memória são componentes que consomem corrente constantemente para manter seu nível lógico, uma fonte de tensão menor é utilizada para alimentar esses componentes e reduzir o impacto no consumo de potência no imageador.

O circuito lógico do pixel ATIS permanece ocioso até que um evento de detecção é gerado no dispositivo DVS. Esse evento altera a tensão  $V_{reset}$  para nível lógico baixo e carrega o fotodiodo dedicado a captura do nível de cinza. Com a carga no fotodiodo completa, o comparador de tensão apresenta uma saída lógica baixa, como visto anteriormente. Dessa forma, os transistores  $M_1$  e  $M_2$  na Figura 4.5 estão saturados e carregam a célula de memória *Mem2*.

O acionamento da célula *Mem2* mantém o pixel ATIS no estado de funcionamento em que verifica o instante de tempo que a tensão no fotodiodo cruza a tensão de limiar  $V_{high}$ . Inclusive, como visto no diagrama de blocos na Figura 4.1, a tensão  $V_{mem2}$  da célula de memória determina a tensão  $V_{high}$  como referência do compa-

rador de tensão ao acionar uma chave lógica. A célula *Mem2* acionada mantém a célula *Mem1* em constante sinal lógico baixo graças ao transistor  $M_7$ , evitando conflitos de operação.

Quando a tensão no fotodiodo cruzar o limiar  $V_{high}$ , o comparador de tensão será acionado e a tensão  $V_{comp}$  passa para nível lógico alto. Os transistores  $M_{14}$  e  $M_{15}$  saturam por causa da tensão  $V_{comp}$  e  $V_{mem2}$ , respectivamente. A tensão  $V_{req\_row}$ , portanto, passa para nível lógico baixo, o que representa um pedido do pixel por acesso ao barramento de comunicação externo, dedicado ao circuito de captura do nível de cinza, através do árbitro de linha. Com uma confirmação deste árbitro, vindo por um sinal de *Acknowledgement* a partir de  $V_{ack\_row}$ , o transistor  $M_{13}$  entra em saturação. Como o transistor  $M_{12}$  também está saturado pela tensão  $V_{comp}$  acionada, e  $M_{10}$  pela tensão  $V_{mem2}$ , um sinal de requisição por  $V_{req\_high}$  é enviado ao árbitro de coluna. A confirmação desse sinal pelo árbitro significa que o pixel teve acesso ao barramento de comunicação externo e que um evento referente a passagem da tensão no fotodiodo pela tensão de limiar  $V_{high}$  foi enviado para processamento externo.

Como o primeiro evento foi concluído com sucesso, temos uma resposta do árbitro pela tensão  $V_{ack\_high}$  em sinal lógico alto. Como não há um novo evento de detecção, a tensão  $V_{reset}$  está desativada com sinal lógico alto. Portanto, os transistores  $M_3$  e  $M_4$  estão saturados, enquanto  $M_1$  e  $M_2$  estão em corte. Dessa forma, a célula de memória *Mem2* é descarregada. A mudança acarreta na troca da tensão de limiar, passando para  $V_{low}$ , no comparador de tensão ao acionar o sinal  $\overline{V_{mem2}}$ , que representa o valor lógico inverso da célula de memória *Mem2*. Dessa forma, com a tensão do fotodiodo ainda diminuindo, temos que o comparador passa a comparar a tensão no fotodiodo com a tensão de limiar  $V_{low}$ , e assim  $V_{comp}$  passa para nível lógico baixo. Portanto,  $V_{comp}$  satura o transistor  $M_5$  enquanto a célula *Mem2* satura  $M_6$ , carregando a célula de memória *Mem1* e alterando o estado de funcionamento do pixel ATIS.

O circuito permanece neste estado até que a tensão no fotodiodo cruze o limiar  $V_{low}$ . Neste momento,  $V_{comp}$  é acionado e satura novamente o transistor  $M_{14}$ . Como a célula de memória *Mem1* está ativa, temos nível lógico alto na porta do transistor  $M_{15}$ , saturando-o. Com  $M_{14}$  e  $M_{15}$  operando em saturação, temos um pedido de acesso ao árbitro de linha enviado por  $V_{req\_row}$ . A resposta, novamente, vem pelo sinal  $V_{ack\_row}$  acionando e saturando  $M_{13}$ . Com  $V_{comp}$  saturando o transistor  $M_{12}$  e a célula *Mem1* saturando  $M_{11}$ , teremos um sinal de requisição enviado por  $V_{req\_low}$ . O árbitro de coluna, então, responde com o sinal  $V_{ack\_low}$  em nível lógico alto.

O acionamento dos sinais  $V_{ack\_row}$  e  $V_{ack\_low}$  confirmam que o pixel teve acesso ao barramento de comunicação externo e que um evento representando a passagem da tensão no fotodiodo pelo limiar  $V_{low}$  foi enviado para processamento externo. Como



esse é o segundo evento, um ciclo de captura do valor do pixel foi completado e a reconstrução do valor do nível de cinza é possível pelo processador externo. Com esses dois sinais de *Acknowledgement* acionados, os transistores  $M_8$  e  $M_9$  saturam, descarregando a célula de memória *Mem1*. Com ambas as células descarregadas, o pixel ATIS fica ocioso esperando uma próxima captura.

A qualquer momento durante um estado de operação do pixel ATIS, pode ocorrer um novo evento no dispositivo DVS que sinalize a variação significativa de luz para que ocorra uma captura. Como uma nova captura é necessária para representar corretamente a luz incidente, o processo de captura atual é descartado e um novo ciclo iniciado. Isso ocorre conforme o evento no dispositivo DVS aciona a tensão  $V_{reset}$ , que em nível lógico baixo satura o transistor sobre o fotodiodo, carregando-o. Ao carregar o fotodiodo com uma tensão próxima da tensão na fonte de alimentação, o comparador de tensão tem sua saída lógica desativada.

Os sinais  $V_{comp}$  e  $V_{reset}$  em nível lógico baixo saturam os transistores  $M_1$  e  $M_2$ , respectivamente, e carregam a célula de memória *Mem2*. A célula *Mem2* descarrega a célula de memória *Mem1* através da saturação do transistor  $M_7$ . Portanto, não importa qual o estado passado do pixel ATIS, o circuito lógico passa a operar na verificação do cruzamento do limiar  $V_{high}$  quando uma nova captura é detectada pelo dispositivo DVS.

### 4.3 Projeção do Nível de Cinza

O ciclo de captura do nível de cinza em um pixel ATIS tem uma duração inversamente proporcional à intensidade da luz incidente. Um pixel claro numa imagem sendo capturada pelo imageador ATIS é rapidamente representado por três eventos no tempo. A partir do evento de detecção no DVS, os dois eventos de cruzamento de limiares na descarga do fotodiodo são transmitidos muito próximos um do outro por questão da rápida descarga de tensão proporcionada por uma alta fotocorrente.

De forma análoga, um pixel escuro numa imagem precisa de um tempo muito maior para ser representado corretamente pelo imageador. Com uma pequena fotocorrente, os dois eventos de cruzamento de limiar ocorrem com demora entre eles por causa da lenta descarga no fotodiodo.

A longa duração de um ciclo de captura para pixels escuros aumenta a probabilidade de que novos eventos de detecção sejam gerados e reiniciem a captura do pixel. Em um alvo escuro e dinâmico, as chances são altas de que o imageador ATIS entre em uma sequência de eventos de detecção gerados enquanto processos de captura são cancelados.

Uma alternativa para essa situação é apresentada por Posch em [15]. Enquanto o circuito de captura do nível de cinza não conclui seus ciclos de reconstrução a

partir de alvos escuros e dinâmicos, o módulo DVS está em pleno funcionamento e detectando mínimas variações nesta faixa de operação. Portanto, é útil o uso dos eventos gerados pelo DVS para auxiliar na reconstrução da imagem.

O módulo DVS não detecta a intensidade da luz incidente sobre o pixel, porém sinaliza quando a variação acumulada da luz ultrapassa certo limite. A proposta então é utilizar os eventos de detecção para gerar uma projeção do valor atual no nível de cinza por meio da sensibilidade do circuito DVS e o valor da última captura realizada no pixel com sucesso. Como o contraste é fixado no funcionamento do pixel DVS através de uma tensão de polarização, um evento de detecção é gerado quando a intensidade de luz varia a partir de um valor relativo a sua última detecção. Por exemplo, com um valor de contraste fixado em 20%, um evento gerado neste pixel DVS dispara quando a fotocorrente, e portanto a luz incidente, variar 20% desde a última detecção realizada.

A alteração proposta modifica a lógica de reconstrução no imageador ATIS. A partir desta mudança, quando um evento de detecção for gerado no módulo DVS é sinalizado para que se tenha início uma operação do circuito de captura do nível de cinza. Ao mesmo tempo, este evento de detecção é enviado pelo barramento de comunicação exterior e sinaliza para o processador externo realizar a projeção no valor do pixel referente. Essa projeção não é precisa por utilizar o valor idealizado de sensibilidade do pixel DVS junto à última captura de nível de cinza realizada naquele mesmo pixel. Entretanto, essa imprecisão é descartada conforme o nível de cinza seja capturado com sucesso. A projeção imprecisa é uma redução de erro quando comparada com uma ausência de captura por parte do imageador.

## Capítulo 5

# Simulação do Imageador e Compartilhamento do Módulo DVS

O projeto do imageador ATIS, como tratado nos capítulos anteriores, é composto por uma matriz de pixels, com dois fotodiodos independentes em cada pixel. Um fotodiodo é dedicado ao módulo DVS enquanto o outro fotodiodo é dedicado a captura do nível de cinza. O circuito de captura é dependente da operação do módulo DVS, que sinaliza o evento de variação significativa no pixel para justificar uma captura.

O imageador retinomórfico reduz o consumo de potência em relação aos imageadores APS por funcionar com eficiência e evitar capturas redundantes em pixels, mas em compensação a área do circuito integrado aumenta. O número elevado de dispositivos de um pixel ATIS e o uso de dois fotodiodos aumenta o uso da área (*fill factor*, ou fator de preenchimento) e leva a dimensões maiores do que as encontradas em pixels mais simples.

Junto ao estudo do funcionamento do pixel retinomórfico ATIS, este projeto se propôs a melhorar o uso de área do imageador através do compartilhamento do módulo DVS entre um grupo maior de circuitos de captura do nível de cinza. Para comprovar a eficácia desta proposta e verificar o impacto desta alteração na qualidade da imagem, realizamos simulações que aproximam a execução do imageador ATIS sobre um vídeo capturado por um imageador convencional.

O objetivo das simulações é verificar o impacto, na qualidade das imagens, causado pelas funcionalidades do imageador ATIS. Uma simulação a nível de sistema que utiliza *frames* de um arquivo de vídeo como entrada para a matriz de pixels foi desenvolvida. Cada *frame* do arquivo de vídeo, em escala de cinza, é considerado como o registro das intensidades de luz projetadas sobre a matriz de pixels naquele

instante de tempo. Chamamos esses *frames* de *frames* originais. A taxa de *frames* por segundo do vídeo define o intervalo temporal entre um *frame* e o próximo. Cada instante de tempo na simulação é, portanto, o instante de existência de um *frame* original no vídeo utilizado.

O imageador ATIS detecta variações na intensidade da luz incidente, portanto a diferença entre *frames* originais de um vídeo é calculada, pixel a pixel. O valor desta diferença é armazenado e é acumulado de forma análoga ao comportamento do módulo DVS, que mantém essa informação na forma da tensão acumulada no capacitor  $C_2$ . A reconstrução do vídeo pela simulação considera o primeiro *frame* original como o primeiro *frame* reconstruído. A cada instante de tempo, marcado pela existência de um novo *frame* original, o simulador repete a exibição do último *frame* reconstruído. Quando a variação acumulada para um pixel, calculada entre *frames* originais, extrapola um valor de referência, assumimos que uma captura foi realizada e que esse pixel deve ser alterado no *frame* reconstruído. Os limiares de variação para cada pixel correspondem a uma porcentagem pré-determinada, para mais ou para menos, e que chamamos de sensibilidade, de seu último valor reconstruído.

O processo de captura de um pixel é representado, na simulação, pela conversão do seu nível de cinza, presente no *frame* original atual, em uma fotocorrente pelo cálculo do tempo que a tensão sobre um fotodiodo inicializado levaria para descer do limiar de tensão alta do circuito ATIS até o limiar baixo. O tempo de descida é comparado com o tempo disponível entre um *frame* e outro. Caso o tempo de descida seja inferior ao tempo entre um *frame* e outro, consideramos que o pixel é representado pela conversão deste tempo, de descida, para um nível de cinza. Caso contrário, o pixel é reconstruído na forma da projeção do DVS. Ou seja, assumimos que ele variou em relação a sua última captura por uma porcentagem determinada como sensibilidade, previamente definida.

## 5.1 Simulações de Intensidades de Luz

Através da reconstrução de um vídeo, seguindo o funcionamento do imageador, é verificado os possíveis impactos na qualidade da imagem que determinadas alterações em sua lógica de operação podem trazer. Os vídeos utilizados como objetos de análise são recortados em  $128 \times 128$  pixels, em concordância com os experimentos descritos em [5], [11] e [14], e convertidos do formato RGB para uma escala de cinza. Dois vídeos distintos são adquiridos, representando situações opostas que interessam para avaliar o comportamento do imageador ATIS. Um vídeo representa um objeto em movimento com diversos detalhes de contorno, e com níveis de cinza que se destacam entre si. Com este primeiro vídeo, os pixels são estimulados de modo a

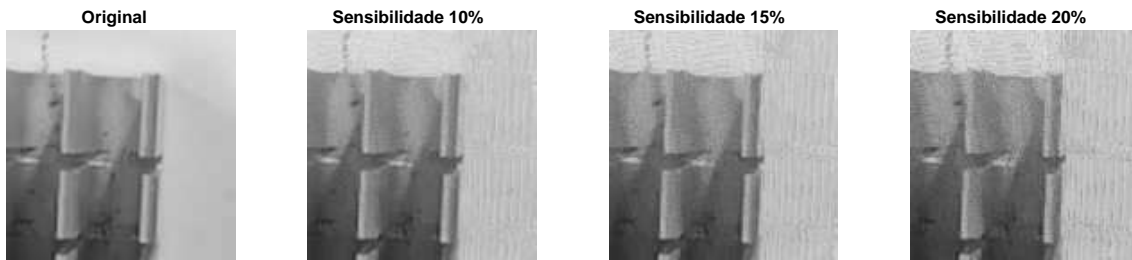


Figura 5.1: Comparação de Capturas Feitas sob Distintas Sensibilidades

gerar eventos ao mesmo tempo, sendo estes eventos bem distintos uns dos outros em valor de intensidade. Este vídeo é reconhecido como “Teste Intenso”, para fins de apresentação dos resultados. O segundo vídeo apresenta o movimento de um dedo com níveis de cinza pouco distintos entre si, em movimentos lentos, o que mantém o fundo do vídeo praticamente inalterado em boa parte de sua duração. Este vídeo tem como objetivo estabelecer uma avaliação em que estímulos sobre o imageador ATIS apresentam variação suave, com poucos eventos sendo gerados em conjunto. Na apresentação de resultados, este vídeo é citado como “Teste Suave”.

A aplicação de uma técnica assíncrona sobre um vídeo síncrono introduz, naturalmente, imprecisão nos resultados da reconstrução. Os estímulos introduzidos pelos *frames* originais têm origem no mesmo instante de tempo, o que causa um congestionamento do barramento de comunicação e introduz latência na resposta do árbitro. A reconstrução do nível de cinza leva em consideração, na simulação, apenas o intervalo temporal entre um *frame* e o seguinte. Em uma operação real, o pixel tem à disposição o tempo que lhe é necessário entre uma captura e a próxima.

O pior caso de latência introduzida entre duas capturas ocorre quando os pixels disparam ao mesmo tempo e estão posicionados tanto em linhas quanto colunas distintas. Esse valor é utilizado como a latência padrão introduzida entre disparos realizados pelo simulador.

Na Figura 5.1 são apresentados *frames* reconstruídos de uma simulação com o vídeo “Teste Intenso”. Estão em sequência, da esquerda para a direita, o *frame* original e os *frames* reconstruídos pelo imageador utilizando, respectivamente, sensibilidades de 10%, 15% e 20%. Os valores percentuais mais altos correspondem a sensibilidade mais baixa. A introdução de ruído é percebida principalmente através dos artefatos que surgem no fundo da imagem e são agravados conforme o aumento do valor percentual associado à perda de sensibilidade. Os ruídos no formato de linha são gerados durante o processo de reconstrução do *frame*, quando há movimentação do objeto retratado. Apesar desses artefatos, as imagens mostram uma reconstrução fiel aos contornos do objeto capturado e permitem a observação do sombreamento menos sutil da imagem.

A tendência observada no resultado desta simulação é uma redução na qualidade

da reconstrução da imagem conforme aumentamos os valores percentuais associados à sensibilidade do módulo DVS. Esse efeito é devido a variações cada vez maiores sendo progressivamente ignoradas pelo dispositivo entre uma captura e outra. Podemos verificar também quantitativamente a qualidade da imagem e sua relação com a sensibilidade implementada.

Para medir a qualidade na reconstrução dos *frames*, utilizamos dois parâmetros de comparação e verificamos seu desempenho por toda a duração dos dois vídeos de teste especificados. Um parâmetro utilizado é a raiz do erro médio quadrático (RMSE) que representa a acurácia alcançada pelo simulador em reconstruir os *frames* originais com determinada sensibilidade. O segundo parâmetro é a similaridade estrutural (SSIM), cujo método modela a qualidade percebida de um *frame* reconstruído em relação ao original. Os resultados desta análise podem ser vistos na Figura 5.2, em relação ao vídeo ‘Teste Suave’, e na Figura 5.3, quanto ao vídeo ‘Teste Intenso’.

Avaliando os resultados obtidos para o RMSE em cada teste, é possível verificar que o imageador reconstruiu o vídeo original com melhor qualidade no “Teste Intenso” do que em relação ao “Teste Suave”. Essa melhora na reconstrução pode ser associada ao fato do vídeo “Teste Intenso” apresentar um maior contraste entre os níveis de cinza presentes, ao capturar um objeto com muitos detalhes em movimento. Esse resultado comprova que o imageador ATIS tem seu desempenho aprimorado ao capturar cenários dinâmicos. Quanto à variação da sensibilidade em ambos os testes, existe uma relação clara entre a redução na acurácia da reconstrução e o aumento do valor percentual associado à sensibilidade. Entre a sensibilidade de 10% e 25%, o RMSE tem seu valor dobrado.

Quanto à SSIM o desempenho da reconstrução do vídeo “Teste Intenso” apresentou melhores resultados alcançando picos de 90% de similaridade para a reconstrução dos *frames* originais utilizando 10% de valor percentual da sensibilidade. O decaimento na qualidade da reconstrução conforme o aumento do valor percentual associado à sensibilidade também é confirmado pelos resultados neste parâmetro.

A sensibilidade ideal para se utilizar, segundo os resultados apresentados, tende a ser a menor possível. Entretanto, a redução do valor percentual da sensibilidade implementado implica diretamente o aumento do número de capturas realizadas pelo imageador ATIS. Isso significa que a redução indiscriminada do valor percentual da sensibilidade retira do imageador sua capacidade de eliminar envios redundantes por considerar um baixo limiar de variação significativa para os pixels. Na Tabela 5.1 é apresentado o número de disparos realizados a cada nível de compressão utilizado. Esses valores são discriminados de acordo com o vídeo de teste avaliado.

Existe uma relação, como esperado, entre a diminuição do número de capturas

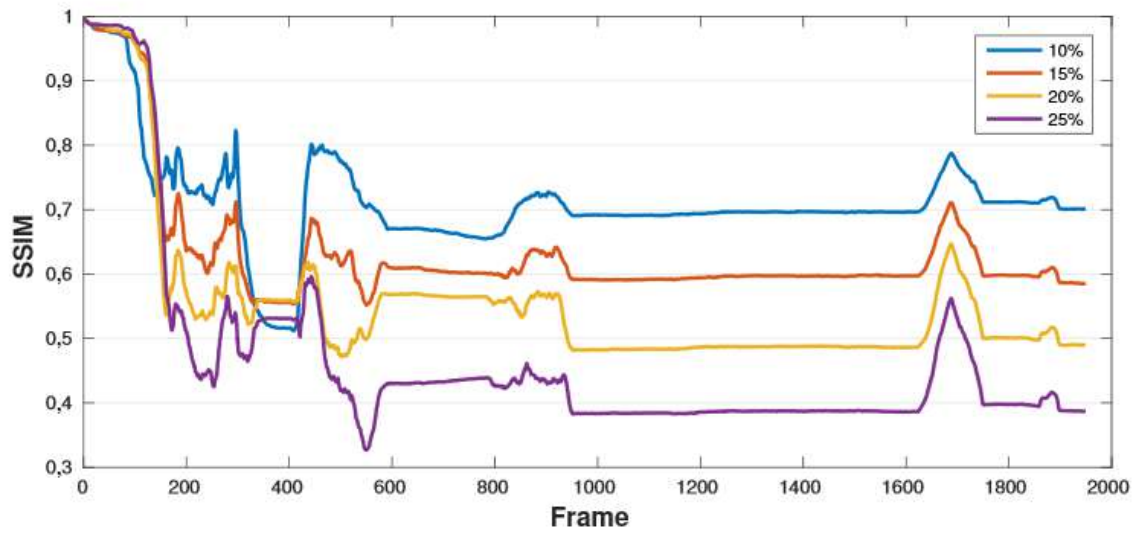
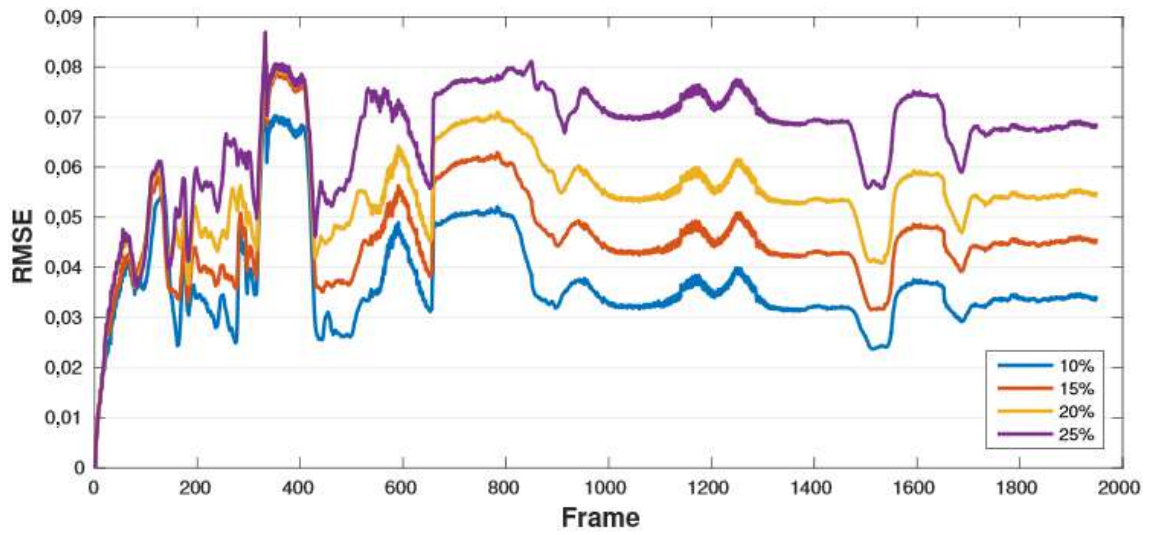


Figura 5.2: Distintas Sensibilidades sobre o Teste Suave

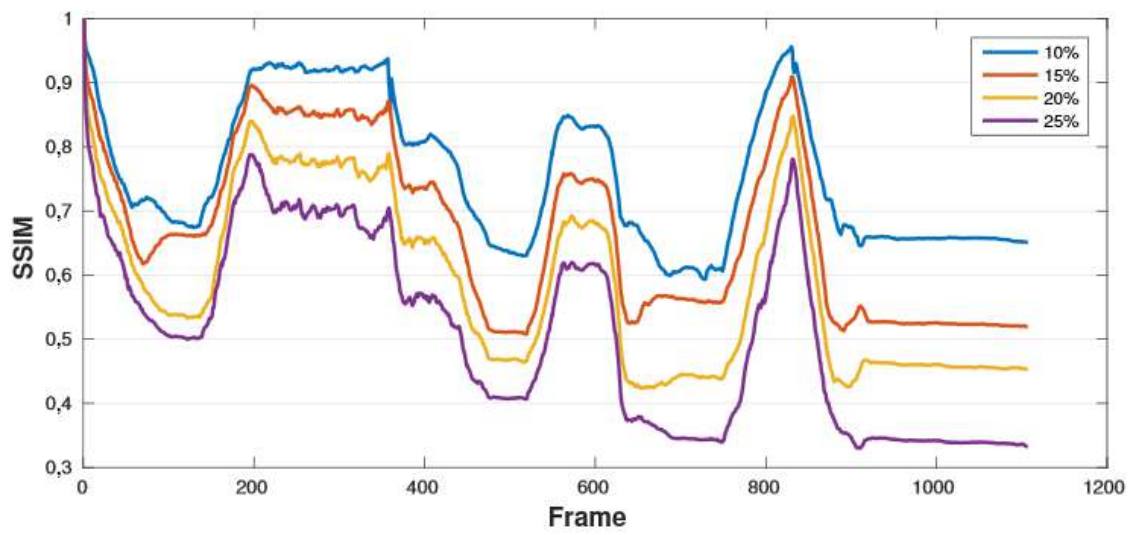
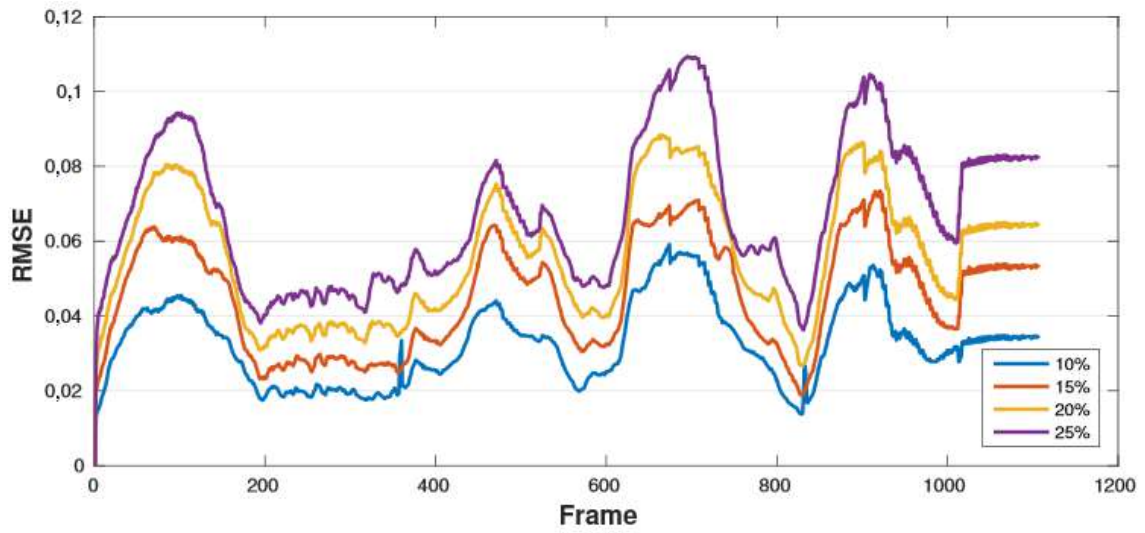


Figura 5.3: Distintas Sensibilidades sobre o Teste Intenso



Tabela 5.1: Número de Capturas Efetuadas (cada Captura Corresponde a Três Eventos) em Função dos Percentuais que Definem a Sensibilidade do Pixel

Sensibilidade	Teste Intenso		Teste Suave	
	Capturas Realizadas	Economia	Capturas Realizadas	Economia
05%	3378517	81,4%	1518413	95,2%
10%	2267080	87,5%	0816921	97,4%
15%	1664302	90,8%	0575138	98,2%
20%	1290871	92,9%	0444199	98,6%
25%	1029601	94,3%	0360831	98,9%
30%	0832629	95,4%	0298061	99,0%

necessárias, em comparação com imageadores convencionais, para a reconstrução de um vídeo e o aumento do valor percentual da sensibilidade utilizado. Considerando que um imageador APS precisa capturar cada um dos pixels presentes em um *frame*, a economia apresentada na Tabela 5.1 representa o número de capturas que deixaram de ocorrer durante a reconstrução do vídeo em relação ao número total de capturas necessárias no funcionamento de um imageador APS para representar o mesmo vídeo. Percebe-se que o imageador ATIS utiliza um número de capturas muito inferior em comparação com imageadores tradicionais.

Entretanto, cada análise aponta em um sentido diferente quanto à especificação da sensibilidade. Se for escolhido um valor baixo, existe um aumento na qualidade da reconstrução ao custo da redução na capacidade de remover capturas redundantes. Se for um valor alto, a qualidade da reconstrução irá decair, porém menos capturas serão necessárias e menos energia será consumida. Para alcançar uma conclusão, essas duas características foram associadas e analisadas em conjunto. Os gráficos presentes na Figura 5.4 e na Figura 5.5 ilustram a relação entre o valor médio do fator de qualidade avaliado e o número de capturas necessárias para a reconstrução do vídeo com determinada sensibilidade.

Nestes gráficos foi demarcado o ponto de equilíbrio entre qualidade e economia no funcionamento do imageador ATIS. Em ambos os testes o valor percentual da sensibilidade considerado ideal foi de 15%. Ele estabelece o centro da fronteira entre a região que determina o aumento do fator de qualidade, RMSE ou SSIM, e a região que determina o aumento acentuado das capturas realizadas. Encontrar o valor de sensibilidade que resulta em melhores reconstruções, sendo este um parâmetro importante para o funcionamento do módulo DVS, é ideal para darmos prosseguimento a outras alterações. Determinar este valor estabelece uma referência de qualidade para o funcionamento do imageador. Por isso, o valor de 15% de sensibilidade foi utilizado como padrão para todas as simulações a nível de sistema apresentadas na Seção 5.2 e como valor médio para as simulações elétricas, mais próximas do comportamento real do circuito.

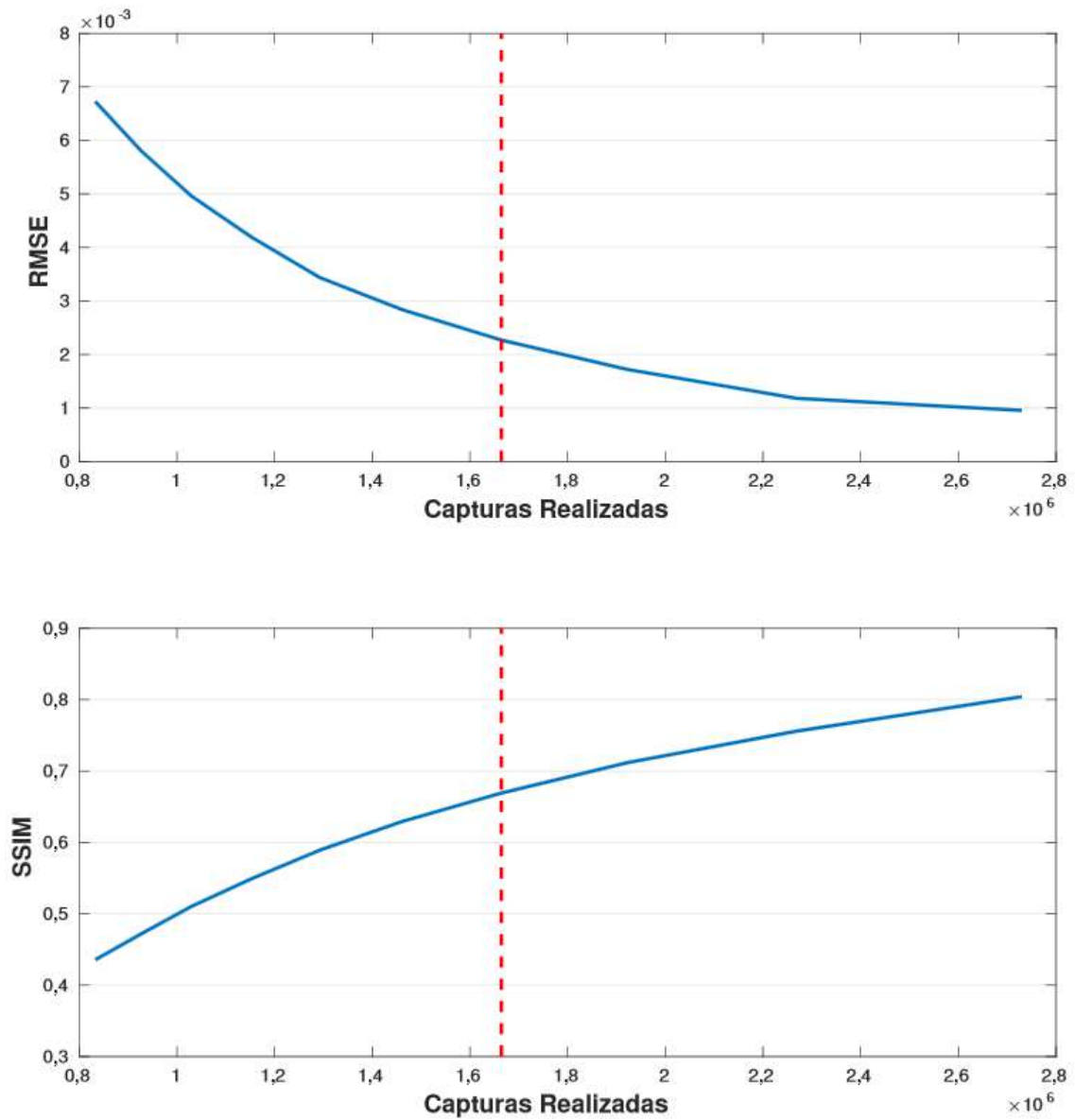


Figura 5.4: Capturas Realizadas e Fatores de Qualidade no Teste Suave

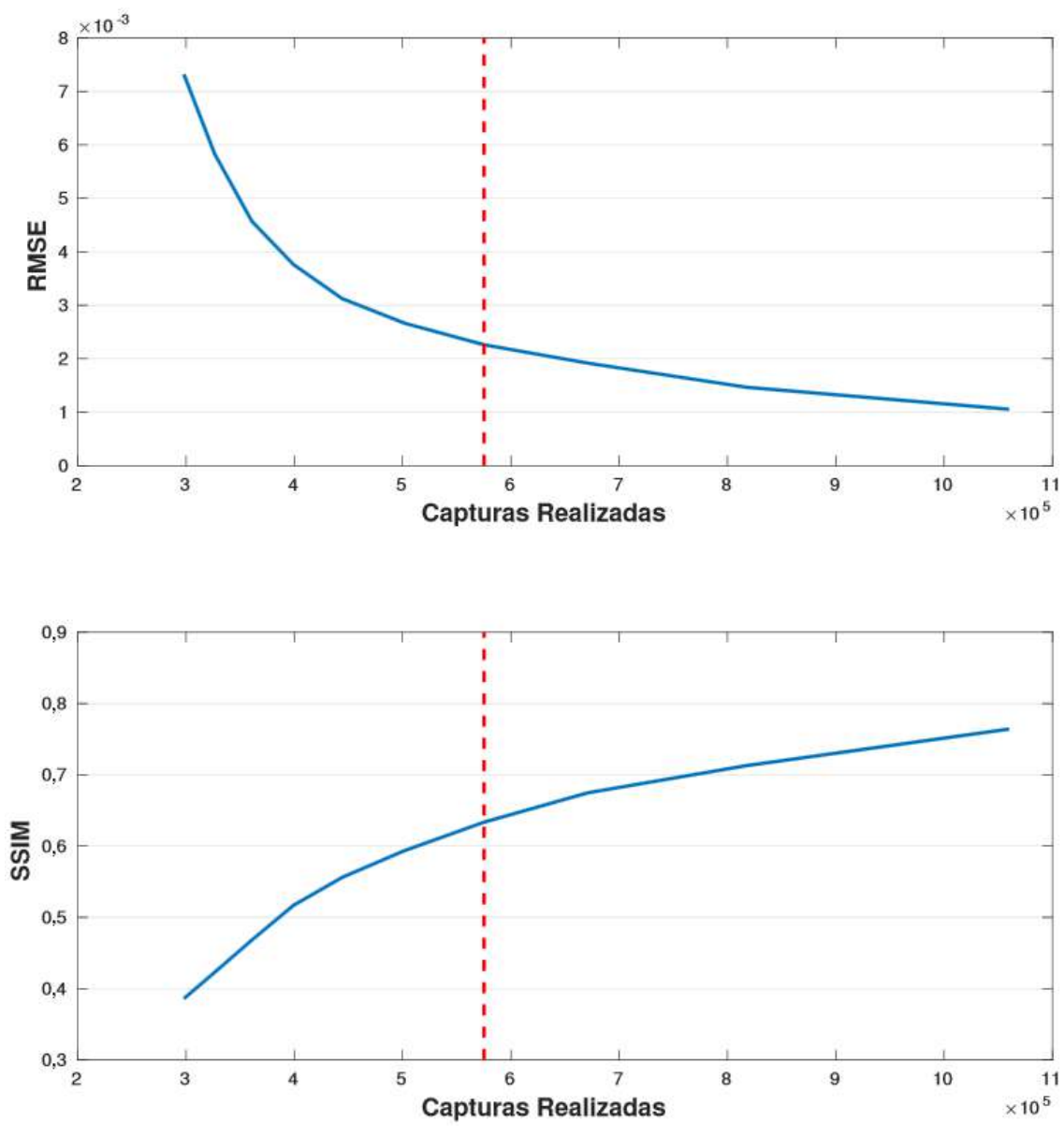


Figura 5.5: Capturas Realizadas e Fatores de Qualidade no Teste Intenso

## 5.2 Compartilhamento do Módulo DVS

Uma conclusão destas simulações a nível de sistema do imageador ATIS é a de que ruídos são introduzidos na reconstrução da imagem, mas que a qualidade associada a essa reconstrução é superior quando o objeto de captura é dinâmico. Isso é observado no melhor desempenho da simulação com o vídeo “Teste Intenso”. Quando temos menos informação dinâmica na imagem, como no vídeo “Teste Suave”, a reconstrução é comprometida em relação a qualidade, mas ainda é capaz de capturar informações de contorno dos *frames* originais com sucesso.

Tanto em uma situação com muitos eventos decorrentes de um objeto em movimento, quanto na capacidade de reconstrução fiel de contornos, temos uma característica em comum: a probabilidade de um pixel iniciar uma captura sozinho, sem que ao menos um outro pixel de sua vizinhança próxima o faça, é baixa. Um objeto é determinado por seu contorno e preenchimento, ou seja, por uma região ou vizinhança de pixels cuja variação naquele instante de tempo excedeu a sensibilidade proposta. Eventos de captura gerados isoladamente ocorrem com frequência para ruídos de fundo na imagem, ou de preenchimento de objetos, decorrentes de mudanças na iluminação do vídeo.

Essa observação leva ao questionamento da necessidade de independência de cada pixel ATIS. Se eventos determinantes para a qualidade da imagem surgem em conjunto, ao contrário de ruído, existe a possibilidade de diminuir o número de circuitos DVS acoplados em cada pixel ATIS. Em uma estrutura padrão, cada pixel ATIS necessita de um módulo DVS para detectar a variação da luz incidente sobre si e acionar a captura do nível de cinza quando esta variação exceder certo limiar. Neste trabalho, após os estudos do funcionamento do imageador retinomórfico, propomos que o módulo DVS seja responsável pelo acionamento de um bloco de pixels dentro do imageador.

O objetivo do compartilhamento é a redução na área do pixel ATIS com o mínimo de impacto na qualidade de suas imagens capturadas. Para isso, o módulo DVS tem seu posicionamento alterado na matriz de pixels. De um componente incluso em cada pixel, ele passa a ser centralizado em um bloco de pixels. Representando esta mudança, na simulação a nível de sistema é alterado o acionamento de capturas. Em vez de gerar um evento quando a variação acumulada sobre um pixel exceder um limiar da sensibilidade, o simulador passa a considerar a variação média sobre um bloco de pixels entre um *frame* original e o outro. Quando o evento de captura for acionado por um módulo DVS, todos os pixels que compõem o bloco controlado por ele recebem um sinal para realizar uma captura.

Dessa forma, cada pixel ainda apresenta sua captura de nível de cinza independente em relação a sua vizinhança. O compartilhamento não altera o que é

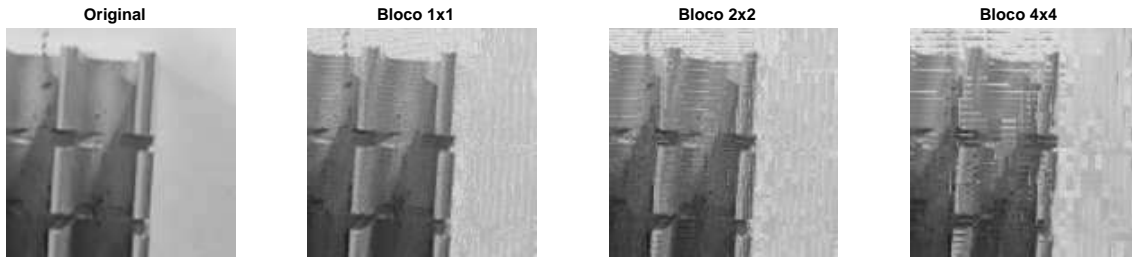


Figura 5.6: Efeito do Compartilhamento do DVS no Teste Intenso

capturado pelo pixel ATIS, apenas quando essa captura é realizada.

A Figura 5.6 apresenta os resultados de uma simulação que considera o compartilhamento do módulo DVS para um bloco de 1x1 pixel, que significa o mesmo que considerá-lo como parte integrante de um pixel ATIS apenas, e o compartilhamento para blocos de 2x2 e 4x4 pixels, que representam as modificações propostas. Um bloco de 2x2 pixels controlado por um módulo DVS significa que temos um pixel DVS centralizado entre quatro circuitos de captura do nível de cinza. Um bloco 4x4 posiciona um pixel DVS centralizado e controlando os eventos de captura de 16 pixels.

Existe uma degradação visível na qualidade dos *frames* capturados pelo imageador ATIS com compartilhamento de módulo<sup>1</sup>. A ocorrência de artefatos na imagem aumenta conforme mais pixels são agrupados para disparar em conjunto. É uma causa dos erros produzidos na reconstrução do movimento do objeto capturado, porém agora agravada pelo aumento no número de pixels gerando eventos em um mesmo *frame*. A aparência blocada no compartilhamento por bloco 4x4 sinaliza uma perda de qualidade e resolução no imageador por considerarmos tantos pixels, distantes uns dos outros, disparando pelo estímulo em um mesmo sensor.

Uma análise quantitativa é necessária para afirmar o impacto do compartilhamento na qualidade da reconstrução da imagem. Uma nova simulação dos fatores de qualidade RMSE e SSIM é feita comparando os possíveis posicionamentos do módulo DVS na matriz de pixels. A Figura 5.7 e a Figura 5.8 representam os resultados desta simulação.

Os resultados para o bloco 1x1 servem de referência para comparação do desempenho dos demais métodos de compartilhamento. Observando o desempenho da reconstrução do vídeo “Teste Suave” existe uma queda evidente na qualidade ao compartilharmos os módulos DVS. O aumento da área da matriz de pixels compartilhando um mesmo dispositivo está diretamente associado a um aumento na perda de acurácia da reconstrução, visualizado através do aumento no RMSE. Existe uma queda de 10% na similaridade estrutural para o uso individual em relação ao com-

<sup>1</sup>Os vídeos reconstruídos pela simulação de compartilhamento de DVS podem ser visualizados em <http://www.pads.ufrj.br/~tiago/ATIS>

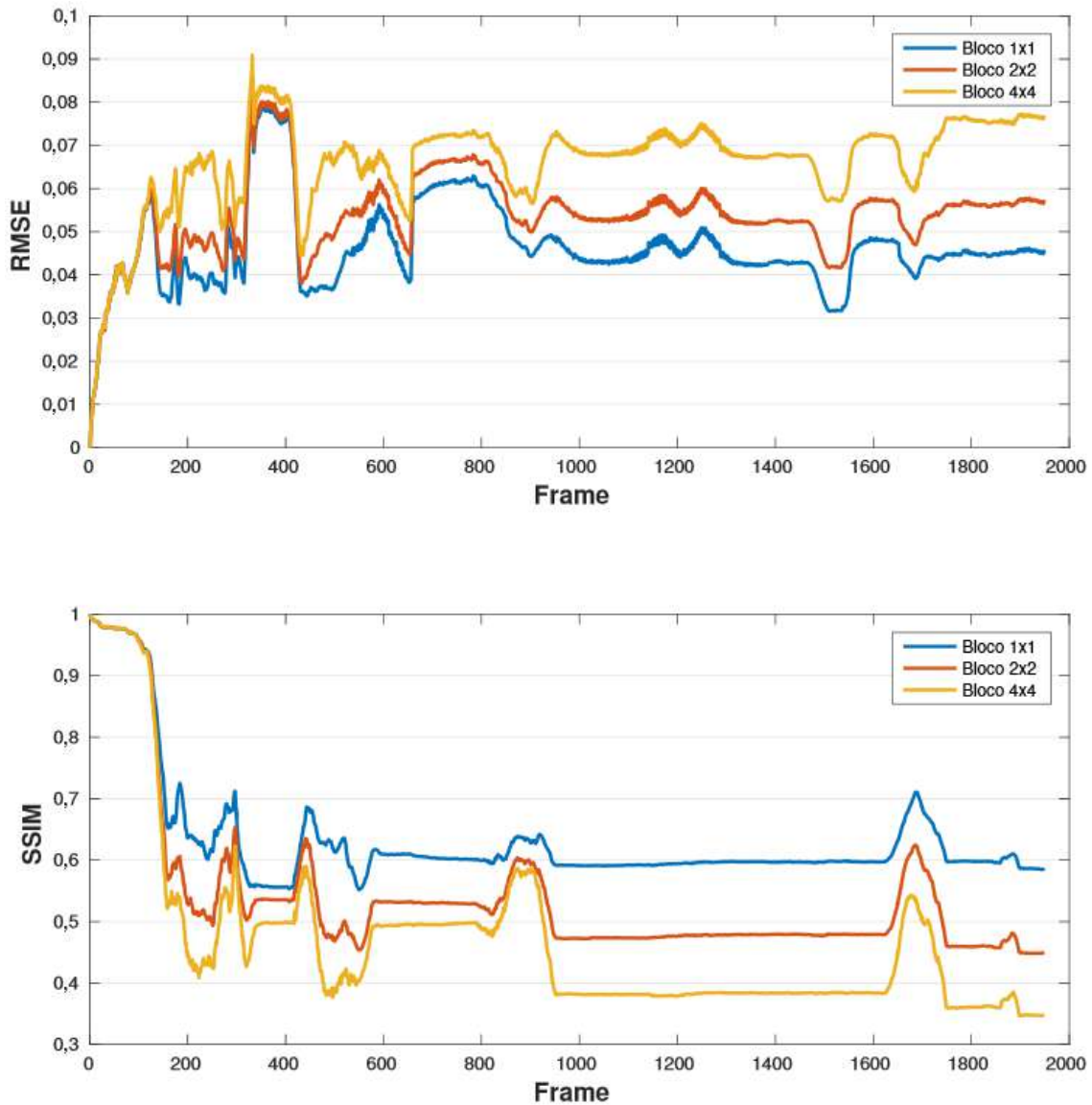


Figura 5.7: Fatores de Qualidade com Compartilhamento de DVS no Teste Suave

partilhamento para um bloco 2x2, mas este ainda se mantém numa média acima de 50%.

O desempenho nos resultados para a reconstrução do vídeo “Teste Intenso” tende a mesma conclusão. Este vídeo apresenta os melhores fatores de qualidade por suas características mais dinâmicas e o compartilhamento de módulos DVS mantém esse padrão. A acurácia na reconstrução é próxima quando avaliamos o uso individual do módulo DVS em relação ao seu compartilhamento com outros quatro pixels. Em alguns *frames* do vídeo temos que o RMSE é praticamente idêntico em ambos os casos. Entretanto, o compartilhamento por blocos de 4x4 pixels se estabelece como uma escolha ruim por forte degradação na qualidade da reconstrução, apesar da redução significativa de circuitos implementados. A similaridade estrutural para o vídeo “Teste Intenso” se mantém com resultados na média de 65% utilizando

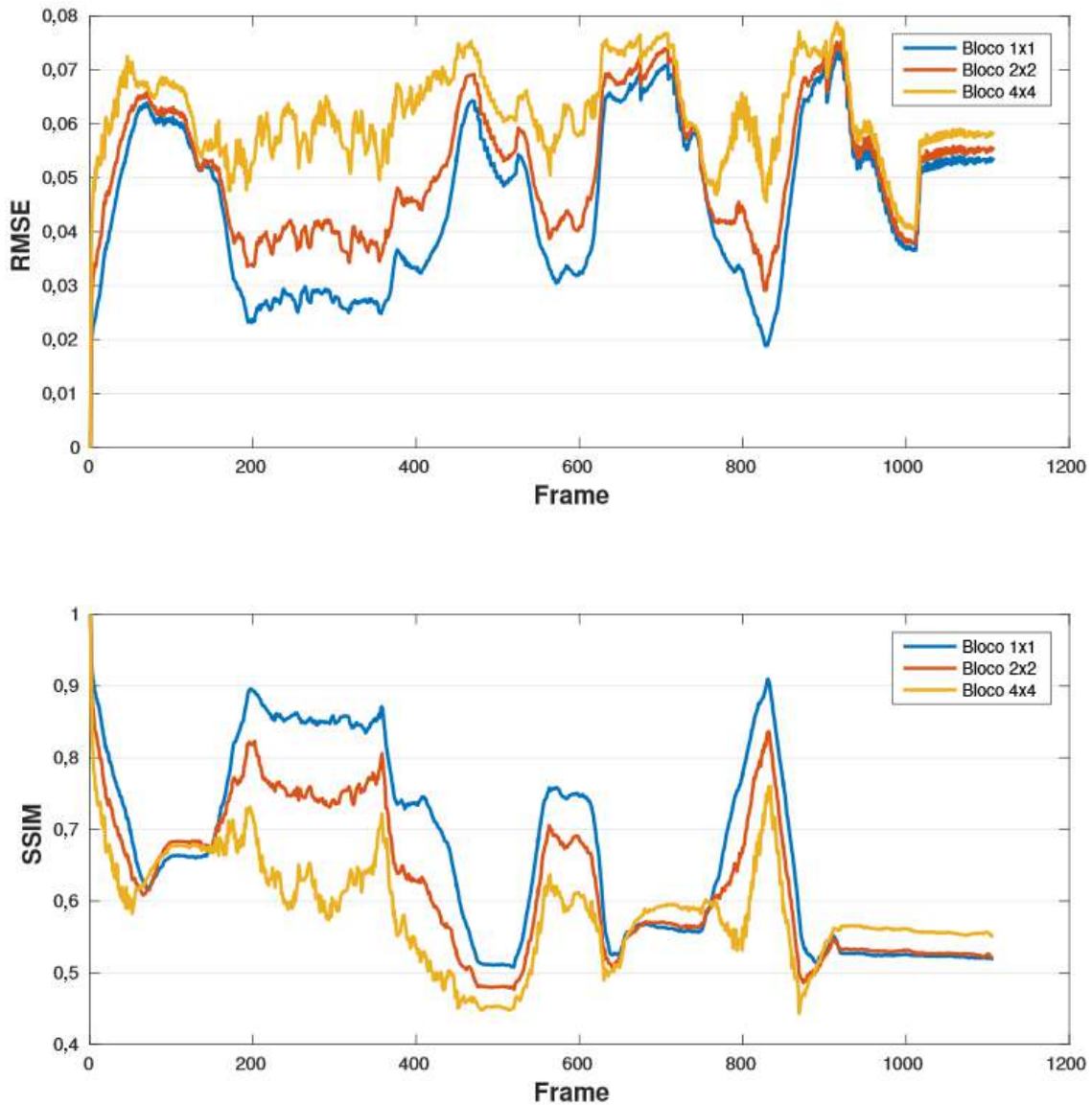


Figura 5.8: Fatores de Qualidade com Compartilhamento de DVS no Teste Intenso

compartilhamento em bloco 2x2, o que permite associar uma economia na área do imageador em proporção com a redução na qualidade das imagens capturadas.

Considerando o compartilhamento de módulo DVS para um bloco 2x2 como o método ideal para combinar redução da área do pixel com menor perda na qualidade da imagem, é possível considerar a economia no uso de componentes para a implementação do imageador proposto neste projeto com a respeito a sua versão original. A relação de componentes necessários a implementação de um bloco de quatro pixels é vista na Tabela 5.2.

O número de componentes necessários à implementação é reduzido por requirerem menos módulos DVS para a implementação de um mesmo imageador. O impacto na área do pixel se deve principalmente pela redução de 75% no número de capacitores utilizados. Capacitores são componentes que consomem muita área

Tabela 5.2: Relação de Dispositivos Necessários

Componente	Bloco 1x1	Bloco 2x2	Economia
Transistores	292	214	26%
Capacitores	12	3	75%
Fotodiodos	8	5	37%

em circuitos integrados. A área necessária é diretamente proporcional ao valor de sua capacitância e, pelo circuito DVS explicado no Capítulo 3, existe uma razão de capacitores que influencia no ganho do circuito diferencial. A proposta em [11] é um ganho de 20 vezes no circuito diferencial, o que através de algumas tecnologias de produção pode resultar em capacitores bem grandes.

As simulações a nível de sistema indicam que o objetivo de compartilhar o módulo DVS dentro de um bloco de pixels com o mínimo de impacto na qualidade da imagem foi alcançado. Entretanto, a simulação feita em MATLAB trabalha com estímulos síncronos através de *frames* de um vídeo e o efeito desta aproximação no resultado do imageador não pode ser descartado. Portanto, uma simulação mais precisa é necessária para verificar o correto funcionamento do modelo de imageador ATIS proposto neste projeto. Para tal, uma simulação a nível de diagrama esquemático elétrico é feita.

A operação de um imageador ATIS é composta por sinais mistos. Um funcionamento analógico ocorre no circuito DVS conforme a variação da luz é detectada e uma descarga do fotodiodo é acompanhada pelo comparador de tensão no circuito de captura do nível de cinza. Ao mesmo tempo existem circuitos digitais estabelecendo a comunicação dos circuitos de detecção e captura com os árbitros de linha e coluna, através da geração de sinais *Request* e *Acknowledgement*. A combinação de funcionamento analógico e digital em um circuito complexo como o do imageador ATIS requer um esforço computacional significativo. Portanto, simulações muito longas ou com matrizes muito grandes de pixels exigem um longo tempo de processamento e resultam em arquivos grandes de dados para utilizar.

A solução encontrada para caracterizar o imageador ATIS adequadamente foi trabalhar com estímulos lineares (sem oscilações) em uma matriz de pixels limitada. Na Figura 5.9 é apresentado o resultado de simulação para uma matriz de pixels 4x4 com uma fotocorrente determinada pela linha tracejada. A fotocorrente varia linearmente dentro da faixa dinâmica proposta para este projeto (200 fA a 20 nA). Ela apresenta uma variação negativa até 4,5 ms de simulação e então passa para uma variação positiva até 10 ms. Dessa forma, representamos o comportamento dos dois comparadores de tensão presentes no circuito DVS, como apresentado no Capítulo 3. Depois dessa variação brusca, a fotocorrente diminui pouco e lentamente até 20 ms de simulação. Todos os pixels apresentam a mesma fotocorrente para representar o



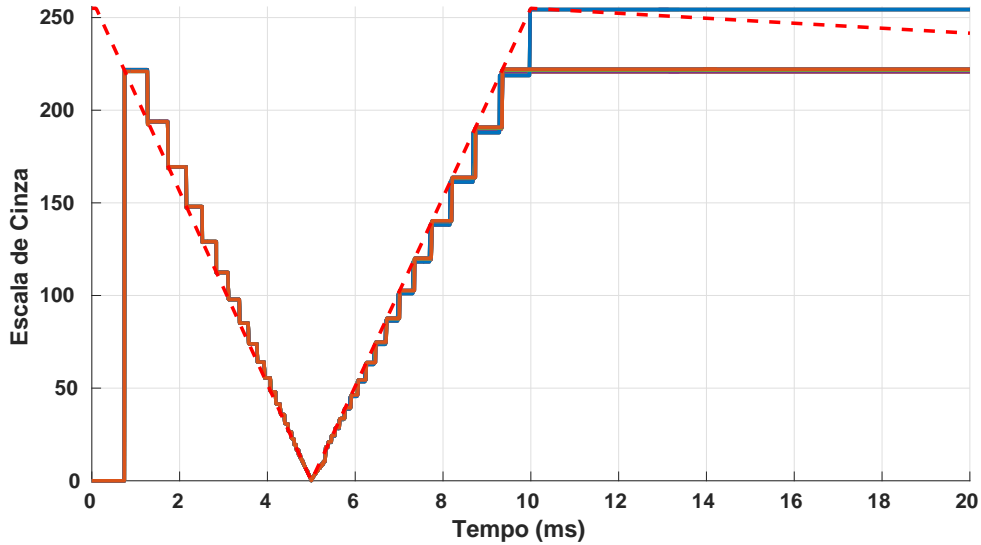


Figura 5.9: Reconstrução da Fotocorrente Dentro da Faixa Dinâmica

pior caso-cenário de funcionamento de um imageador retinomórfico: o caso em que todos os pixels estão disparando simultaneamente e saturando a comunicação com os árbitros.

Na Figura 5.9 é possível observar o alto número de disparos que ocorrem numa rápida variação da fotocorrente. Cada uma das linhas preenchidas representa a reconstrução de um pixel. O resultado aponta que o imageador ATIS responde a variações em alta velocidade e as reconstrói com precisão. A região com maior fotocorrente, que representa um maior nível de cinza (claro), tem um intervalo de tempo maior entre as capturas e atenua a saturação dos barramentos de comunicação com o árbitro, como visto no Capítulo 3. Na região com menor fotocorrente, que representa um menor nível de cinza (escuro), temos que a detecção de variação se acentua e apresenta uma alta densidade de eventos. Entretanto, como vimos no Capítulo 4, o intervalo de tempo entre um evento de detecção e outro é menor do que o tempo de descarga do fotodiodo entre os limiares de tensão  $V_{high}$  e  $V_{low}$ . Portanto, toda essa faixa de operação é reconstruída no imageador ATIS através das projeções de intensidade obtidas com os eventos do módulo DVS.

A fotocorrente passa a variar lentamente após 10 ms e percebe-se a ausência de capturas. Isso é devido à pequena variação da fotocorrente dentro desse intervalo de tempo. Como a variação da intensidade da luz foi pouca, mesmo que num intervalo maior de tempo que os diversos eventos no começo da simulação, não há uma diferença suficiente na incidência de luz para justificar eventos serem gerados nos pixels DVS.

Aproximando a simulação obtida no segundo conjunto de capturas realizadas aproximadamente em 1,2 ms, temos a Figura 5.10. O efeito da projeção da inten-

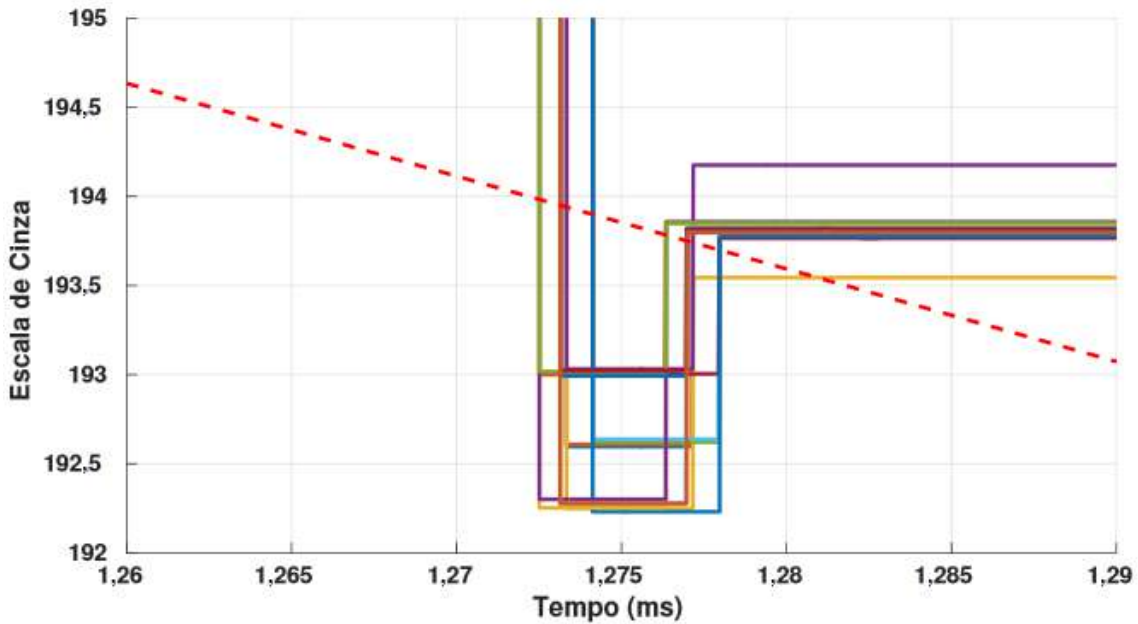


Figura 5.10: Efeito da Latência na Projeção do Nível de Cinza pelo DVS

sidade de luz através do DVS é observado entre os instantes 1,27 ms e 1,275 ms. A linha tracejada representa o valor real da fotocorrente, numa escala de cinza, enquanto as linhas preenchidas representam a reconstrução dos 16 pixels. Percebe-se que, apesar de todos os pixels apresentarem a mesma fotocorrente, temos diferentes valores reconstruídos de projeção. Como a projeção do nível de cinza pelo DVS utiliza uma fração da última captura feita, esta técnica amplifica erros de reconstrução. Isso demonstra como a projeção é uma solução adequada para a região mais escura da faixa de operação, onde há a possibilidade maior de capturas descartadas por longo tempo de descarga e por apresentar erros de projeção menores graças a pequena intensidade de luz, mas a projeção insere erros maiores em regiões claras. Contudo, como temos as capturas do nível de cinza ocorrendo entre os instantes 1,275 ms e 1,28 ms, o erro proporcionado pela projeção é atenuado pela precisão na reconstrução do pixel ATIS.

A diferença nos resultados entre pixels é explicada pela latência nos atendimentos dos árbitros e, por consequência, da diferença entre os eventos gerados pelo circuito de captura do nível de cinza. O resultado destes atrasos são pixels variando de intensidade apesar de receberem o mesmo estímulo.

Focando a simulação na região onde os eventos de captura ocorrem, temos a Figura 5.11. Com esta aproximação é possível observar individualmente os pixels sendo reconstruídos e a precisão do nível de cinza. Existem pixels gerando eventos de captura em conjunto e com alta velocidade nesta imagem. Quatro grupos de pixels nesta situação podem ser detectados no resultado desta simulação e condizem com o comportamento apresentado do *Bursting Mode*, no Capítulo 2. Como existe

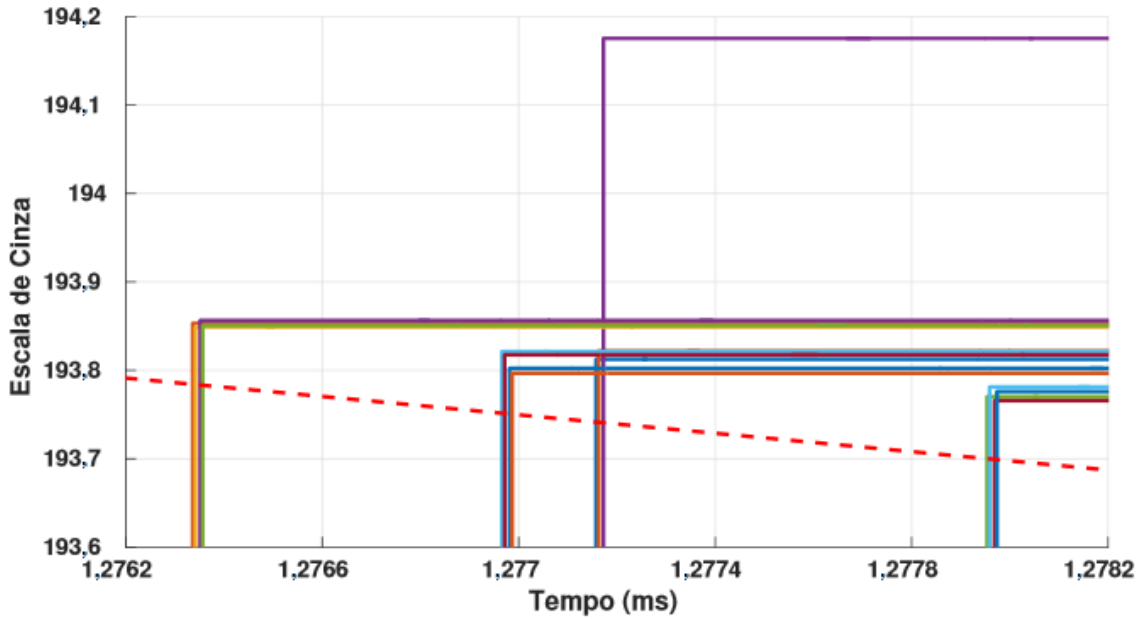


Figura 5.11: Efeito da Latência Sobre o *Bursting Mode*

uma separação da arbitragem na dimensão de linha e coluna, e com o árbitro de linha sendo escolhido arbitrariamente como o primeiro a ser comunicado, colunas numa mesma linha disparam em conjunto. Entre uma captura e outra, o árbitro de coluna é desativado mas não o árbitro de linha, pois existe outro pixel naquela mesma dimensão pronto para disparar. Com uma matriz 4x4, existem quatro grupos de disparos no resultado da simulação.

A precisão da reconstrução do nível de cinza é confirmada através do pixel com o pior desempenho. O pixel representado por uma linha roxa, entre 1,277 ms e 1,2774 ms, tem sua intensidade reconstruída com um erro muito maior que os demais pixels. Entretanto, observando a escala, percebe-se que mesmo o pior desempenho resulta em um erro menor do que um nível de cinza. Considerando que a simulação trabalha com uma escala de 256 níveis, o erro de reconstrução deste pixel é praticamente despercebido. A tendência é que o erro de reconstrução aumente conforme aumenta a matriz de pixels, pois aumenta o número de pixels disputando por uma resposta do árbitro e, por consequência, aumenta a latência.

### 5.3 *Layout* do Imageador

A confirmação da simulação elétrica quanto ao funcionamento do imageador ATIS permitiu que a etapa seguinte de produção fosse iniciada: o desenvolvimento do layout do circuito. O layout representa a implementação física do circuito integrado através de dopagens e máscaras de proteção sobre diferentes camadas de uma pastilha de silício.

Até o presente momento, o layout apresentado na Figura 5.12 foi desenvolvido. Ele é um resultado parcial deste projeto e representa um pixel original do imageador ATIS: um módulo DVS, representado na parte superior da imagem, e um circuito de captura do nível de cinza, que é representado pelo restante da imagem. No estado atual, um pixel ATIS original mede  $63\ \mu\text{m} \times 63\ \mu\text{m}$ . Separando cada um dos módulos necessários a sua implementação, temos que o módulo DVS mede  $63\ \mu\text{m} \times 35\ \mu\text{m}$  e que o circuito de captura preenche o restante da área, com dimensões de  $63\ \mu\text{m} \times 28\ \mu\text{m}$ .

Considerando esses resultados parciais, podemos projetar a redução de área através do compartilhamento do módulo DVS por um bloco de  $2 \times 2$  pixels. Na estrutura original, um bloco de  $2 \times 2$  pixels apresentaria quatro módulos DVS e quatro circuitos de captura. Utilizando as dimensões atuais, essa estrutura é implementada em uma área de  $15876\ \mu\text{m}^2$ . Com o compartilhamento do módulo DVS dentro deste bloco, temos uma redução de quatro para apenas um módulo DVS presente. Com essa redução, a área do bloco  $2 \times 2$  é reduzida para  $9261\ \mu\text{m}^2$ .

O compartilhamento do módulo DVS proporciona menos módulos presentes no imageador ATIS e alcança uma redução de área de 41%. Esse valor é encontrado comparando a área do bloco  $2 \times 2$  pixels original,  $15876\ \mu\text{m}^2$ , e o valor do mesmo bloco com compartilhamento,  $9261\ \mu\text{m}^2$ . A redução de área é satisfatória dentro das expectativas iniciais do projeto, mas tende a diminuir conforme o layout alcança sua estrutura completa. Esta redução inferior a desejada se deve ao fato da estimativa desconsiderar o impacto das conexões entre os pixels dentro de um mesmo bloco e a adaptação da estrutura do bloco para se adequar a um formato quadrado de pixel.

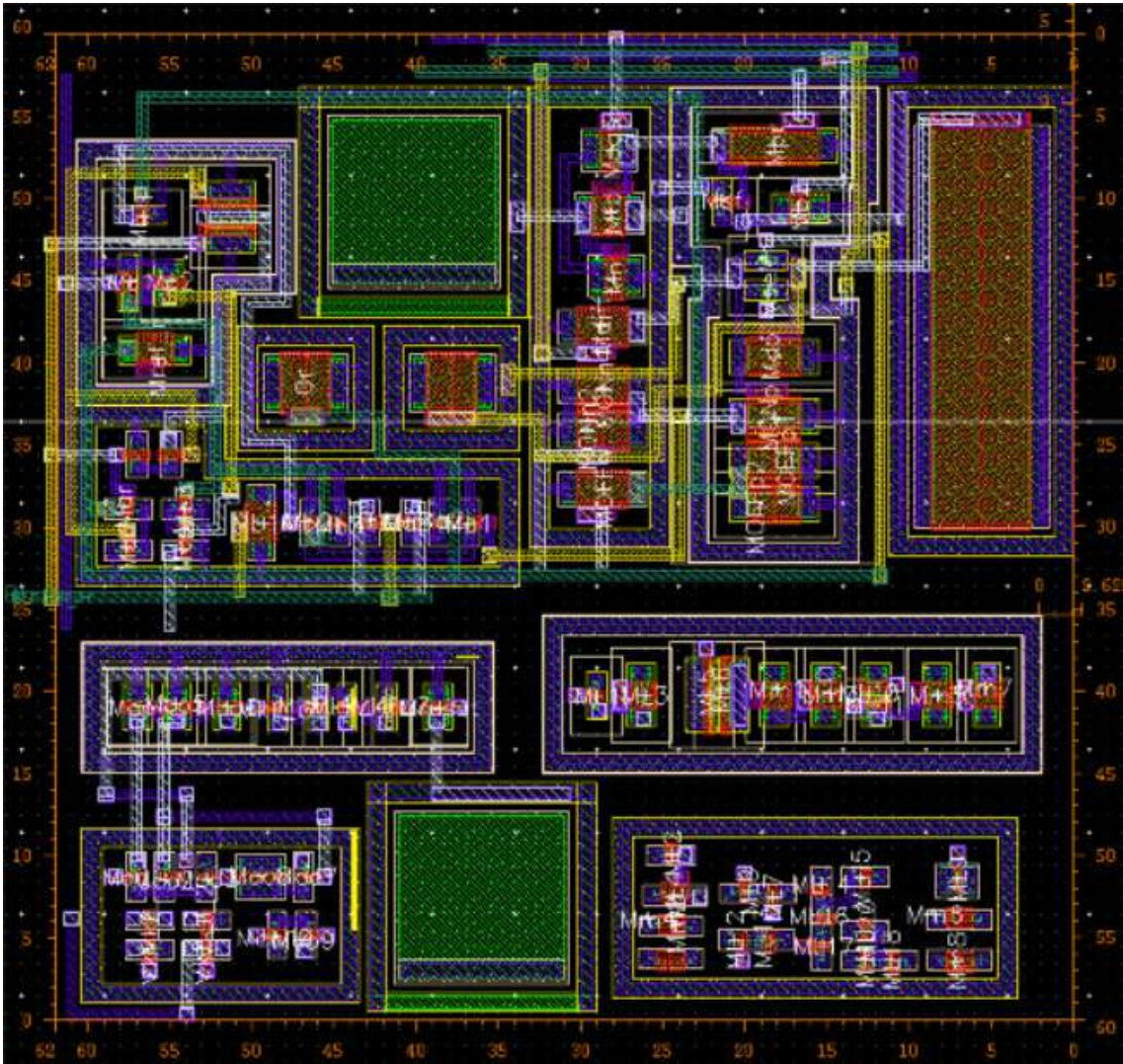


Figura 5.12: *Layout* Parcial do Imageador ATIS

# Capítulo 6

## Conclusão

Na introdução, propomos a implementação de uma estrutura do imageador ATIS com sua principal desvantagem atenuada: a área necessária para a operação de cada um dos pixels. Além disso, levantamos a necessidade de compatibilizar os circuitos periféricos aos pixels do imageador e determinar uma forma de simular e avaliar funcionamento do circuito retinomórfico.

O estudo sobre imageadores retinomórficos foi acompanhado por simulações a nível de sistema capazes de representar o funcionamento do sensor de imagem ATIS através de vídeos tradicionais e com menor esforço computacional. Os resultados dessas simulações proporcionaram uma métrica para desenvolver o raciocínio levando ao compartilhamento do módulo DVS e para avaliar o impacto das alterações no modo de funcionamento do imageador ATIS proposto. Com um pixel DVS para detectar a variação de uma região de pixels, concluímos que o menor grupo possível resulta no melhor resultado de comparação. Desta forma, o modelo de compartilhamento do módulo DVS para um bloco de 2x2 pixels foi estabelecido.

O compartilhamento do módulo DVS em um bloco de 2x2 pixels resultou em um aumento do RMSE de aproximadamente 33%, com maior impacto visual no caso de vídeos com poucas informações dinâmicas. O número alto de eventos de detecção melhorou o desempenho da captura, apesar do aumento na latência. A queda na SSIM do imageador com compartilhamento foi de aproximadamente 10%. Entretanto, como um resultado parcial, o módulo DVS apresenta uma área em torno de  $2205 \mu\text{m}^2$  e que o circuito de captura do nível de cinza alcança  $1764 \mu\text{m}^2$ . Se considerarmos o modelo original do imageador ATIS, teremos uma área para o bloco de 2x2 pixels de  $15876 \mu\text{m}^2$ . Ao compartilharmos o módulo DVS deixamos de utilizar três pixels DVS, reduzindo o número de transistores e capacitores significativamente. O resultado esperado para essa redução é de um bloco de 2x2 pixels com uma área total de  $9261 \mu\text{m}^2$ . Essa modificação proporcionaria uma diminuição de 41% na área do bloco compartilhado em relação a um bloco no imageador original. A projeção para a redução deve diminuir por não levar em conta efeitos da mudança

de geometria do pixel e conexões.

O uso de sensibilidade mediana (15%, correspondendo a um valor intermediário aos valores propostos na Seção 5.1) no funcionamento do módulo DVS foi confirmado pelos resultados provenientes das simulações por estabelecer um equilíbrio entre a redução nos envios redundantes do imageador e a qualidade observada na imagem reconstruída. O valor ideal foi calculado por volta de 15% e estabeleceu um corte de no mínimo 90% dos valores de pixels enviados pelo imageador ATIS em relação a um imageador APS tradicional.

Com o funcionamento em nível de sistema confirmado, passamos para o dimensionamento dos componentes no diagrama esquemático do imageador. Os transistores foram dimensionados através do entendimento do seu funcionamento e com o objetivo de redução da área do pixel e do consumo de potência. O circuito projetado resultou em simulações elétricas que comprovam a capacidade do imageador em detectar variações de luz em alta velocidade e reconstruir a intensidade da luz com precisão.

# Referências Bibliográficas

- [1] NAKAMURA, J. *Image Sensors and Signal Processing for Digital Still Cameras*. CRC Press, 2006.
- [2] FOSSUM, E. R. “Active Pixel Sensors: are CCDs Dinosaurs?” In: *Charge-Coupled Devices and Solid State Optical Sensors III*, v. 1900, 1993. doi: 10.1117/12.148585. Disponível em: <<https://doi.org/10.1117/12.148585>>.
- [3] KRISS, M. *Handbook of Digital Imaging: Image Capture and Storage*, v. 1. John Wiley & Sons, 2015.
- [4] MAHOWALD, M. *VLSI analogs of neuronal visual processing: a synthesis of form and function*. Tese de Doutorado, California Institute of Technology, 1992.
- [5] POSCH, C., SERRANO-GOTARREDONA, T., LINARES-BARRANCO, B., et al. “Retinomorphíc Event-Based Vision Sensors: Bioinspired Cameras With Spiking Output”, *Proceedings of the IEEE*, v. 102, n. 10, pp. 1470–1484, Oct 2014. ISSN: 0018-9219. doi: 10.1109/JPROC.2014.2346153.
- [6] DELBRUCK, T. “Frame-free dynamic digital vision”. In: *Proceedings of Intl. Symposium on Secure-Life Electronics, Advanced Electronics for Quality Life and Society*, pp. 6–7, 2008.
- [7] LICHTSTEINER, P., DELBRUCK, T. “A 64x64 AER Logarithmic Temporal Derivative Silicon Retina”. In: *Research in Microelectronics and Electronics, 2005 PhD*, v. 2, pp. 202–205, July 2005. doi: 10.1109/RME.2005.1542972.
- [8] LICHTSTEINER, P., POSCH, C., DELBRUCK, T. “A 128x128 120 dB 15 $\mu$ s Latency Asynchronous Temporal Contrast Vision Sensor”, *IEEE Journal of Solid-State Circuits*, v. 43, n. 2, pp. 566–576, Feb 2008. ISSN: 0018-9200. doi: 10.1109/JSSC.2007.914337.



- [9] POSCH, C., MATOLIN, D., WOHLGENANNT, R. “An asynchronous time-based image sensor”. In: *2008 IEEE International Symposium on Circuits and Systems*, pp. 2130–2133, May 2008. doi: 10.1109/ISCAS.2008.4541871.
- [10] BOAHEN, K. A. “A Burst-mode Word-serial Address-event Link-I: Transmitter Design”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 51, n. 7, pp. 1269–1280, July 2004. ISSN: 1549-8328. doi: 10.1109/TCSI.2004.830703.
- [11] POSCH, C., MATOLIN, D., WOHLGENANNT, R. “A QVGA 143 dB Dynamic Range Frame-Free PWM Image Sensor With Lossless Pixel-Level Video Compression and Time-Domain CDS”, *IEEE Journal of Solid-State Circuits*, v. 46, n. 1, pp. 259–275, Jan 2011. ISSN: 0018-9200. doi: 10.1109/JSSC.2010.2085952.
- [12] DELBRUCK, T., OBERHOFF, D. “Self-biasing Low Power Adaptive Photoreceptor”. In: *2004 IEEE International Symposium on Circuits and Systems (IEEE Cat. No.04CH37512)*, v. 4, pp. IV–844, May 2004. doi: 10.1109/ISCAS.2004.1329136.
- [13] DELBRUCK, T., MEAD, C. *Analog VLSI Phototransduction by continuous-time, adaptive, logarithmic photoreceptor circuits*. California Institute of Technology, 02 1995.
- [14] MATOLIN, D., POSCH, C., WOHLGENANNT, R. “True correlated double sampling and comparator design for time-based image sensors”. In: *2009 IEEE International Symposium on Circuits and Systems*, pp. 1269–1272, May 2009. doi: 10.1109/ISCAS.2009.5117994.
- [15] ORCHARD, G., MATOLIN, D., LAGORCE, X., et al. “Accelerated frame-free time-encoded multi-step imaging”. In: *2014 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 2644–2647, June 2014. doi: 10.1109/ISCAS.2014.6865716.