A SEGUNDA GERAÇÃO DO SISTEMA DE APOIO A PROJETO DE CIRCUITOS INTEGRADOS DO NCE/UFRJ "CORISCO"

E.A.Schmitz
J.A.S.Borges
A.A.S.Teles

NCE ~~0685~~ 04/85

Dezembro 1985

Núcleo de Computação Eletrônica
Caixa Postal 2324
20001 - Rio de Janeiro - RJ
BRASIL

ÍNDICE:

1. Motivação Inicial;

2. Descrição do Sistema - Primeira Geração;

3. Experiências com o Uso do Sistema;

4. Avaliação do Sistema;

5. Proposta para o Sistema de Segunda Geração;

6. Projeto piloto;

7. Estágio Atual de Desenvolvimento

RESUMO

Este relatório descreve a arquitetura da segunda geração do Sistema de Apoio a Projetos de Circuitos Integrados do NCE/UFRJ. A primeira geração é descrita e avaliada. A proposta para a nova versão é feita com base na avaliação do tempo gasto nas diversas fases de projeto de dois CI's desenvolvidos no NCE.

ABSTRACT

This report defines the architectural aspects of the Second Generation of the Software Tools for IC Design developed at the NCE/UFRJ.

The experience with the use of the first system is described and analysed. This evaluation provides the guidelines for the new system proposal.

1. MOTIVAÇÃO INICIAL

1.1 - Importância do Uso de CIs Personalizados

A indústria de circuitos integrados em grande escala é hoje uma indústria que lida com volumes de vendas extremamente grandes. Estima-se que o valor do mercado mundial da indústria de "chips" seja da ordem de 25 bilhões de dólares. A quase totalidade deste valor é contribuída por componentes de "catálogo" ou padrões. Estes circuitos são fabricados por grandes empresas e vendidas aos fabricantes de equipamentos eletrônicos. Por outro lado, razões de custo e de segredo industrial estão levando muitos fabricantes de equipamentos a usarem circuitos integrados proprietários em seus equipamentos. Sabe-se que esta tendência é crescente entre todos os fabricantes, sendo que, por exemplo, a ITT conta com 15 centros de projeto de circuitos integrados espalhados pelo mundo.

1.2 - Estilos de Projeto

Existem diversas maneiras de construir um circuito integrado personalizado a uma dada aplicação. Na indústria três formas são as mais usadas: os "gate-arrays", "standard-cells" e o chamado "full-custom".

No estilo gate-array o fabricante dos circuitos provê o projetista com um circuito pré-difundido onde todos os transistores já estão previamente alocados. Cabe então ao projetista, desenhar uma camada de interligação entre esses transistores de forma a implementar a função lógica desejada. É o método mais rápido e mais seguro embora sua densidade de integração não seja muito alta.

No estilo "standard-cell" o fabricante fornece uma biblioteca de células que estão disponíveis ao projetista. Esta biblioteca contém a descrição de componentes lógicos (p.ex.: blocos padrões da família TTL). Cabe então ao projetista, fazer uma alocação destes componentes na área do CI e fazer sua interligação. Seu custo de implementação é

maior do que o dos "gate-arrays", permitindo porém uso mais eficiente da área de silício.

No estilo chamado "full-custom" cabe ao projetista não somente a alocação dos elementos e sua interligação como também o projeto das estruturas lógicas usadas. É certamente o estilo de projeto que oferece a possibilidade de maior densidade de integração no circuito final. Por outro lado, demanda um esforço de projeto muito maior.

1.3 - A Formação do Grupo de Projeto de CIs do NCE/UFRJ

A possibilidade de reprojeto dos equipamentos eletrônicos ora em uso, usando circuitos integrados personalizados, exige uma grande quantidade de projetistas qualificados para este trabalho. Na década de setenta, a grande maioria dos projetistas de circuitos integrados era constituída por engenheiros que trabalhavam nas próprias empresas fabricantes de chips. Recebiam na fábrica um treinamento especial, que os habilitava a executar projetos de CIs que mais tarde seriam fabricados em suas próprias instalações. Como esta forma de treinamento é muito restrita, o número de projetistas formados é muito pequeno.

Que fazer para suprir este "gap" entre as possibilidades oferecidas pela tecnologia e o número de pessoas capazes de usá-la plenamente? É necessário que se crie um método de ensino que possibilite a formação de projetistas de circuitos integrados em uma escala muito maior do que o tradicional processo de treinamento na fábrica.

A solução para este problema foi dada por dois professores americanos, Carver Mead e Lynn Conway, e passou a ser conhecido internacionalmente como método Mead e Conway.

Este método de projeto de circuitos permite que pessoas sem conhecimento nenhum de física de semicondutores possam aprender como projetar circuitos integrados tornou-se parte integrante do currículo de engenharia e computação de muitas universidades americanas e européias.

Foi dentro deste cenário que o Núcleo de Computação Eletrônica da UFRJ decidiu criar uma equipe visando a absorção da tecnologia de projeto de circuitos integrados para aplicação no Brasil. Esta equipe foi dividida em dois grupos: um de projeto e outro de ferramentas de software.

O projeto de circuitos integrados em grande escala é uma tarefa impossível de ser realizada sem o auxílio de ferramentas computacionais. Isto se deve à complexidade dos problemas a serem tratados. Um circuito integrado razoavelmente complexo pode conter dezenas de milhares de transistores, cada qual envolvendo, por sua vez, um conjunto de 4 a 6 formas geométricas.

Por causa disso, o projeto deve ser hierarquizado em vários níveis de refinamento, por exemplo: nível funcional, lógico, elétrico e geométrico. É assim impossível lidar com essa multiplicidade de elementos sem que exista um conjunto adequado de ferramentas que permita a manipulação e verificação da consistência entre os elementos de mesmo nível e de níveis diferentes. Resumindo: precisa muito software.

Em contrapartida, o grupo de projeto deve assimilar e desenvolver técnicas de projeto. Com a experiência adquirida no projeto de circuitos, ele pode realimentar o grupo de ferramentas no sentido se dispor sempre de ferramentas mais aprimoradas.

1.4 - POR QUE ATÉ HOJE POUCOS CIRCUITOS SÃO PROJETADOS NO BRASIL?

O primeiro problema que entrava a possibilidade de uso intensivo de circuitos integrados personalizados no Brasil está na escassez de mão de obra especializada (engenheiros) com conhecimento de projeto de chips. Os cursos de engenharia eletrônica no Brasil formam projetistas acostumados a tratar com componentes de catálogo (p.ex.: TTL e microprocessadores), sem uma formação básica na área de microeletrônica.

Tendo-se este fato em mente, chega-se à conclusão de qualquer sistema de CAD para projeto de circuitos integrados construído para a

realidade do Brasil deve permitir que a concepção do circuito ntegrado seja feita no nível de diagramas lógicos.

E como isto pode ser feito? Através do uso de sistemas de captura de esquemáticos. Estes sistemas permitem a edição, verificação de consistência e simulação de circuitos expressos no nível lógico. Deve ser notado que isto não implica em nenhuma redução do trabalho de projeto que deve ser feito nos outros níveis tais como redes de transistores e layout.

O segundo problema é a geração do layout. Esta fase de projeto tem dois componentes problemáticos: as regras de projeto e a edição gráfica.

As regras elétricas e geométricas dos fabricantes são diversas e mudam ao longo do tempo. Muitas dessas regras são tão complicadas que é praticamente impossível sua assimilação em curto espaço de tempo pelos projetistas. Necessitamos definir um estilo de projeto que tenha uma dependência mínima com relação às regras dos fabricantes.

Na fase de edição, grande parte do tempo é gasta com a alocação e interligação dos componentes, que é feita manualmente, e portanto, muito suscetível a erros. É muito desejável que o sistema execute automaticamente estas duas funções, mesmo que a eficiência de ocupação da área de silício não seja ótima.

O terceiro problema é o tempo (e custo) de um projeto. Um cliente em potencial de um circuito personalizado estará disposto a investir tempo e capital num circuito desde que as reduções de custo de fabricação sejam maiores que o investimento.

Para reduzir o custo e tempo é necessário automatizar o máximo as atividades de projeto. Essa tendência é mundial. Um sistema automático voltado para projeto de chips oferece como vantagens:

multiplicação da capacidade de projeto eletrônico das equipes já existentes;

o tempo de projeto é, tipicamente, 10 vezes menor que o

manual e os projetos extremamente mais confiáveis;

- possibilidade de competição internacional, em termos de tempo e qualidade dos projetos eletrônicos, especialmente na área de computação e controle de processos.

2. DESCRIÇÃO DO SISTEMA DE APOIO AO PROJETO DE CIs - PRIMEIRA GERAÇÃO

O projeto de um circuito integrado pode ser tratado com um processo de refinamentos sucessivos ("Top-down"). O projetista parte de uma especificação funcional que descreve a função a ser executada pelo circuito.

O primeiro passo de refinamento, é a conversão desta especificação funcional, para uma representação de registros e blocos funcionais.

No passo seguinte este diagrama é traduzido em termos de portas lógicas elementares: "E", "OU", flip-flops, inversores, e outros.

A seguir os operadores lógicos são decompostos em transistores e conexões, dando origem ao diagrama elétrico.

Finalmente o passo de geração de layout consiste na definição geométrica e do posicionamento de cada um dos transistores sobre a área de silício.

Cada um dos passos acima exige ferramentas apropriadas para:

entrada e edição;
verificação de consistência;
simulação e avaliação de desempenho;
saídas e relatórios.

Visto desta, forma cada passo de projeto é muito semelhante ao processo de confecção de programas, onde a verificação equivale à compilação e a simulação equivale à execução e depuração do programa. Pensando desta maneira, não se admite hoje que um programa seja produzido sem o auxílio de um editor de textos e um compilador. Em programas mais complexos, ainda seria indispensável a existência de um depurador que fornecesse a sequência de estados internos ocorridos durante a execução de um programa.

A primeira versão do conjunto de ferramentas do Sistema de Apoio a Projetos de Circuitos Integrados do NCE, foi projetado para

[redacted]

operar nos níveis de circuito e layout. Contém as seguintes ferramentas:

ao nível de descrição funcional:

- linguagem SIMF - em que são descritos registros e blocos lógicos;
- compilador SIMF - que faz a consistência de um texto escrito na linguagem SIMF;
- interpretador SIMF - que aceita um conjunto de comandos, especificando excitações e níveis de entradas, e calcula a sequência de estados internos e de saída.

ao nível de rede de transistores

- linguagem NDL - permite especificar uma rede de transistores MOS;
- verificador ESTÁTICO - verifica se a rede está bem formada;
- simulador lógico SIML - que aceita um conjunto de comandos especificando excitações e níveis de entradas, calcula a sequência de estados internos e de saída;
- avaliador CRÍTICO - determina o "caminho" elétrico crítico para propagação de sinal no circuito.

- ao nível de layout

- editor de células EDMOS - permite a criação interativa de células, a nível de geometria;
- editor de layout hierárquico EDCI - permite a construção hierárquica do layout completo do circuito integrado, seja no sentido bottom-up (unir diversas células criando blocos) ou top-down (dividir blocos em células);
- gerador de PLA's - gerador automático de módulos. A partir da função lógica, gera automaticamente o seu layout;
- verificador de regras de projeto (DRC) - testa a existência de possíveis violações nas regras de fabricação.

inter-níveis

- extrator de circuitos - descobre, a partir do layout a rede de transistores ali contida, o que possibilita ao projetista saber se o layout editado corresponde à rede de transistores.

Além destes programas existem diversos outros utilitários que tem finalidades mais específicas, como conversão de formato para simuladores externos (por exemplo, SPICE) e gráficos em impressora e plotter.

3. EXPERIÊNCIAS COM O USO DO SISTEMA

O sistema foi utilizado em dois projetos de circuitos integrados realizados no NCE/UFRJ. O primeiro implementou o circuito da recepção da rede local em anel no NCE, e continha aproximadamente 1.500 transistores. O segundo, com 5.000 transistores, implementa a eletrônica de recepção e transmissão da mesma rede.

Além dessas utilizações "profissionais", o sistema vem sendo utilizado pelos alunos de graduação e pós-graduação da UFRJ, com bastante sucesso. As ferramentas provaram formar um bloco muito homogêneo e completo. Os programas se encaixam perfeitamente e mostraram-se na prática serem de fácil utilização, mesmo com pessoal com pouco traquejo no uso de facilidades computacionais.

4. AVALIAÇÃO DO SISTEMA

Dos dois projetos que utilizaram o sistema e da experiência com ensino de projeto de circuitos integrados verificou-se que o tempo gasto nas diversas fases do projeto se distribui da seguinte forma:

	% Tempo Total	Parte não Comput.	Parte Comput.
Especificação do chip	15%	100%	0%
Nível funcional	30%	70%	30%
Nível lógico	5%	90%	10%
Nível rede de transistores	30%	30%	70%
Nível de layout	20%	20%	80%

Deve ser notado que no caso dos dois circuitos acima citados, a metodologia utilizada fazia largo uso do gerador automático de PLAs, de forma que o tempo gasto no nível lógico, isto é, tratando da conversão da especificação lógica para rede de transistores e após para layout, foi muito pequeno.

Mesmo com o uso dos geradores, verifica-se que aproximadamente metade do tempo de projeto é gasta nas atividades de nível mais alto, ou seja, as que envolvem os níveis funcionais e lógicos. Isto sugere fortemente que o investimento em ferramentas para estes níveis trará maior retorno em termos da diminuição de tempo de projeto.

Observamos também que se gasta muito tempo fazendo verificações inter-níveis. Isto é devido ao fato de que as informações de projeto estão distribuídas ao longo de um número muito grande de arquivos e que todas as tarefas de consistência implicam no controle desses arquivos e conversões entre formatos usados em níveis diferentes. Esta verificação tem componentes tanto humanos quanto computacionais.

5. A SEGUNDA GERAÇÃO DO SISTEMA PARA PROJETO DE CIRCUITOS INTEGRADOS - CORISCO

5.1 - Funcionamento

A abordagem para o nosso novo sistema se encaixa dentro do que é classificado como Sistema de Apoio a Projetos de Engenharia (Computer Aided Engineering - CAE). O sistema consiste num conjunto de ferramentas de software destinadas a apoiar diretamente projetistas de circuitos integrados, acompanhando o projeto desde a fase de concepção (diagrama de blocos) passando pelo projeto lógico, elétrico e de layout, até a fase de geração da documentação e manuais.

Todas as ferramentas do nosso novo sistema foram projetadas para operar com o banco de dados de projeto contendo a descrição do circuito em 4 níveis: funcional, lógico, transistores e layout. Para cada um destes níveis, o sistema oferecerá facilidades para:

edição;
verificação/validação;
simulação;
conversão para formatos de outros níveis.

Na figura 1 vemos um diagrama em blocos da interligação dos módulos componentes do sistema. Cada uma das ferramentas é construída como uma série de programas, cujo encaixe é assegurado pelo banco de dados, que padroniza as formas de acesso e permite de uma forma simples a conversão das representações e a consistência inter-níveis.

A descrição funcional será feita numa linguagem de descrição de hardware do tipo DDL("Digital Design Language"). Para esta linguagem existirá um compilador funcional cuja função é verificar a consistência das especificações. Será construído um simulador que exercitará a descrição, produzindo gráficos ou relatórios de saída do circuito.

A passagem do nível funcional para lógico será feita por um compilador lógico, que transforma a descrição funcional numa "lista de nós" (netlist), que é a representação do circuito por uma rede de ope-

radores lógicos.

Opcionalmente esta passagem também poderá ser feita manualmente, gerando-se o circuito diretamente com um editor de esquemáticos. Espera-se que esta seja a forma mais comum, uma vez que grande parte dos projetos aproveitarão (ou serão derivados de) subsistemas pré-existentes.

As características dos elementos de circuitos (componentes eletrônicos) utilizados pelo editor de circuito serão definidos por um editor de componentes, tornando desta forma o sistema independente de tecnologia. Desta forma, será possível criar esquemas para projeto TTL, NMOS, CMOS, etc... mudando-se apenas uma biblioteca de componentes

A verificação de consistência no nível lógico será feita por um compilador/linkeditor de circuitos. Um gerador automático permitirá que a representação lógica seja automaticamente convertida para a forma de rede de transistores.

O banco de dados oferecerá a conversão "imediata" do formato de redes de nós para redes de transistores. Em casos especiais, o projetista ainda poderá criar diretamente (manualmente) a descrição do circuito no formato de redes de transistores, usando a linguagem de descrição de redes de transistores (NDL - Network Definition Language).

O circuito assim definido, será verificado, para se ter certeza de que é bem formado (por exemplo, todos os transistores ligados, sem curto-circuitos, etc.). Após a verificação o circuito pode ser simulado utilizando-se o simulador lógico. Para assegurar que as restrições de tempo de funcionamento estão cumpridas existirá o avaliador de caminhos críticos, que informará o conjunto de transistores que provoca o maior atraso no circuito.

A passagem do nível lógico para o nível de layout poderá ser feita automaticamente usando-se o alocador e roteador automático de células padrões. O uso do editor gráfico hierárquico EDCI permitirá que parte do circuito seja feita usando-se geradores de módulos, que

posteriormente serão agregados ao circuito final ao nível de layout.

Existirão também acoplados ao sistema uma série de geradores automáticos de módulos, que serão capazes de gerar layouts de células, PLA'S, ROMS, etc. proporcionando uma grande economia no tempo de projeto.

5.2 - Níveis de Representação e Integração

Devido à integração do sistema, em todos os momentos do projeto, o projetista terá acesso a todos os níveis de representação e todas as ferramentas estarão disponíveis. Por exemplo, dado um layout, ele poderá caminhar de volta ao nível lógico, fazer uma simulação, modificar a rede lógica e obter automaticamente o novo layout.

Naturalmente, a compatibilidade inter-níveis somente é assegurada de cima para baixo, com o uso das ferramentas automáticas. É claro que existirão muitas situações onde o projetista desejará influir diretamente num certo nível, ou mesmo realizar o seu projeto em muitos níveis, sem uso das ferramentas automáticas, visando um melhor desempenho. Neste caso a compatibilidade só pode ser assegurada através da comparação automática ou manual dos resultados das simulações dos diversos níveis.

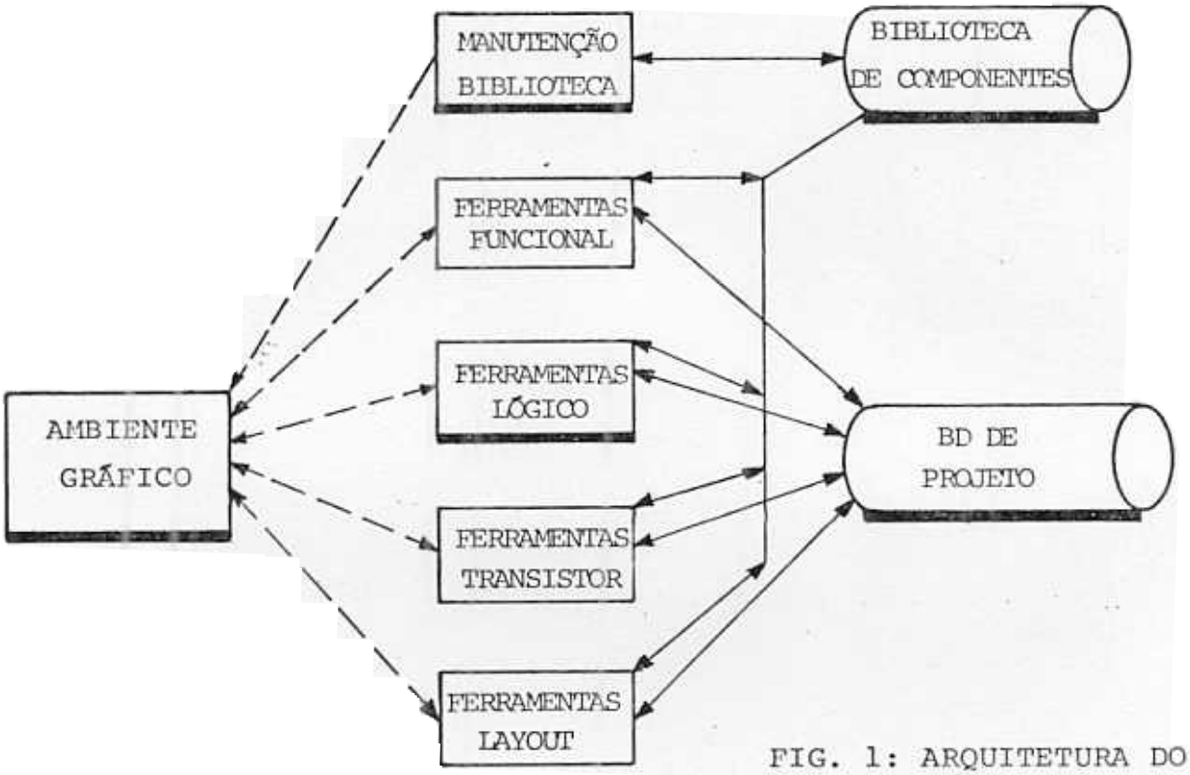

FIG. 1: ARQUITETURA DO SISTEMA.

6. O PROJETO PILOTO

Para validação do sistema será inicialmente construído um projeto piloto que deverá, num prazo de cerca de 24 meses, produzir resultados utilizáveis na prática.

Esta versão será composta basicamente por 5 subsistemas: (fig.2):

- captura de esquemáticos;
- verificação lógica e elétrica;
- simulação;
- geração automática de layout;
- controle integrado de documentação

A confecção de esquemáticos resume-se basicamente no desenvolvimento do layout em diagramas de blocos e componentes eletrônicos, abordando o problema de forma hierárquica. Após produzidos os esquemas (ou durante a sua construção) as ferramentas de verificação são utilizadas para validação de interconexões entre os componentes do esquema. Os esquemas gerados podem então ser exercitados, através de simuladores lógicos. Os circuitos poderão ser corrigidos e simulados novamente de uma forma interativa.

Com o circuito totalmente simulado e tendo-se sua lógica de funcionamento garantida, passa-se para a fase de geração automática do layout. Esse processo produz uma saída correta por construção, ou seja, elimina-se a necessidade de verificação geométrica do circuito. Caso seja necessário, ainda será possível a extração do circuito gerado automaticamente para simulação utilizando SPICE.

O sistema de documentação proverá as facilidades necessárias para documentação em todas as fases de projeto. Essa documentação será integrada, permitindo inclusive a criação de manuais ilustrados com os diagramas e resultados obtidos nas diversas fases do projeto.

Devido à alta complexidade deste sistema e ao alto grau de interligação entre os módulos, e visando adquirir independência física dos dados, dando ao sistema a possibilidade de expansão, é fundamental

que mesmo neste protótipo seja utilizado um sistema de banco de dados.

O protótipo proposto será expansível em diversas direções, especialmente para uso em projeto tradicional (não integrado) de eletrônica, com componentes tipo TTL e Microprocessadores. Permitirá também a geração de parâmetros para sistemas automáticos de circuitos impressos e documentação em geral.

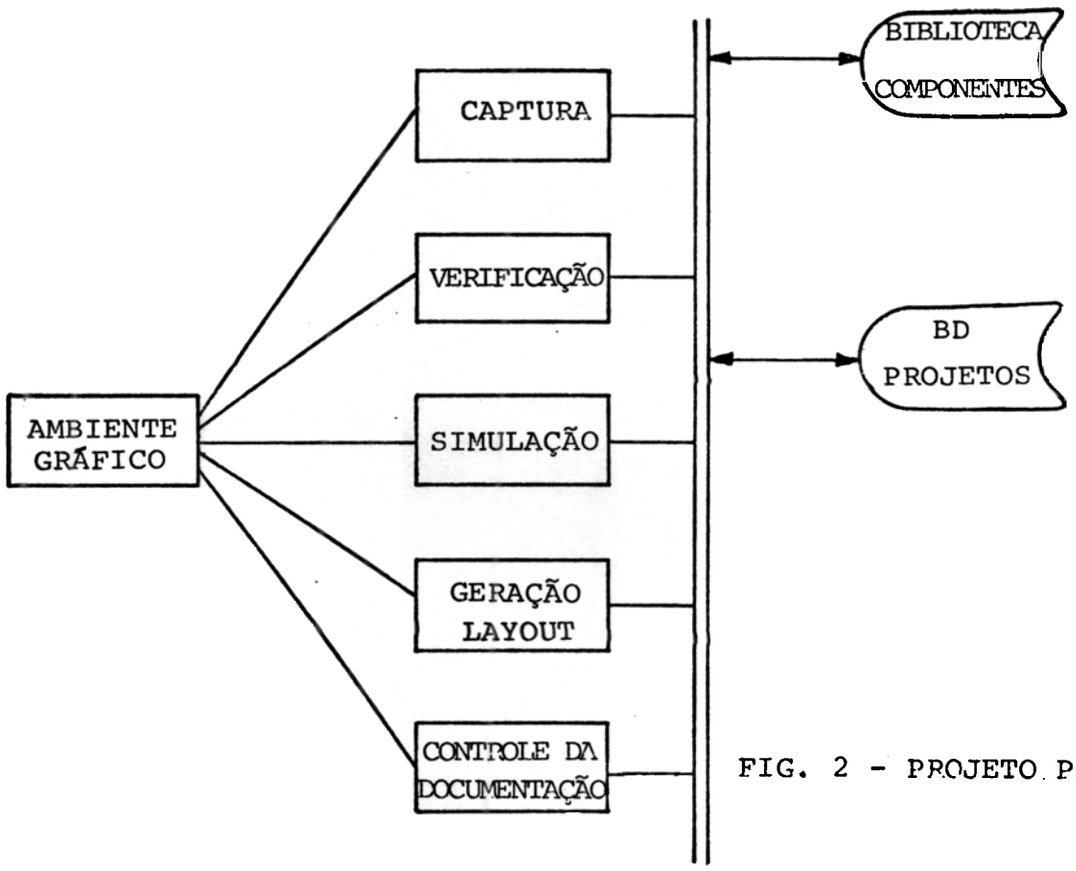

FIG. 2 - PROJETO PILOTO

7. ESTÁGIO ATUAL DO PROJETO

Na época de redação deste relatório, novembro de 1985, estava sendo concluído o estudo preliminar e implementação do protótipo de edição de esquemáticos, versão não hierárquica e o protótipo de um sistema de gerenciamento de bases de dados relacionais para manuseio do banco de dados do projeto. Concluída esta fase preliminar, já será possível a entrada de esquemáticos TTL e a utilização interna para documentação do projeto do novo circuito integrado do NCE, em versão CMOS.

Quanto à geração automática de layout, já estão sendo concluídos os módulos experimentais de alocação e interligação.

O sistema completo está previsto para entrada em funcionamento até o final de 1986, exceto a parte de simulação, que ainda está em estudos.

O sistema foi projetado para ser executado em micros e minicomputadores nacionais que utilizem sistemas compatíveis com o UNIX e está sendo totalmente codificado em linguagem C. A parte gráfica está sendo escrita modularmente, de forma a poder utilizar uma vasta gama de terminais e impressoras gráficas.