



AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA
TOTALMENTE DIFERENCIAL COM ALTA LINEARIDADE E CIRCUITO DE
COMPENSAÇÃO DE MODO COMUM

João Pedro Gonçalves Freitas

Dissertação de Mestrado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Carlos Fernando Teodósio Soares

Rio de Janeiro
Março de 2019

AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA
TOTALMENTE DIFERENCIAL COM ALTA LINEARIDADE E CIRCUITO DE
COMPENSAÇÃO DE MODO COMUM

João Pedro Gonçalves Freitas

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DO INSTITUTO
ALBERTO LUIZ COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE
ENGENHARIA (COPPE) DA UNIVERSIDADE FEDERAL DO RIO DE
JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A
OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM ENGENHARIA
ELÉTRICA.

Examinada por:

Prof. Carlos Fernando Teodósio Soares, D.Sc.

Prof. Fernando Antônio Pinto Barúqui, D.Sc.

Prof. Márcio Nogueira de Souza, D.Sc.

RIO DE JANEIRO, RJ – BRASIL
MARÇO DE 2019

Freitas, João Pedro Gonçalves

Amplificador Operacional de Transcondutância totalmente diferencial com alta linearidade e circuito de compensação de modo comum/João Pedro Gonçalves Freitas. – Rio de Janeiro: UFRJ/COPPE, 2019.

XIV, 101 p.: il.; 29,7cm.

Orientador: Carlos Fernando Teodósio Soares

Dissertação (mestrado) – UFRJ/COPPE/Programa de Engenharia Elétrica, 2019.

Referências Bibliográficas: p. 99 – 101.

1. Operational Transconductor Amplifier. 2. Folded Flipped Voltage Follower. 3. offset diferencial. I. Soares, Carlos Fernando Teodósio. II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

Agradecimentos

Gostaria de agradecer primeiramente à Deus por ter me dado força e luz para conseguir chegar até aqui e concluir esta importante etapa da minha vida. Também quero agradecer a meus pais por todos os valores ensinados, todo o apoio dado e por terem me ensinado a correr atrás dos meus sonhos independente da dificuldade com a qual eu me deparei.

Ao professor e orientador Carlos Fernando Teodósio Soares por ter depositado em mim confiança para realizar esse trabalho, pela paciência que teve comigo, estando sempre disposto a me ajudar no meu processo de aprendizado e por todo o conhecimento transmitido ao longo desse tempo.

Aos professores do PADS por todo o apoio e conhecimento a mim transmitido ao longo da minha trajetória. Aos colegas e amigos do PADS pela ajuda nos momentos em que mais necessitei.

Aos meus amigos Paulo Henrique Silva Pinto e Roberto Wu Mok, que me acompanharam durante a graduação e agora durante essa importante fase. Aos meus amigos Gustavo Marques Mattos e Pedro Cardoso Silveira, que me acompanharam durante essa trajetória e sempre me apoiaram.

Ao professor Manoel Perez, por toda a ajuda e pelo incentivo em iniciar e concluir esse desafio que me agregou bastante conhecimento e maturidade.

Ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) pela bolsa de mestrado paga a mim durante todo o curso de mestrado, sem a qual eu não conseguiria concluir essa pesquisa.

À Universidade Federal do Estado do Rio de Janeiro pela oportunidade de iniciar e concluir essa importante etapa da minha vida e pela excelência de ensino que me proporcionou.

E, por fim, agradeço a todos que de alguma forma pude conviver e estudar durante esse importante ciclo que está por se encerrar.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA
TOTALMENTE DIFERENCIAL COM ALTA LINEARIDADE E CIRCUITO DE
COMPENSAÇÃO DE MODO COMUM

João Pedro Gonçalves Freitas

Março/2019

Orientador: Carlos Fernando Teodósio Soares

Programa: Engenharia Elétrica

Apresenta-se, nesta dissertação, o projeto de um *Operational Transconductor Amplifier* (OTA) totalmente diferencial de alta linearidade, baseado na topologia de um *Folded Flipped Voltage Follower*. Este foi desenvolvido e aplicado em um filtro passa-baixas de 3^a ordem, baseado na aproximação de *Chebyshev* do tipo $G_m - C$, com frequência de corte de 300 kHz. Além disso, o OTA possui baixo *offset* diferencial e é integrado a um circuito de controle de modo comum para eliminar a tensão de modo comum dos terminais de saída. O projeto foi realizado para a tecnologia *Complementary Metal-Oxide-Semiconductor* (CMOS) de 0,35 μm e as tensões de alimentação do circuito serão $\pm 1,5$ V.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

OPERATIONAL TRANSCONDUCTOR AMPLIFIER FULLY DIFFERENTIAL
WITH HIGH LINEARITY AND COMMON MODE FEEDBACK
COMPENSATION

João Pedro Gonçalves Freitas

March/2019

Advisor: Carlos Fernando Teodósio Soares

Department: Electrical Engineering

In this work, we present the design of a fully differential Operational Transconductor Amplifier (OTA) with high linearity, based on the Folded Flipped Voltage Follower (FFVF) Topology. This structure was developed and applied on a 3rd order low-pass $G_m - C$ filter, based on the Chebyshev's approximation with a cutoff frequency of 300 kHz. Besides that, the OTA has low differential offset and it is integrated with a common mode feedback compensation circuit, to eliminate the common mode voltage at the output nodes. The project was implemented in a 0.35 μm Complementary Metal-Oxide-Semiconductor (CMOS) technology and operates at a ± 1.5 V power supply.

Sumário

Lista de Figuras	ix
Lista de Tabelas	xiv
1 Introdução	1
1.1 Amplificador de Transcondutância - OTA	2
1.2 Estudo bibliográfico	7
1.3 Organização do Trabalho	8
2 Projeto do Filtro $G_m - C$	10
2.1 Obtenção do Protótipo Passivo em Rede <i>Ladder</i>	10
2.2 Obtenção do Filtro $G_m - C$ a Partir do Protótipo <i>Ladder</i>	11
2.3 Escalamento em Frequência e Impedância	15
3 Projeto do OTA Real	18
3.1 Projeto do OTA Real	18
3.1.1 Flipped Voltage Follower	19
3.1.2 Folded Flipped Voltage Follower - FFVF	24
3.2 Desenvolvimento do Circuito do OTA Baseado na Topologia FFVF	30
3.3 Projeto e Dimensionamento dos Transistores do OTA	32
3.4 Desenvolvimento do Circuito de Polarização	38
3.5 Projeto e Dimensionamento dos Transistores do Circuito de Polarização	40
4 Projeto do <i>Common Mode Feedback</i> - CMFB	43
4.1 O Sistema Realimentado CMFB	43
4.1.1 Introdução sobre CMFB	43
4.1.2 Revisão bibliográfica de topologias de CMFB	44
4.2 Desenvolvimento do Circuito CMFB	48
4.3 Projeto e Dimensionamento dos Transistores do CMFB	58
5 Simulações	60
5.1 OTA	60

5.1.1	Polarização DC	60
5.1.2	Varredura de Transcondutância com CMFB ideal	61
5.2	CMFB	64
5.2.1	Polarização do Circuito	64
5.2.2	Sensibilidade à Tensão de Modo Comum	66
5.2.3	Margem de ganho e fase do CMFB	69
5.2.4	Sensibilidade à Tensão Diferencial	71
5.3	OTA com CMFB Real	75
5.3.1	Distorção Harmônica Total (THD) do OTA	75
5.3.2	Varredura de Transcondutância	76
5.3.3	Margem de Ganho e de Fase do Integrador	80
5.3.4	<i>Common Mode Rejection Ratio</i> (CMRR)	82
5.3.5	Tensão de <i>Offset</i> Diferencial na Saída	83
5.3.6	Offset de Modo Comum na Saída	86
5.4	Filtro	88
5.4.1	Resposta em frequência do filtro com OTAs ideais	88
5.4.2	Resposta em frequência do filtro implementado com o OTA projetado	89
5.4.3	THD do Filtro	94
6	Conclusões	96
6.1	O Filtro G_m -C	96
6.2	Controle de Modo Comum proposto	97
6.3	Amplificador Operacional de Transcondutância proposto	97
6.4	Trabalhos Futuros	98
	Referências Bibliográficas	99

Lista de Figuras

1.1	Representação simbólica de um OTA simples	2
1.2	Resistor passivo aterrado implementado por um OTA de terminação simples.	4
1.3	Resistor passivo suspenso implementado por dois OTAs idênticos com terminação simples.	4
1.4	Indutor aterrado sendo implementado por OTAs de terminação simples.	5
1.5	Indutor passivo suspenso implementado por três OTA de terminação simples.	6
2.1	Protótipo <i>Ladder</i> do Filtro.	11
2.2	Circuito equivalente de Norton do Ramo de Entrada do Filtro Composto por V_{in} e R_S	12
2.3	Implementação do Resistor R_S da Rede <i>Ladder</i> Utilizando um OTA duplamente terminado.	13
2.4	Circuito girador implementado com OTAs duplamente terminados.	13
2.5	Par de Giradores que implementam o indutor L_2 da Figura 2.1.	14
2.6	Protótipo do Filtro $G_m - C$ que Implementa a Rede <i>Ladder</i>	15
3.1	Estrutura de um par diferencial composto por transistores NMOS.	18
3.2	Estrutura de um <i>Flipped Voltage Follower</i>	20
3.3	Estrutura de um <i>Flipped Voltage Follower</i> com a adição de um espelho de corrente para operar como um <i>Current Conveyor</i>	21
3.4	Modelo de pequenos sinais do FVF, para o cálculo da impedância do nó X	22
3.5	FVF atuando como <i>Current Conveyor</i> com M_4 atuando como elemento de transcondutância.	23
3.6	Topologia do <i>Super Source Follower</i> proposto em [1].	24
3.7	Modelagem de pequenos sinais da topologia do <i>Super Source Follower</i>	25
3.8	Modelagem de pequenos sinais da topologia do <i>Super Source Follower</i> com a fonte de tensão de teste V_X	25
3.9	Topologia do FFVF, apresentado em [2].	27

3.10	Topologia do FFVF, com a introdução de um elemento de transcondutância.	28
3.11	Topologia do FFVF para implementação do estágio de entrada do OTA proposto neste trabalho.	29
3.12	Topologia completa do OTA desenvolvido neste trabalho	30
3.13	Esquemático utilizado para dimensionamento dos transistores MOS-FET.	34
3.14	Gráfico de varredura $I_D \times W$	35
3.15	Espelhos de alta compliância utilizando transistores NMOS (esquerda) e PMOS (direita).	38
3.16	Espelhos do tipo <i>cascodes</i> utilizando transistores NMOS (esquerda) e um utilizando PMOS (direita).	39
3.17	Esquemático do circuito de polarização completo.	40
4.1	Sensor de modo comum composto por resistores em série.	44
4.2	Sensor de modo comum composto por resistores e seguidores de fonte.	45
4.3	Sensor com dois seguidores de fonte sem resistores.	46
4.4	Sensor com dois transistores do tipo NMOS operando na região ôhmica.	47
4.5	Esquemático das fontes de corrente dos <i>cascodes</i> dobrados na saída do OTA desenvolvido neste trabalho.	49
4.6	Esquemático completo do circuito de CMFB, responsável por realizar o controle de modo comum de saída do OTA.	50
4.7	Blocos que compõem o sensor do CMFB e a sua polarização.	51
4.8	Bloco do circuito atuador do CMFB.	53
4.9	Esquemático do OTA com tensão de controle V_{cmfb} sendo aplicada ao <i>gate</i> de M_{11}	55
4.10	Esquemático do OTA com tensão de controle V_{cmfb} sendo aplicada aos terminais de <i>gate</i> de M_{4A} e M_{4B}	56
4.11	Esquemático do circuito de CMFB adotado no circuito do OTA ilustrado na Figura 4.10.	57
5.1	OTA com realimentação unitária negativa.	61
5.2	Esquemático utilizado para implementar o CMFB ideal.	62
5.3	<i>Testbench</i> utilizado na simulação de transcondutância utilizando o circuito de CMFB ideal.	62
5.4	Ganho de transcondutância do OTA, utilizando CMFB ideal, em função da tensão diferencial de entrada V_{in}	63
5.5	Gráfico de corrente de saída I_{out} em função da tensão de entrada diferencial V_{in}	64

5.6	<i>Testbench</i> utilizado na simulação da sensibilidade do CMFB em relação à tensão de modo comum.	66
5.7	Corrente na saída do sensor de modo comum do circuito de CMFB em função da parcela de modo comum na entrada.	67
5.8	Corrente na saída do sensor de modo comum do circuito de CMFB em função da parcela de modo comum na entrada, considerando apenas variações nos parâmetros do processo de fabricação ($I_{bias} = 5 \mu A$).	68
5.9	Corrente na saída do sensor de modo comum do circuito de CMFB em função da parcela de modo comum na entrada, considerando apenas descasamentos entre transistores ($I_{bias} = 5 \mu A$).	68
5.10	Corrente na saída do sensor de modo comum do circuito de CMFB em função da parcela de modo comum na entrada, considerando variações nos parâmetros do processo de fabricação e também de descasamentos entre os transistores ($I_{bias} = 5 \mu A$).	69
5.11	Resposta em frequência do CMFB para ($I_{bias} = 5 \mu A$).	70
5.12	Resposta de fase do CMFB para ($I_{bias} = 5 \mu A$).	70
5.13	<i>Testbench</i> utilizado na simulação da sensibilidade do sensor de modo comum com respeito à tensão diferencial.	71
5.14	Corrente na saída do sensor de modo comum do circuito de CMFB em função da parcela diferencial na entrada.	72
5.15	Corrente na saída do sensor de modo comum do circuito de CMFB em função da parcela diferencial na entrada para variação nos parâmetros do processo de fabricação ($I_{bias} = 5 \mu A$).	73
5.16	Corrente na saída do sensor de modo comum do circuito de CMFB em função da parcela diferencial na entrada considerando os descasamentos entre transistores ($I_{bias} = 5 \mu A$).	73
5.17	Corrente na saída do sensor de modo comum do circuito de CMFB em função da parcela diferencial na entrada considerando os efeitos das variações nos parâmetros do processo de fabricação e dos descasamentos entre os transistores ao mesmo tempo ($I_{bias} = 5 \mu A$).	74
5.18	THD do sinal na saída I_{out} em função da amplitude da tensão diferencial de entrada V_{in}	76
5.19	Ganho de transcondutância do OTA, utilizando CMFB real em função da tensão diferencial de entrada V_{in}	77
5.20	Corrente na saída do OTA utilizando o CMFB projetado, em função da tensão diferencial de entrada V_{in}	78
5.21	Variação da transcondutância do OTA em relação às variações nos parâmetros do processo de fabricação.	79

5.22	Variação da transcondutância do OTA em relação ao descasamento de componentes.	80
5.23	Gráfico da curva de ganho (dB) do OTA atuando como integrador com o maior capacitor do filtro (16 ρ F).	81
5.24	Gráfico da curva de fase (em graus) do OTA atuando como integrador com o maior capacitor do filtro.	81
5.25	Densidade espectral de ruído na entrada do OTA atuando como integrador com o maior capacitor do filtro (16 ρ F).	82
5.26	Simulações de Monte Carlo para o CMRR utilizando a corrente de polarização típica ($I_{bias} = 5 \mu A$).	83
5.27	Histograma de <i>offset</i> diferencial para $I_{bias} = 1 \mu A$	84
5.28	Histograma de <i>offset</i> diferencial para $I_{bias} = 5 \mu A$	85
5.29	Histograma de <i>offset</i> diferencial para $I_{bias} = 10 \mu A$	85
5.30	Histograma da tensão de <i>offset</i> de modo comum para $I_{bias} = 1 \mu A$	86
5.31	Histograma da tensão de <i>offset</i> modo comum para $I_{bias} = 5 \mu A$	87
5.32	Histograma da tensão de <i>offset</i> de modo comum para $I_{bias} = 10 \mu A$	87
5.33	Modelo de um transcondutor ideal, usando uma fonte de corrente controlada por sua tensão diferencial de entrada.	88
5.34	Resposta em frequência do filtro composto por OTAs ideais para frequência de corte de 300 kHz.	89
5.35	Curvas de resposta em frequência do filtro implementado com o OTA projetado.	90
5.36	Curvas ampliadas da resposta em frequência do filtro implementado com o OTA projetado.	90
5.37	Simulações de Monte Carlo da resposta em frequência do filtro, considerando apenas variações de parâmetros de processo.	91
5.38	Curvas ampliadas das simulações de Monte Carlo da resposta em frequência do filtro, considerando apenas variações de parâmetros de processo.	92
5.39	Simulações de Monte Carlo da resposta em frequência do filtro, considerando o descasamento de componentes.	93
5.40	Curvas ampliadas das simulações de Monte Carlo da resposta em frequência do filtro, considerando o descasamento de componentes.	93
5.41	Simulações de Monte Carlo da resposta em frequência do filtro, considerando a variação de parâmetros de processo e o descasamento de componentes.	94
5.42	Curvas ampliadas das simulações de Monte Carlo da resposta em frequência do filtro, considerando a variação de parâmetros de processo e o descasamento de componentes.	94

5.43 THD do sinal diferencial na saída do filtro em função da amplitude da tensão diferencial de entrada.	95
---	----

Lista de Tabelas

2.1	Parâmetros do Filtro.	11
2.2	Valores dos Componentes da Rede <i>ladder</i>	11
2.3	Parâmetros do filtro calculados para $F_c = 300$ kHz.	17
3.1	Premissas para o ponto de polarização dos transistores do OTA.	33
3.2	Valores de W e L dos transistores do circuito do OTA.	37
3.3	Valores de W e L dos transistores do Circuito de Polarização.	42
4.1	Valores de W e L dos transistores do CMFB.	59
5.1	Valores obtidos no teste de polarização do OTA apresentado na Figura 3.12.	61
5.2	Valores obtidos no teste de polarização do CMFB.	65
5.3	<i>Offset</i> médio e desvio padrão da parcela de modo comum obtida na saída do OTA para os três métodos de compensação apresentados no Capítulo 4.	75
5.4	Valor médio e desvio padrão do <i>offset</i> diferencial.	85
5.5	Valor médio e desvio padrão da tensão de <i>offset</i> de modo comum.	87

Capítulo 1

Introdução

Filtros de sinais analógicos são sistemas eletrônicos que processam sinais contínuos no tempo e em amplitude e têm como função eliminar componentes de sinais ou ruídos, que são indesejáveis para determinadas aplicações, como, por exemplo, na área de telecomunicações, onde é necessário transmitir sinais em determinadas faixas de frequência e excluir outras faixas indesejadas ou simplesmente eliminar ruído. As aplicações mais comuns são os sistemas de telecomunicações sem fio, onde uma antena emite um determinado sinal, que contém uma superposição no domínio do tempo de sinais originados de diversas fontes de comunicação, e um receptor deve ser capaz de extrair a parcela desejada desse sinal multiplexado.

Com o crescimento e o barateamento dos microprocessadores, os filtros digitais vêm ganhando espaço, sendo preferência no desenvolvimento de circuitos eletrônicos que atendam às demandas das diversas aplicações presentes no mercado. Filtros digitais apresentam diversas vantagens, como precisão, robustez, flexibilidade e a capacidade de realizar operações com sinais que dificilmente seriam possíveis com circuitos analógicos. Entretanto, tais filtros têm como desvantagens uma menor velocidade de processamento e um maior consumo de potência que os seus equivalentes analógicos.

Em microeletrônica voltada para aplicações analógicas, uma estrutura importantíssima e muito utilizada, principalmente em tecnologias CMOS (*Complementary Metal Oxide Semiconductor*), é o amplificador operacional de transcondutância, também conhecido como OTA (*Operational Transconductance Amplifier*). Eles são utilizados na construção de filtros $G_m - C$ analógicos e contínuos no tempo, em virtude da sua fácil implementação em tecnologia CMOS. Este tipo de filtro possui esta nomenclatura devido ao fato de ser constituído por transdutores OTAs e capacitores.

O objetivo deste trabalho é introduzir uma nova topologia de circuito de um OTA, que tem como principal vantagem uma elevada linearidade para uma ampla faixa de excursão do sinal de tensão diferencial aplicado em sua entrada. Além disso,

o OTA deve permitir um ajuste de transcondutância, realizado através do controle da corrente de polarização do circuito, para compensar erros aleatórios introduzidos pelas variações nos parâmetros do processo de fabricação CMOS.

Como exemplo de aplicação do OTA proposto, este trabalho também apresenta o projeto de um filtro Gm-C do tipo passa-baixas.

O OTA aqui desenvolvido possui entrada e saída totalmente diferenciais e o filtro ao qual ele será aplicado é um passa-baixas de 3ª ordem, baseado na aproximação de *Chebyshev*. A frequência de corte estabelecida para o filtro foi de 300 kHz. O processo de fabricação utilizado é o CMOS de 0,35 μm . Além disso, também serão abordados os problemas relativos aos *offsets* diferencial e de modo comum na saída do OTA.

1.1 Amplificador de Transcondutância - OTA

Uma estrutura bastante conhecida e primordial para o desenvolvimento de filtros ativos em fabricação CMOS é o amplificador operacional de transcondutância - OTA (*Operational Transconductance Amplifier*). Ela tem como objetivo, converter a diferença de tensão em seus terminais de entrada em uma corrente que flui pelo terminal de saída, de acordo com o ganho de transcondutância G_m do OTA. A Figura 1.1 representa simbolicamente um OTA.

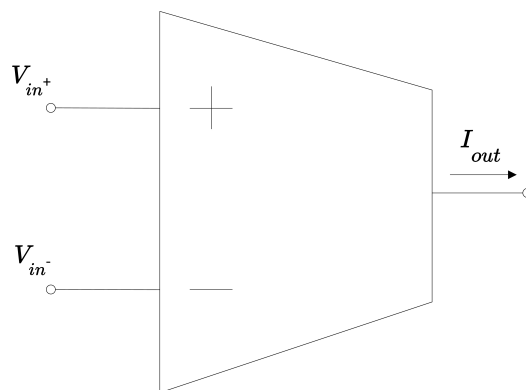


Figura 1.1: Representação simbólica de um OTA simples

A diferença de tensão entre os terminais V_{in+} e V_{in-} é multiplicada pelo ganho de transcondutância G_m (unidade: A/V) e gera a corrente I_{out} no terminal de saída, como é possível visualizar através de (1.1).

$$I_{out} = G_m(V_{in+} - V_{in-}) \quad (1.1)$$

Então, como foi afirmado anteriormente, G_m é o ganho da corrente de saída em função da tensão diferencial de entrada, chamado transcondutância.

Em um OTA ideal, a relação (1.1) é perfeitamente linear, o que não ocorre com OTAs reais implementados por transistores MOS, pois os mesmos não possuem uma relação tensão-corrente linear. Por isso é necessário desenvolver topologias de OTAs implementados com transistores MOS que apresentem uma boa linearidade, que é o principal objetivo deste trabalho.

Além disso, em um OTA ideal, a impedância de entrada Z_{in} deve ser infinita para que toda a tensão da fonte de origem seja aplicada à entrada do OTA sem perdas. Esta necessidade se deve ao fato de que a impedância de saída da fonte de origem e a impedância de entrada do OTA formam um divisor de tensão. Então, quanto maior for a impedância de entrada do OTA em relação à impedância de saída da fonte de origem, maior será o percentual da tensão da fonte de sinal que será aplicado à entrada do OTA. Além disso, um OTA ideal deve possuir uma altíssima impedância de saída Z_{out} , para que toda a corrente seja provida ao terminal de saída do OTA e não haja perdas com parte desta corrente passando por sua impedância de saída, gerando desperdício de potência.

Os OTAs são componentes importantíssimos na construção de filtros ativos $G_m - C$, que são filtros ativos baseados em OTAs e capacitores. OTAs podem ser utilizados na substituição de componentes passivos como resistores e indutores. Resistores são componentes passivos inviáveis de serem construídos em filtros CMOS de baixas frequências de corte. Isto porque, para se obtê-las, é necessário utilizar capacitores e resistores enormes. Para se obter um polo em baixa frequência em um filtro RC ativo, por exemplo, é necessário que a capacitância C e a resistência R tenham valores elevados, pois as frequências dos polos são inversamente proporcionais às resistências e às capacitâncias do filtro.

Em processos CMOS, é possível implementar estes polos utilizando capacitores da ordem de pico (p) Farads. Acima disso torna-se inviável a sua implementação. O problema é que, em filtros com frequências de corte na faixa de quiloHertz, é necessário que o valor de R seja enorme e isto é impraticável em circuitos integrados CMOS. Apesar disso, é possível implementar um resistor de alto valor em circuitos integrados (CI) utilizando OTAs com baixo valor de transcondutância. Outro componente passivo que é amplamente utilizado em filtros e difícil de ser desenvolvido em circuitos integrados é o indutor, devido à área do *chip* que o mesmo ocuparia e ao baixíssimo fator de qualidade que se pode conseguir com espirais planares. Apesar disso, é possível implementá-lo através da combinação de OTAs e capacitores [3].

Primeiramente, na Figura 1.1 é apresentada a implementação de um resistor passivo, utilizando um OTA com terminação simples. Um resistor é um elemento em que a corrente que circula por ele é controlada pela diferença de tensão aplicada aos seus terminais.

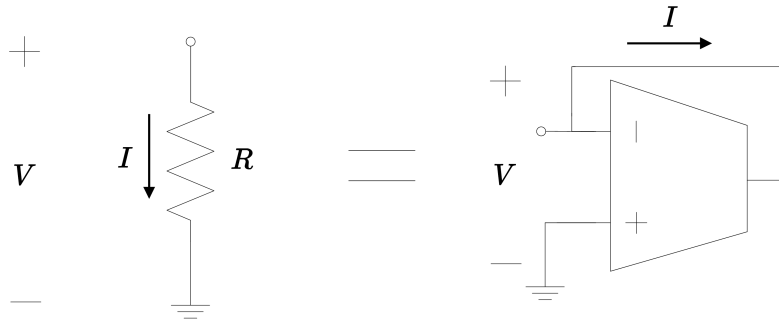


Figura 1.2: Resistor passivo aterrado implementado por um OTA de terminação simples.

Para o resistor linear, a relação entre tensão e corrente é dada por:

$$V = \frac{R}{I} \quad (1.2)$$

Para o OTA com realimentação negativa na Figura 1.2, temos a seguinte relação:

$$I = -G_m(0 - V) \quad (1.3)$$

Rearrmando (1.3) e substituindo em (1.2), é obtida a seguinte relação:

$$R = \frac{1}{G_m} \quad (1.4)$$

indicando que a resistência equivalente do circuito da Figura 1.2 é dada pelo inverso da transcondutância do OTA.

Temos, com a estrutura apresentada à direita na Figura 1.2, um resistor passivo acoplado entre uma tensão V e terra. Caso o resistor passivo esteja suspenso, ou seja, não seja acoplado ao terra, a estrutura para implementá-lo com OTAs deve ser como a apresentada na Figura 1.3.

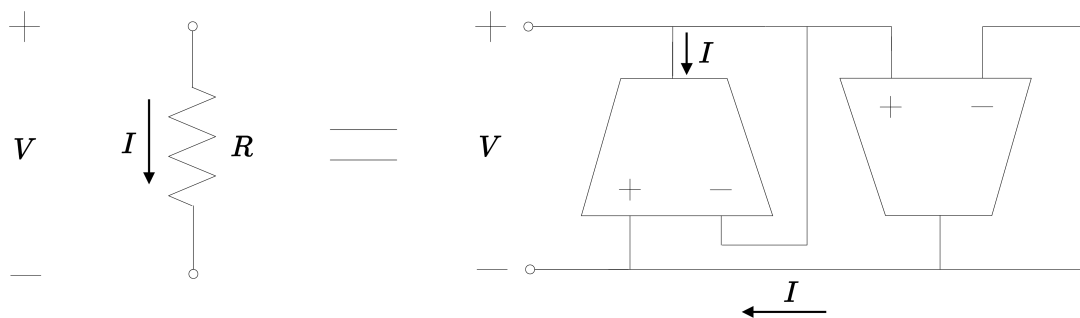


Figura 1.3: Resistor passivo suspenso implementado por dois OTAs idênticos com terminação simples.

Neste caso, as equações da estrutura localizada à direita na Figura 1.3 são:

- Para o primeiro OTA:

$$-I = G_m(V_- - V_+) \quad (1.5)$$

- Para o segundo OTA:

$$I = G_m(V_+ - V_-) \quad (1.6)$$

Observando (1.4), (1.5) e (1.6), é possível perceber que a estrutura ilustrada na Figura 1.3 implementa corretamente um resistor suspenso, já que as equações de ramo são equivalentes. Em outras palavras, a corrente I , proporcional à tensão V , entra em um terminal do resistor e sai pelo outro, assim como acontece na estrutura com OTAs de terminação simples apresentada na Figura 1.3.

Além de resistores, o indutor é outro componente fundamental para filtros que pode ser implementado por OTAs e capacitores. Como foi citado anteriormente, implementar um indutor passivo com indutâncias maiores ou iguais a microHenries (μH) ocuparia tanto espaço em um circuito integrado que inviabilizaria a fabricação do mesmo.

A Figura 1.4 apresenta uma estrutura conhecida como girador composta por OTAs de terminação simples. Essa estrutura é muito utilizada para implementação de indutores em filtros fabricados em circuitos integrados, pois ocupa uma área relativamente pequena do silício. No caso da estrutura apresentada na Figura 1.4, a ideia consiste em implementar um indutor que tem um de seus terminais ligados ao terra, simulando a impedância equivalente do mesmo.

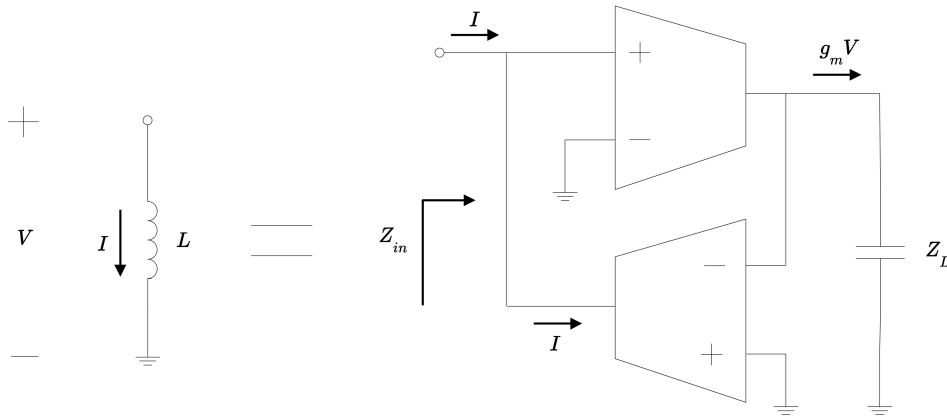


Figura 1.4: Indutor aterrado sendo implementado por OTAs de terminação simples.

Onde g_m é a transcondutância do OTA, V a tensão aplicada ao indutor e $Z_L = \frac{1}{sC}$.

No girador, representado pela estrutura posicionada à direita na Figura 1.4, a equação para o OTA superior é dada por:

$$I_o = g_m V \quad (1.7)$$

A tensão na saída, é dada por:

$$V_o = g_m V Z_L \quad (1.8)$$

Para o OTA inferior localizado na Figura 1.4:

$$I = -g_m(0 - V_o) = -g_m(-g_m V Z_L) \quad (1.9)$$

Então, é possível obter o seguinte resultado para Z_{in} :

$$Z_{in} = \frac{V}{I} = \frac{1}{g_m^2 Z_L} = s \frac{C}{g_m^2} = s L_{eq} \quad (1.10)$$

Em (1.10), é possível observar que, utilizando a estrutura de um girador com terminação simples e um capacitor de impedância $Z_L = \frac{1}{sC}$ é possível implementar um indutor. Isto é possível pois o girador inverte a impedância do capacitor, fazendo assim, com que ela seja igual à de um indutor passivo com indutância equivalente a $L_{eq} = \frac{C}{g_m^2}$. Se a intenção for implementar um indutor suspenso, o girador deve ser implementado como o da Figura 1.5.

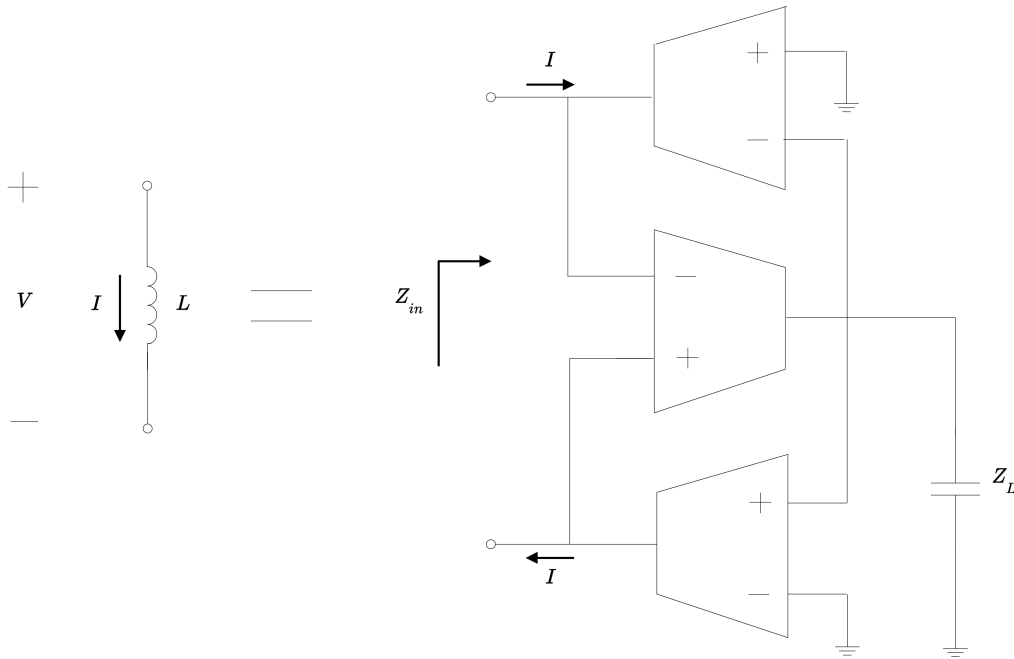


Figura 1.5: Indutor passivo suspenso implementado por três OTA de terminação simples.

Onde $Z_L = \frac{1}{sC}$.

Assim, como para a estrutura à direita na Figura 1.4, Z_{in} também pode ser calculado através de (1.10). Isto mostra que ambas as estruturas são equivalentes e implementam a mesma impedância. A diferença está na terminação das mesmas, já que, no caso da estrutura apresentada na Figura 1.4, um dos terminais está

aterrado e, no caso da Figura 1.5, a tensão é aplicada a dois terminais suspensos. Sendo assim, a corrente entra no terminal de maior tensão e sai pelo terminal de tensão mais baixa.

Então, tendo-se em vista que é possível simular resistores e indutores através de blocos de circuito compostos exclusivamente por OTAs e capacitores, podemos concluir que é possível realizar filtros analógicos usando apenas OTAs e capacitores. Por essa razão, esse tipo de filtro é conhecido genericamente por $G_m - C$ ou, mais especificamente, OTA-C.

1.2 Estudo bibliográfico

Na literatura é possível encontrar diversas topologias de OTAs com diferentes ganhos e aplicações. Nesta seção é apresentada uma revisão bibliográfica, onde são apresentados exemplos de trabalhos que propuseram diferentes topologias de OTA para a aplicação em filtros OTA-C. O objetivo é apresentar as diferentes estratégias já adotadas para melhorar a linearidade dos OTAs, assim como mitigar os problemas de *offset* de modo comum na saída de OTAs totalmente diferenciais.

A técnica mais amplamente utilizada para melhorar a linearidade de OTAs é o emprego de degeneração de fonte no par diferencial de entrada do amplificador. Esta degeneração pode ser realizada utilizando resistores passivos ou transistores MOS operando em sua região linear, o que reduz os componentes de distorção e também a transcondutância. O elemento de degeneração é, então, aplicado ao par diferencial de entrada. Esta técnica garante uma moderada faixa linear, porém apresenta uma baixa performance para a parcela de modo comum [4]. Em [5], por exemplo, essa técnica foi adotada, utilizando uma topologia que os autores chamam de G_m Cell, composta por transistores MOS, que atua como um resistor de degeneração para se obter um OTA com boa linearidade para certa faixa de tensão diferencial aplicada à entrada. Nesse trabalho, foi desenvolvido um OTA com entrada diferencial e saída simples para o processo de fabricação CMOS *Tower Jazz* 0,18 μm . Nesta tecnologia os autores utilizam uma tensão de alimentação de $\pm 0,9$ V. Em [6], é apresentado outro exemplo de OTA, cujos elementos de transcondutância operam na região de *subthreshold*. Neste caso degeneração foi realizada com a implementação de um resistor passivo. Os autores utilizaram a tecnologia CMOS de 0,18 μm UMC com alimentação de $\pm 0,3$ V.

Outro método utilizado para obter o incremento de linearidade consiste em utilizar dois pares diferenciais assimétricos cruzados, de forma que são obtidas duas curvas de transcondutância. Então é feita a superposição das duas curvas, gerando uma nova com maior linearidade dentro a faixa de excursão de sinal. É possível também implementar uma configuração que utilize dois pares assimétricos e um

simétrico, onde a superposição das curvas de cada par resultará numa nova curva com uma linearidade ainda maior e um *ripple* menor do que na situação anterior. Alguns trabalhos utilizam estas técnicas, como por exemplo em [7] onde são utilizados dois pares diferenciais cruzados para incrementar a linearidade do circuito. Além disso, os autores utilizam dois resistores de carga, que, se forem implementados com valores diferentes, melhoram a linearidade da curva de transcondutância. O processo de fabricação utilizado por eles foi o AMI 0,5 μm com alimentação de 3,3 V.

Outro método a ser citado é o que utiliza o chamado par pseudo diferencial na entrada do OTA. Esse método é muito utilizado para obter melhoria de linearidade em relação ao par diferencial convencional. Entretanto, o par pseudo diferencial tem como desvantagem o fato de possuir uma fraca rejeição às tensões de modo comum na entrada, necessitando então de um controle de modo comum robusto. Como exemplos de trabalhos que utilizam este método temos: [8], [9] e [10].

1.3 Organização do Trabalho

O Capítulo 1 apresenta a introdução ao tema proposto, explicando o que de fato foi proposto neste trabalho e apresentando conceitos e topologias que foram cruciais para a sua implementação.

O Capítulo 2 apresenta o protótipo passivo *ladder* do filtro ideal normalizado. Após isto, são apresentados os processos realizados para a obtenção de um protótipo ativo equivalente do tipo $G_m - C$, mostrando todas as transformações de componentes passivos para ativos, utilizando exclusivamente capacitores e OTAs. Além disto, é apresentado o processo de escalamento de frequência e impedância dos componentes para a frequência de corte estipulada no projeto. Este filtro teve como propósito ser uma aplicação para o OTA totalmente diferencial desenvolvido com a topologia proposta neste trabalho.

O Capítulo 3 apresenta o projeto do OTA real proposto neste trabalho. É explicada a topologia do circuito proposto e, como a transcondutância do OTA é controlada através da corrente de polarização (que varia de 1 μA a 10 μA), é apresentado o dimensionamento dos transistores para a máxima corrente, ou seja, o pior caso. Além disso, também é apresentado o circuito de polarização e o dimensionamento dos transistores para a corrente máxima de polarização (pior caso). Este circuito será responsável por gerar todas as tensões de polarização dos transistores e correntes de referência.

O Capítulo 4 explica o método de eliminação da tensão de *offset* de modo comum na saída do OTA, gerado pelo descasamento entre transistores MOS de tipo N e tipo P. Também é apresentado e explicado o funcionamento da topologia do circuito

CMFB (*Common Mode Feedback*) desenvolvido para este trabalho e o dimensionamento dos transistores para a máxima corrente de polarização determinada.

O Capítulo 5 apresenta todas as simulações realizadas neste trabalho, de modo a validar e analisar o desempenho da topologia do OTA proposto, sendo aplicado a um filtro ativo. São feitas simulações utilizando OTAs e circuitos de CMFB ideais e reais, de modo a comparar o desempenho das topologias propostas neste trabalho.

O Capítulo 6 apresenta as conclusões do projeto realizado neste trabalho, assim como suas vantagens, desvantagens e sugestões para futuros trabalhos.

Capítulo 2

Projeto do Filtro $G_m - C$

2.1 Obtenção do Protótipo Passivo em Rede *Ladder*

Apesar do foco deste trabalho não ser o filtro, este capítulo apresenta brevemente as técnicas empregadas no projeto do filtro $G_m - C$ adotado aqui para demonstrar o desempenho do transcondutor e do circuito de controle propostos. O OTA desenvolvido neste trabalho será aplicado a um filtro passa-baixas de terceira ordem com aproximação do tipo *Chebyshev*. Este tipo de aproximação tem a grande vantagem de ser a aproximação polinomial mais seletiva e, por isso, requer uma menor ordem para atender a determinadas especificações. Foi escolhido um filtro $G_m - C$ contínuo no tempo, assim chamado pois sua topologia é desenvolvida utilizando apenas transdutores (neste caso um OTA) e capacitores [11].

A escolha de um filtro $G_m - C$ se deve à facilidade com que se pode construir um OTA com elevadas impedâncias de entrada e de saída em processos CMOS.

Primeiramente foi obtido o protótipo passivo em rede *ladder* duplamente terminada para que, a partir deste, seja obtido o circuito do filtro ativo que será a aplicação do transcondutor e circuito de controle propostos. O protótipo passivo do filtro foi obtido através do programa ELETSIM desenvolvido pelo professor Antônio Carlos Moreirão de Queiroz (POLI/Coppe/UFRJ). O programa está disponível para no endereço <http://www.coe.ufrj.br/acmq/programs/>. O software gerou um protótipo passivo do tipo *ladder* normalizado do filtro com frequência de corte em 1,0 rad/s, sendo necessário apenas ao usuário especificar alguns parâmetros do filtro (a ordem da aproximação e o *ripple* na banda passante). A Tabela 2.1 apresenta os parâmetros escolhidos para o filtro deste trabalho.

Tabela 2.1: Parâmetros do Filtro.

Parâmetro	Valor
Ordem de Aproximação	3 ^a ordem
Ripple de Banda Passagem	1 dB

A Figura 2.1 apresenta o circuito da rede *ladder* do filtro projetado.

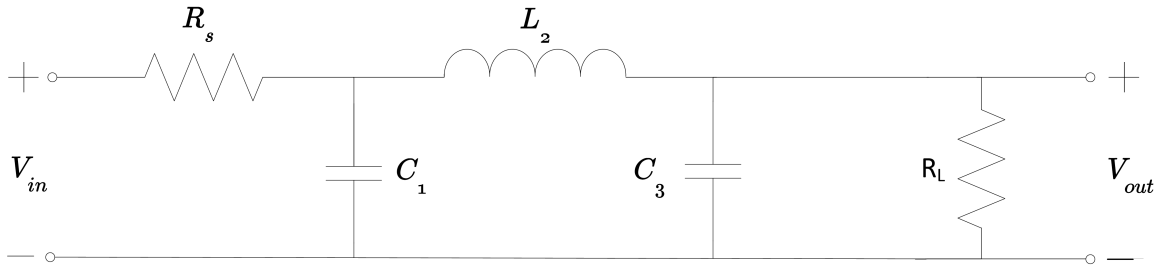


Figura 2.1: Protótipo *Ladder* do Filtro.

O ELETSSIM gerou o circuito da rede *ladder* para uma frequência de corte de $1,0 \text{ rad/sk}$ (frequência de corte normalizada) e uma impedância base de $1,0 \Omega$. A Tabela 2.2 apresenta os valores normalizados gerados pelo *software* para cada componente do circuito.

Tabela 2.2: Valores dos Componentes da Rede *ladder*.

Parâmetro	Valor
R_S	$1,00 \Omega$
C_1	$2,02 \text{ F}$
L_2	$0,99 \text{ H}$
C_3	$2,02 \text{ F}$
R_L	$1,00 \Omega$

2.2 Obtenção do Filtro $G_m - C$ a Partir do Protótipo *Ladder*

Na próxima etapa, foi obtido o protótipo do filtro $G_m - C$ a partir do protótipo *ladder*. Primeiramente, foi obtido o circuito equivalente de Norton do ramo composto por V_{in} e R_s , conforme pode ser visto na Figura 2.2.

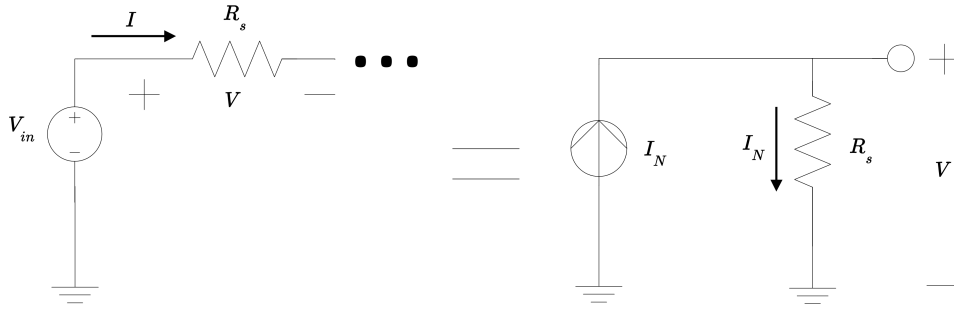


Figura 2.2: Circuito equivalente de Norton do Ramo de Entrada do Filtro Composto por V_{in} e R_S .

No circuito equivalente de Norton da Figura 2.2, a corrente de Norton é dada por:

$$I_N = \frac{V_{in}}{R_S} \quad (2.1)$$

A fonte de corrente do circuito equivalente é realizada no filtro $G_m - C$ aplicando-se a fonte de sinal de entrada V_{in} a um OTA, cuja transcondutância é dada por:

$$G_m = \frac{1}{R_S} \quad (2.2)$$

Além de componentes passivos poderem ser implementados utilizando-se OTAs de terminação simples, também é possível utilizar OTAs duplamente terminados e estes apresentam inúmeras vantagens, como por exemplo: maior excursão de sinal de tensão na saída, menor distorção harmônica por causa da simetria do circuito, e melhor imunidade a ruído de modo comum [12] [1]. Sendo assim, o OTA desenvolvido neste trabalho é duplamente terminado.

Para implementar os resistores passivos R_S e R_L , foram utilizados OTAs ligados como mostra a Figura 2.3.

Este tipo de ligação determina uma fonte de corrente controlada pela tensão entre seus próprios terminais de saída, o que faz a mesma se comportar de forma equivalente a um resistor.

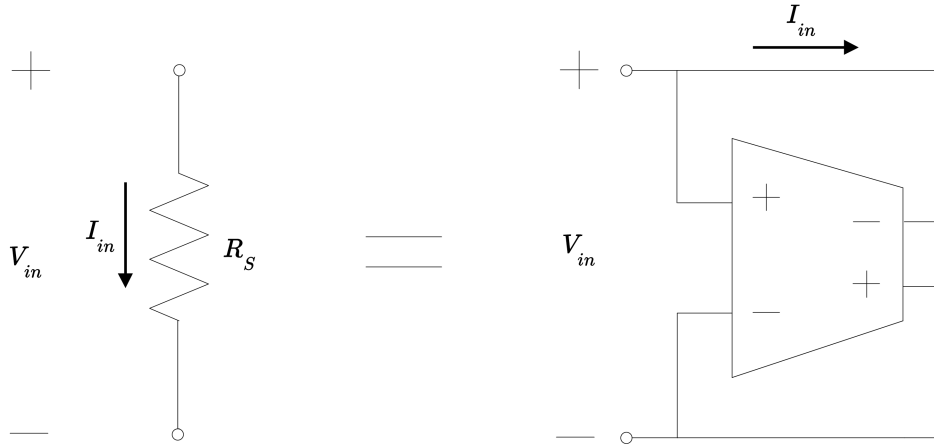


Figura 2.3: Implementação do Resistor R_S da Rede *Ladder* Utilizando um OTA duplamente terminado.

Para a implementação do resistor R_L , o procedimento foi o mesmo. O que mudou foi a tensão de entrada, que passou a ser V_{out} . Os OTAs utilizados na realização de R_S e R_L foram construídos com valores de transcondutância idênticos, já que no protótipo *ladder* os dois resistores possuem o mesmo valor de resistência.

O próximo passo consiste em implementar o indutor L_2 utilizando OTAs. Isto é necessário pois é inviável a realização de indutores em circuitos de fabricação CMOS, devido a área que ocupariam do mesmo na construção de um filtro passa-baixas com frequência de corte em 300 kHz. Para realizar a implementação do indutor, foi necessário utilizar um circuito chamado girador, que é apresentado na Figura 2.4 [13].

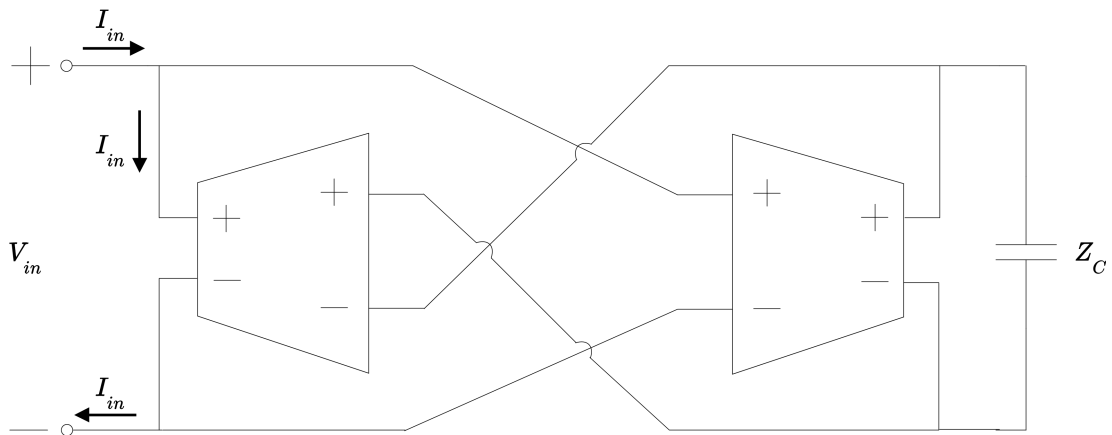


Figura 2.4: Circuito girador implementado com OTAs duplamente terminados.

O circuito girador permite realizar a inversão de uma impedância, sendo assim, possível implementar uma impedância indutiva utilizando capacitores. Os dois OTAs que compõem o girador foram aqui construídos com o mesmo valor de transcondutância G_m , para facilitar a sintonia de frequência de corte do filtro. A impedância de entrada do circuito é calculada da seguinte maneira:

$$Z_{in} = \frac{V_{in}}{I_{in}} = \frac{1}{Z_C G_m^2} \quad (2.3)$$

sendo Z_C uma impedância capacitiva.

O capacitor C_2 deve ser enxergado como sendo o indutor L_2 do protótipo ladder por todos os componentes do circuito à sua esquerda (fonte de sinal, resistor da terminação de entrada e o capacitor C_1) e também por todos os elementos do circuito à sua direita (capacitor C_3 e resistor de carga). Então, será necessário utilizar dois giradores para implementá-lo, como mostra a Figura 2.5.

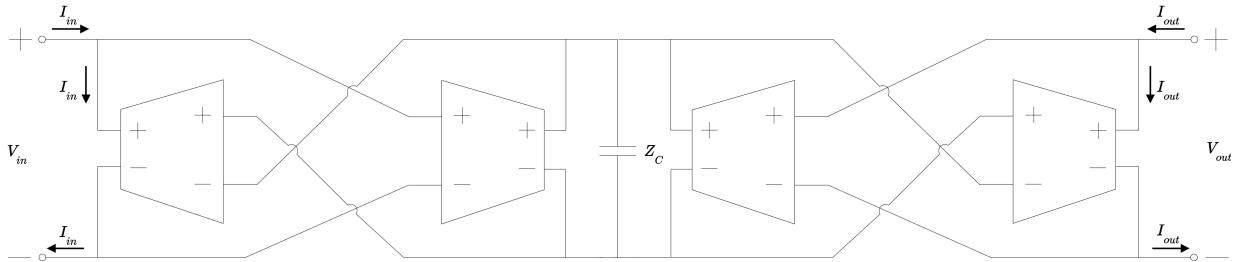


Figura 2.5: Par de Giradores que implementam o indutor L_2 da Figura 2.1.

A Figura 2.6 apresenta o protótipo completo do filtro ativo $G_m - C$ que implementa o protótipo da rede *ladder* da Figura 2.1. O par de giradores que implementa o indutor L_2 foi desenhado de maneira diferente da Figura 2.5, mas as conexões são exatamente iguais, logo, o funcionamento é o mesmo.

Em um circuito CMOS, os capacitores integrados são construídos por duas placas condutoras (metal ou silício policristalino), separadas por uma camada isolante de óxido de silício. Ao empilhar essas camadas para formar o capacitor, a placa condutora inferior inevitavelmente apresentará uma capacitância parasita enorme em relação ao substrato do circuito integrado, o que não acontecerá com a placa de cima. Se conectamos os capacitores do filtro conforme o mostrado nas Figuras 2.4 e 2.5, inevitavelmente, teremos uma assimetria nas capacitâncias parasitas dos nós a que os capacitores estão conectados, o que provocará um desbalanço no circuito do filtro. Para resolver o problema do desbalanço, optou-se por dobrar os capacitores, conectando a placa de cima, com baixa capacitância parasita, ao circuito do filtro e a placa de baixo, com elevada capacitância parasita, ao nó de terra. Dessa forma, o efeito da enorme capacitância parasita do nó inferior é totalmente anulado. Sendo assim, no lugar da impedância Z_C , o filtro $G_m - C$ da Figura 2.6, possui dois capacitores (C_1 e C_3) cuja placa de cima está ligada ao filtro e a placa de baixo ligada ao terra. Além disso, suas capacitâncias estão dobradas.

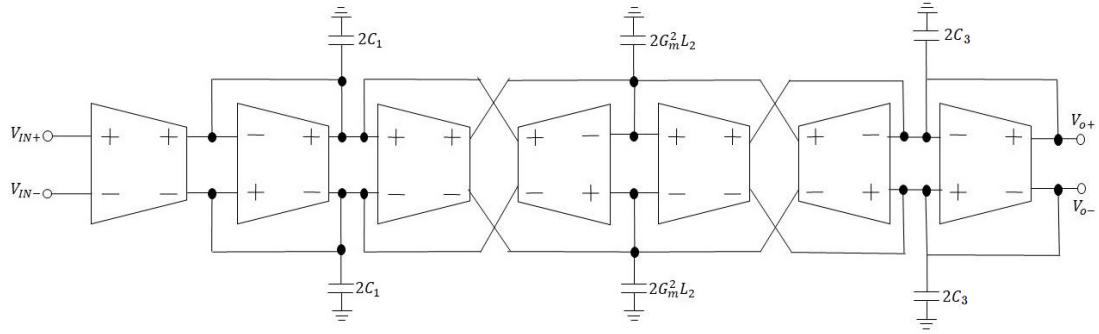


Figura 2.6: Protótipo do Filtro $G_m - C$ que Implementa a Rede *Ladder*

O valor de transcondutância G_m pode ser arbitrário, mas deve ser igual nos quatro OTAs que implementam o indutor do filtro passivo. Até então, foi assumido um valor unitário. Para os OTAs que implementam os resistores R_S e R_L , foram utilizados valores unitários para a transcondutância G_m , pois o protótipo ativo do filtro ainda estava utilizando valores normalizados para os resistores R_S e R_L . Além disso, os OTAs dos giradores foram arbitrados como sendo iguais aos utilizados nas terminações para permitir a sintonia da frequência de corte do filtro através do ajuste do G_m dos OTAs. Caso os OTAs fossem diferentes, esse ajuste se tornaria muito complicado. Então, até o momento, os sete OTAs estavam com valores de transcondutância G_m unitários.

2.3 Escalamento em Frequência e Impedância

O próximo passo consistiu no cálculo dos valores dos componentes para a frequência de corte desejada. Para isto, foi necessário um processo, chamado escalamento de frequência. A ideia do escalamento em frequência consiste em escalar os componentes reativos (neste caso os capacitores), de modo a transferir a frequência de corte de $1,0 \text{ rad/s}$ do filtro normalizado para a frequência desejada de 300 kHz . Um segundo processo, denominado escalamento de impedância, foi necessário para adequar o tamanho dos componentes e as amplitudes das correntes que circulam no filtro para a implementação integrada. Se esse processo não fosse utilizado, os tamanhos dos capacitores e as transcondutâncias dos OTAs seriam proibitivamente grandes para a construção integrada.

As frequências de corte normalizada e de projeto, em Hz, foram definidas, respectivamente, como $F_{c_{norm}}$ e F_c .

Primeiramente, foi necessário converter a frequência de corte normalizada $W_{c_{norm}}$, expressa em radianos por segundo, para $F_{c_{norm}}$, como mostra a Equação 2.4.

$$F_{c_{norm}} = \frac{W_{c_{norm}}}{2\pi} \quad (2.4)$$

A seguir, obtém-se o fator de escala α entre as frequência entre F_c e $F_{c_{norm}}$:

$$\alpha = \frac{F_c}{F_{c_{norm}}} \quad (2.5)$$

De acordo com (2.4), foi obtido, para a frequência normalizada, $F_{c_{norm}} = 0,16 \text{ Hz}$. Com a (2.5), foi obtido, para o fator de escalonamento de frequência de corte $\alpha = 1,88 \cdot 10^6$.

Depois de calculado o fator de escala de frequência *alpha* o cálculo dos valores dos capacitores para a frequência desejada foi realizado com a divisão dos valores dos capacitores normalizados, descritos na Tabela 2.2 pelo valor do fator de escala *alpha*:

- $C_1 = C_3 = \frac{2,02}{1,88 \cdot 10^6} = 1,07 \cdot 10^{-6} \text{ F}$

Também foi realizado o mesmo procedimento para o capacitor chamado de C_2 que, junto com o par de giradores, implementa o indutor L_2 :

- $C_2 = \frac{1 \cdot 0,99}{1,88 \cdot 10^6} = 5,25 \cdot 10^{-7} \text{ F}$

Feito isto, foram obtidas as capacitâncias para a frequência de projeto desejada. O problema é que capacitores da ordem de 10^{-7} F são inviáveis em circuitos fabricados na tecnologia CMOS. Além disso, o maior problema em se usar resistores de $1,0 \Omega$ é o fato de que as correntes que circulariam pelo filtro seriam da ordem de Ampères, o que é inviável para um circuito integrado suportar. Por isso, além do escalamento em frequência, foi realizado um escalamento de impedância. O processo é possível, porque a função de transferência do filtro

$$H(s) = \frac{V_{out}(s)}{V_{in}(s)} \quad (2.6)$$

não é afetada se todas as impedâncias do circuito forem multiplicadas pelo mesmo fator de escala.

Então, isto dá a liberdade de escalar todas as impedâncias do circuito por qualquer valor, pois a resposta em frequência do filtro permanecerá inalterada.

Foi necessário estabelecer valores para as capacitâncias dos capacitores de forma que eles não ocupassem uma área de silício tão grande a ponto de inviabilizar a fabricação do circuito integrado. Feito isso, foi calculada a transcondutância necessária para se obter a frequência de corte desejada para o filtro. Então, neste projeto, os OTAs foram dimensionados para uma transcondutância de $7,50 \mu\text{A/V}$. Sendo assim, através de (2.2), foi possível escolher novos valores para os resistores R_S e R_L , conforme segue:

- $R_S = R_L = \frac{1}{G_m} = 133,30 \text{ k}\Omega$

Os cálculos realizados para os novos valores de C_1 , C_2 e C_3 são apresentados abaixo:

- $C_1 = C_3 = \frac{1,07 \cdot 10^{-6}}{1,33 \cdot 10^5} = 8,00 \text{ pF}$

- $C_2 = \frac{5,25 \cdot 10^{-7}}{1,33 \cdot 10^5} = 4,00 \text{ pF}$

Como foi visto na Figura 2.6, os valores dos capacitores que foram implementados no protótipo do filtro $G_m - C$ foram multiplicados por 2. Então os valores de projeto, neste caso, foram calculados abaixo:

- $2C_1 = 2C_3 = 16,00 \text{ pF}$

- $2C_2 = 8,00 \text{ pF}$

A Tabela 2.3 apresenta os valores dos parâmetros do filtro ativo $G_m - C$ após realizados o escalonamento de frequência e de impedância.

Tabela 2.3: Parâmetros do filtro calculados para $F_c = 300 \text{ kHz}$.

Componentes	— Valor—
$2C_1 = 2C_3$	16,00 pF
$2C_2$	8,00 pF
G_m	7,50 $\mu\text{A/V}$
$R_S = R_L$	133,30 k Ω

Capítulo 3

Projeto do OTA Real

3.1 Projeto do OTA Real

O objetivo deste trabalho consiste em obter um OTA com alta linearidade para uma ampla excursão do sinal diferencial na entrada. A ideia adotada neste trabalho para conseguir uma relação linear entre a tensão de entrada do OTA e a corrente na saída consiste em operar os transistores MOS do par diferencial de entrada na região ôhmica. A modelagem quadrática dessa relação é apresentada abaixo:

$$I = k \frac{W}{L} ((V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2}) \quad (3.1)$$

Em (3.1), para que consigamos um relação linear entre a corrente I e a tensão de V_{GS} , é necessário que a tensão V_{DS} seja mantida constante. Neste ponto, entra a topologia chave do OTA desenvolvido neste trabalho, pois ela tem como propriedade manter a tensão de dreno V_D dos elementos de transcondutância constante, independente da corrente que circule pelos mesmos.

A ideia é manter a tensão de V_{DS} dos elementos de transcondutância constante. Sendo assim, também é necessário manter a tensão de *source* V_S dos elementos de transcondutância fixa quando a tensão de entrada do par for puramente diferencial e isso é possível através da própria estrutura do par diferencial. A Figura 3.1 apresenta a estrutura de um par diferencial composto por transistores NMOS.

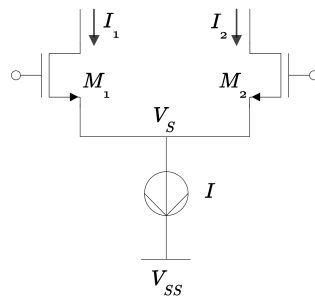


Figura 3.1: Estrutura de um par diferencial composto por transistores NMOS.

A seguir será demonstrado que a tensão V_S é constante. Assumindo que M_1 e M_2 possuem tensões de V_{DS} e V_{TH} iguais, sabe-se que:

$$I = I_1 + I_2. \quad (3.2)$$

Sabemos também que:

$$V_{GS1} = \frac{v_d}{2} - V_S \quad (3.3)$$

e

$$V_{GS2} = -\frac{v_d}{2} - V_S. \quad (3.4)$$

Então, temos que:

$$I_1 = k_n \frac{W}{L} \left(\left(\frac{v_d}{2} - V_S - V_{TH} \right) V_{DS} - \frac{V_{DS}^2}{2} \right) \quad (3.5)$$

e

$$I_2 = k_n \frac{W}{L} \left(\left(-\frac{v_d}{2} - V_S - V_{TH} \right) V_{DS} - \frac{V_{DS}^2}{2} \right). \quad (3.6)$$

Substituindo (3.5) e (3.6) em (3.2), temos:

$$I = k_n \frac{W}{L} \left((-V_S - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} + (-V_S - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right). \quad (3.7)$$

Rearrumando a expressão (3.7), considerando $V_{DS} = V_D - V_S$, temos:

$$I = -k_n \frac{W}{L} \left(2(V_D - V_S)(V_S + V_{TH}) + (V_D - V_S)^2 \right) \quad (3.8)$$

e

$$I = -k_n \frac{W}{L} \left((2V_D V_S + 2V_D V_{TH} - V_S^2 - V_S V_{TH}) + (V_D^2 - 2V_D V_S + V_S^2) \right). \quad (3.9)$$

Analisando (3.9), percebemos que se a corrente I é fixa, a tensão V_S também é. Então, é possível concluir que a tensão V_S dos elementos de transcondutância de um par diferencial não varia quando a tensão aplicada no terminal de *gate* dos mesmos for puramente diferencial.

3.1.1 Flipped Voltage Follower

A topologia que foi base para a estrutura na qual o OTA apresentado neste trabalho foi baseado é conhecida como *Flipped Voltage Follower* (FVF), que foi desenvolvida no trabalho [14]. A topologia do FVF, apresentada na Figura 3.2, tem diversas

aplicações, sendo a mais comum atuar como um circuito do tipo *Current Conveyor*, onde a tensão V_{out} permanece praticamente constante independente da corrente I_{out} drenada.

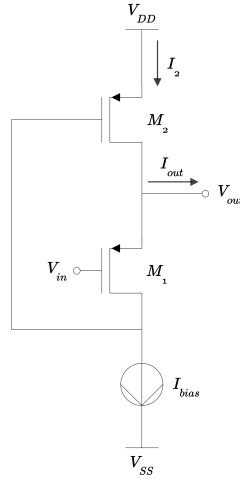


Figura 3.2: Estrutura de um *Flipped Voltage Follower*.

No circuito da Figura 3.2, a corrente do transistor M_1 será sempre constante e igual à corrente drenada pela fonte ideal I_{bias} , independente do valor da corrente I_2 que circula pelo transistor M_2 e da tensão V_{in} aplicada à entrada. Então, a diferença de tensão entre os terminais de *gate* V_G e *source* V_S (V_{GS}) de M_1 será sempre constante. Isto prova que sua tensão V_S varia na mesma proporção que sua tensão V_G . Por este motivo, esta estrutura é classificada como um *Source Voltage Follower* [14].

Sabendo que a corrente I_2 na Figura 3.2 é o somatório das correntes que passam por M_1 e pelo nó V_{out} , obtém-se:

$$I_2 = I_{out} + I_{bias} \quad (3.10)$$

É possível, então, gerar um cópia de I_2 , utilizando um espelho de corrente. Sendo assim, o FVF apresentado na Figura 3.2 foi incrementado com este recurso, conforme é apresentado na Figura 3.3.

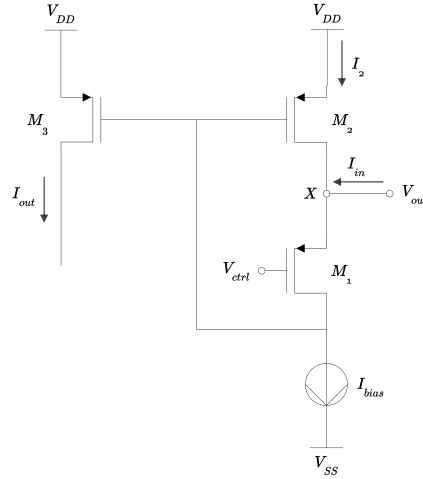


Figura 3.3: Estrutura de um *Flipped Voltage Follower* com a adição de um espelho de corrente para operar como um *Current Conveyor*.

Na Figura 3.3, temos a estrutura da Figura 3.2 com um transistor do tipo PMOS (M_3) conectado ao mesmo nó de tensão V_G do transistor M_2 . Os dois transistores possuem a mesma tensão de V_{GS} , o que faz com que componham um espelho de corrente. Esta estrutura de FVF funciona como um *Current Conveyor*, onde I_{out} varia proporcionalmente a I_{in} , conforme:

$$I_{out} = I_{bias} - I_{in} \quad (3.11)$$

Na topologia apresentada na Figura 3.3, a tensão do nó X é determinada pela tensão V_{ctrl} e pela corrente I_{bias} quase que independentemente da corrente I_{in} . A realimentação no nó de *gate* de M_2 faz com que o nó X possua uma impedância baixíssima, cujo cálculo será apresentado a seguir.

Primeiramente, foi obtida, na Figura 3.4, a modelagem de pequenos sinais da estrutura da Figura 3.3 com a utilização de uma fonte de tensão de teste, chamada V_X , para que seja possível a realização do cálculo da impedância vista do nó X .

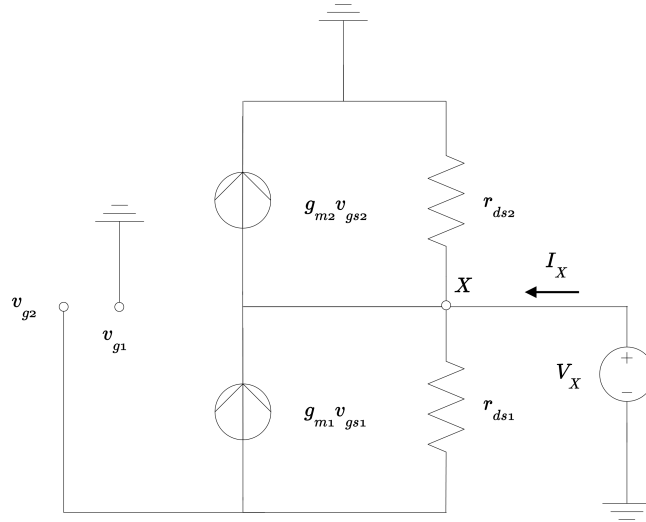


Figura 3.4: Modelo de pequenos sinais do FVF, para o cálculo da impedância do nó X .

Escrevendo a equação nodal do nó X , obtém-se:

$$-g_{m1}v_{gs1} - \frac{v_{ds1}}{r_{ds1}} + \frac{V_X}{r_{ds2}} + g_{m2}v_{gs2} - I_X = 0 \quad (3.12)$$

Sabendo que:

$$v_{ds1} = -g_{m1}v_{gs1}r_{ds1} \quad (3.13)$$

$$v_{gs1} = -V_X \quad (3.14)$$

$$v_{gs2} = -g_{m1}v_{gs1}r_{ds1} + V_X \quad (3.15)$$

Substituindo (3.13), (3.14) e (3.15) em (3.12), obtém-se:

$$\frac{V_X}{r_{ds2}} + g_{m2}(g_{m1}V_Xr_{ds1} + V_X) - I_X = 0 \quad (3.16)$$

Para calcular o valor da impedância do nó X (Z_X), foi feita a divisão de V_X por I_X , como é apresentado em

$$Z_X = \frac{V_X}{I_X} = \frac{1}{\frac{1}{r_{ds2}} + g_{m2}(g_{m1}r_{ds1} + 1)} \quad (3.17)$$

Sabendo que:

- $g_{m2}g_{m1}r_{ds1} \gg \frac{1}{r_{ds2}}$
- $g_{m1}r_{ds1} \gg 1$

A expressão (3.16) pode ser aproximada e reduzida a

$$Z_X = \frac{1}{g_{m2}(g_{m1}r_{ds1})}, \quad (3.18)$$

onde g_{m1} e g_{m2} são os ganhos de transcondutância dos transistores M_1 e M_2 , respectivamente, e r_{ds1} é a impedância de saída de M_1 . A consequência desta impedância Z_X ser baixíssima se traduz na capacidade que a estrutura tem de comportar uma alta variação na corrente I_{in} sem que a tensão do nó X sofra variação significativa. Sendo assim, pode-se dizer que esta tensão permanece praticamente constante, independentemente da corrente I_{in} .

Partindo da estrutura da Figura 3.3, é possível acoplar um transistor PMOS M_4 com o dreno ligado ao mesmo nó do dreno de M_2 (nó X) [15], conforme é apresentado na Figura 3.5.

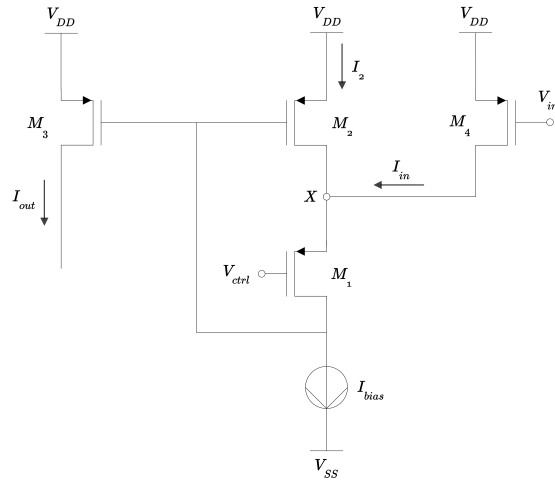


Figura 3.5: FVF atuando como *Current Conveyor* com M_4 atuando como elemento de transcondutância.

O transistor M_4 deve operar na região ôhmica, onde é possível obter uma relação entre sua tensão V_{GS} e a corrente que passa por ele bem próxima da linearidade [1] [12]. No caso da Figura 3.5 a relação entre V_{in} e I_{in} é bem próxima da linearidade e isto pode ser demonstrado através da expressão

$$I_{out} = I_{bias} - \frac{K_p}{L_1} W_1 [(V_{in} - |V_{DD}| - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2}] \quad (3.19)$$

Através da expressão (3.19) é possível analisar matematicamente a influência da tensão V_{DS} de M_1 no ganho e linearidade de i_{out} em relação a V_{in} .

Sabendo que a tensão V_X (determina a tensão V_{DS} no transistor M_4) é possível, então, controlar o ganho de transcondutância deste transistor através da tensão de controle V_{ctrl} :

$$V_X = V_{ctrl} + \sqrt{\frac{2L_1 I_{bias}}{K_p W_1}} + |V_{TH}| \quad (3.20)$$

Quanto maior for sua tensão de V_{DS} , maior será o ganho de transcondutância do transistor.

3.1.2 Folded Flipped Voltage Follower - FFVF

Nesta seção é apresentada a estrutura na qual o OTA desenvolvido neste trabalho foi baseado. É uma topologia da família do FVF, que foi inicialmente apresentada em [1], sendo denominada pelo mesmo de "Super Source Follower". Esta estrutura foi aprimorada e denominada "Folded Flipped Voltage Follower" (FFVF) [2].

A estrutura do *Super Source Follower* tem como objetivo atuar como um seguidor de fonte com baixíssima impedância de saída, para atender à necessidade de se conectar uma carga de baixa impedância na saída [1]. A Figura 3.6 apresenta a topologia do *Super Source Follower*.

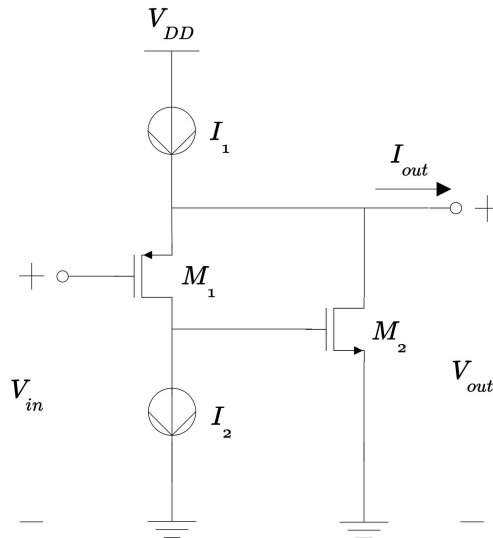


Figura 3.6: Topologia do *Super Source Follower* proposto em [1].

Na Figura 3.6 tendo-se em vista que a fonte de corrente I_2 constante mantém a tensão V_{GS} em M_1 também constante, é possível visualizar que a relação entre a tensão de saída V_{out} e a tensão entrada V_{in} é dada por:

$$V_{out} = V_{in} + V_{TH} \quad (3.21)$$

A realimentação negativa é realizada com a implementação de M_2 . Se a corrente I_{out} drenada pela carga aumentar, a corrente que circula por M_1 pode começar a diminuir. Entretanto, se a corrente I_{d1} no dreno de M_1 diminuir, a diferença entre I_{d1} e I_2 irá descarregar a capacitância C_{gs} de M_2 , reduzindo a sua tensão V_{GS} . Uma

vez que a tensão V_{GS} de M_2 é reduzida, será a corrente de dreno desse transistor que diminuirá, fazendo com que a corrente de dreno em M_1 volte a ser igual a I_2 . Dessa forma, a realimentação negativa estabelecida por M_2 mantém a tensão V_{out} praticamente independente da corrente I_{out} na saída.

Para que esta topologia funcione como é desejado, devem ser satisfeitas as seguintes condições.

- $I_1 \gg I_2$
- M_1 e M_2 operem na região de saturação.

Abaixo, será apresentado o cálculo da impedância de saída e do ganho de tensão da topologia, cujo modelo de pequenos sinais é apresentado na Figura 3.7.

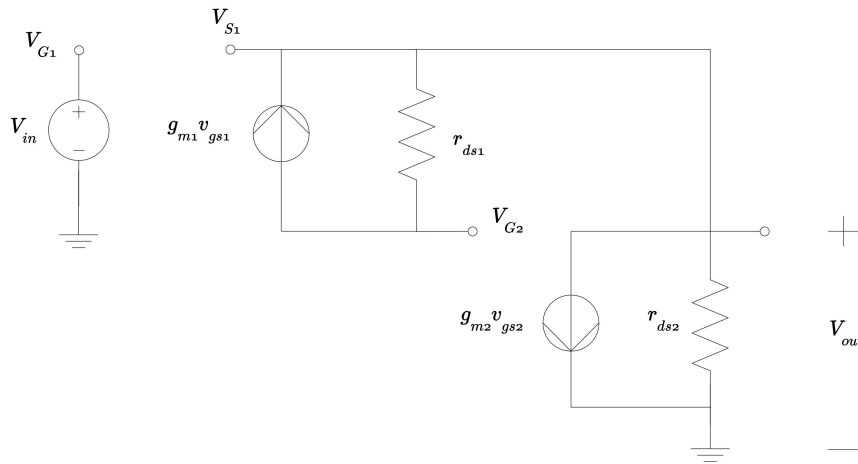


Figura 3.7: Modelagem de pequenos sinais da topologia do *Super Source Follower*.

Para calcular a impedância de saída, a fonte de sinal V_{in} na entrada é zerada e é conectada uma fonte de teste de tensão V_X ao nó de saída V_{out} , como é apresentado na Figura 3.8.

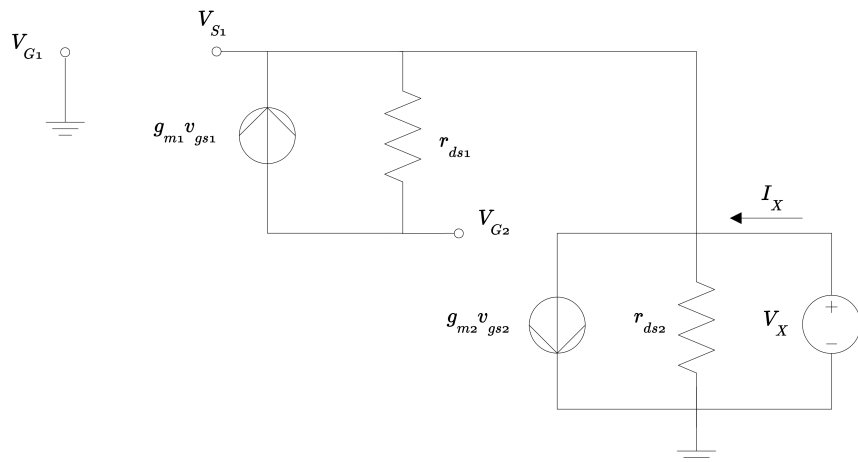


Figura 3.8: Modelagem de pequenos sinais da topologia do *Super Source Follower* com a fonte de tensão de teste V_X .

Abaixo, é apresentado o desenvolvimento do cálculo da impedância de saída do *Super Source Follower*, iniciando-se pela equação do nó de saída:

$$I_T = g_{m2}v_{gs2} + \frac{V_T}{r_{ds2}} \quad (3.22)$$

Sabendo que:

$$v_{gs1} = -V_T \quad (3.23)$$

$$v_{gs2} = V_T - g_{m1}v_{gs1}r_{ds1} \quad (3.24)$$

Substituindo as equações (3.23) em (3.24) temos:

$$v_{gs2} = V_T g_{m1} V_T r_{ds1} \quad (3.25)$$

Substituindo (3.25) em (3.22), foi obtida a impedância de saída do *Super Source Follower*, apresentada pela Equação

$$R_{out} = \frac{V_T}{I_T} = \frac{1}{\frac{1}{r_{d1}} + g_{m2}(1 + g_{m1}v_{ds1})} \quad (3.26)$$

Se consideramos que:

- $g_{m1}r_{ds1} \gg 1$
- $g_{m2}g_{m1}r_{ds1} \gg r_{ds2}$

então, podemos simplificar a expressão anterior, transformando-a na equação

$$R_{out} = \frac{1}{g_{m2}g_{m1}r_{d1}} \quad (3.27)$$

Comparando as (3.18) e (3.27), é possível visualizar que as topologias do *Super Source Follower* e do *Flipped Voltage Follower* possuem impedâncias de saída equivalentes.

O trabalho [2] apresenta a topologia do *Super Source Follower* denominando-a como *Folded Flipped Voltage Follower* FFVF. Lá é desenvolvido um OTA baseado nesta topologia. É utilizada a topologia análoga, conforme é mostrado na Figura 3.9.

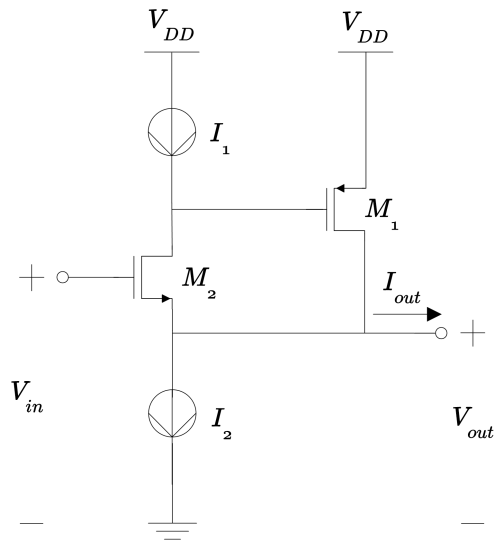


Figura 3.9: Topologia do FFVF, apresentado em [2].

A diferença desta topologia, é que o transistor que recebe a tensão de entrada V_{in} é do tipo NMOS e a realimentação é realizada por um transistor do tipo PMOS. A vantagem desta topologia é o fato de transistores NMOS terem um V_{TH} menor do que transistores PMOS, garantindo assim, uma maior excursão de sinal de tensão V_{in} [1][12].

Neste caso:

- $I_2 \gg I_1$

Isto ocorre, pois a fonte de corrente I_2 é, neste caso, a corrente majoritária do circuito, absorvendo a corrente que passa pelos dois transistores M_1 e M_2 . Então, esta corrente deve ser a maior, para que possa absorver as correntes I_1 e a corrente que passa por M_2 .

O próximo passo consiste em implementar um elemento de transcondutância na topologia do FFVF, assim como foi feito na topologia do FVF, (processo apresentado na Figura 3.5). A implementação foi realizada conforme é apresentado na Figura 3.10.

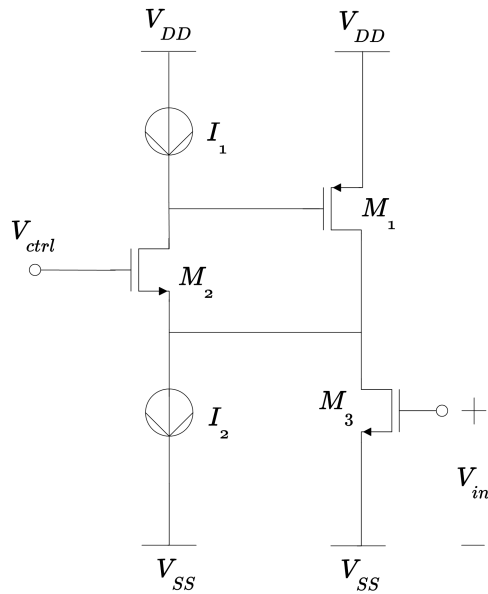


Figura 3.10: Topologia do FFVF, com a introdução de um elemento de transcondutância.

No circuito apresentado na Figura 3.10, o transistor NMOS M_3 implementa o elemento de transcondutância e, portanto, deve operar na região ôhmica. A tensão V_G de M_2 é a tensão de controle V_{ctrl} , que é responsável por ajustar o ganho de transcondutância g_m do transistor M_3 . Este controle opera utilizando o princípio de funcionamento do FFVF, que consiste no fato da tensão V_S de M_2 seguir sua tensão V_G , já que a corrente que passa pelo mesmo é fixa. A tensão V_S de M_2 está conectada ao mesmo nó de tensão V_D de M_3 , o que faz com que a variação de uma acarrete na variação da outra. Considerando que a tensão V_S de M_3 é fixa, ao variar V_{ctrl} , a tensão de V_{DS} de M_3 é variada e, com isto, a transcondutância do mesmo também. Para minimizar o consumo de potência do OTA proposto neste trabalho, optou-se por dimensionar o circuito da Figura 3.10 com $I_1 = I_2$. Nesse caso, a corrente que passa por M_1 também passa por M_3 e a corrente da fonte I_1 é a mesma que passa por I_2 .

Para a construção de um OTA com entrada diferencial, a estrutura de entrada deve ser conforme é apresentado na Figura 3.11.

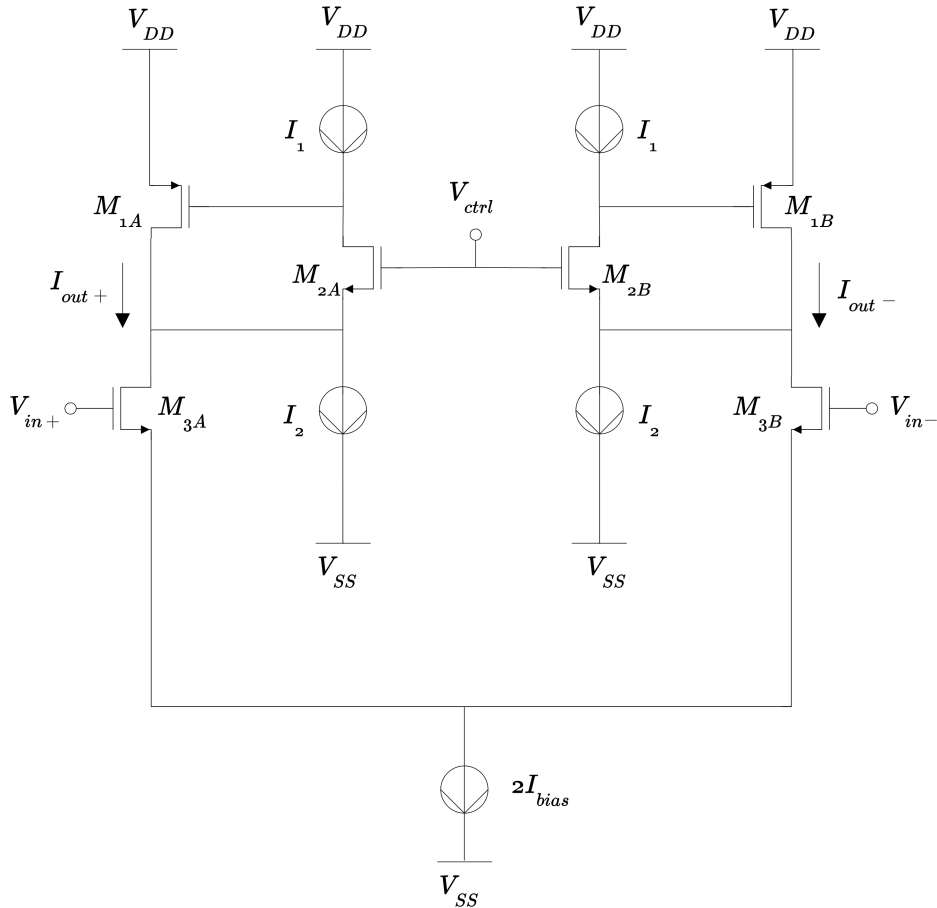


Figura 3.11: Topologia do FFVF para implementação do estágio de entrada do OTA proposto neste trabalho.

O circuito apresentado na Figura 3.11 utiliza duas cópias da topologia apresentada na Figura 3.10, uma para implementar a entrada positiva e a outra para a entrada negativa. Os transistores M_{3A} e M_{3B} , que são os elementos de transcondutância, possuem agora, seus terminais de *source* ligados a uma fonte de corrente $2I_{bias}$. Esta deve produzir o dobro da corrente de referência I_{bias} que é a corrente de referência de M_{3A} e M_{3B} , caracterizando assim, um par diferencial.

O circuito apresentado na Figura 3.11 funciona da seguinte forma:

- Assumindo uma entrada diferencial balanceada, M_{3A} recebe V_{in+} , que é a parcela positiva da tensão de entrada. Ao mesmo tempo, V_{in-} é a parcela negativa da tensão de entrada e possui o mesmo módulo de V_{in+} , porém com a polaridade oposta. Sendo assim, M_{3A} tem sua tensão V_{GS} aumentada e, com isso, uma parcela maior de corrente passará por ele. Assumindo, de acordo com o princípio de funcionamento do FFVF, que a corrente que passa por M_{2A} seja fixa, o excedente de corrente que passa por M_{3A} deverá circular pelo transistor M_{1A} .
- Já para M_{3B} o processo é análogo. M_{3B} recebe V_{in-} , que é a parcela negativa da

tensão de entrada. Então, uma vez que M_{3B} tem sua tensão de V_{GS} reduzida, uma parcela menor de corrente passará por ele, e considerando a corrente que passa por M_{2B} fixa, a redução de corrente que passa por este transistor deverá sair pelo transistor M_{1B} . O excedente de corrente que passa por M_{3A} é exatamente equivalente à redução da corrente que passa por M_{3B} , já que o somatório das correntes que circulam por esses dois transistores deve igualar a corrente constante drenada pela fonte $2I_{bias}$.

3.2 Desenvolvimento do Circuito do OTA Baseado na Topologia FFVF

Esta seção apresenta a topologia completa do OTA desenvolvido neste trabalho. Partindo da Figura 3.11, foi desenvolvido o estágio de saída em *cascode* dobrado, projetado de maneira a garantir que a impedância de saída do OTA seja bem alta, o que é interessante para transcondutores. A Figura 3.12 apresenta o circuito completo do OTA.

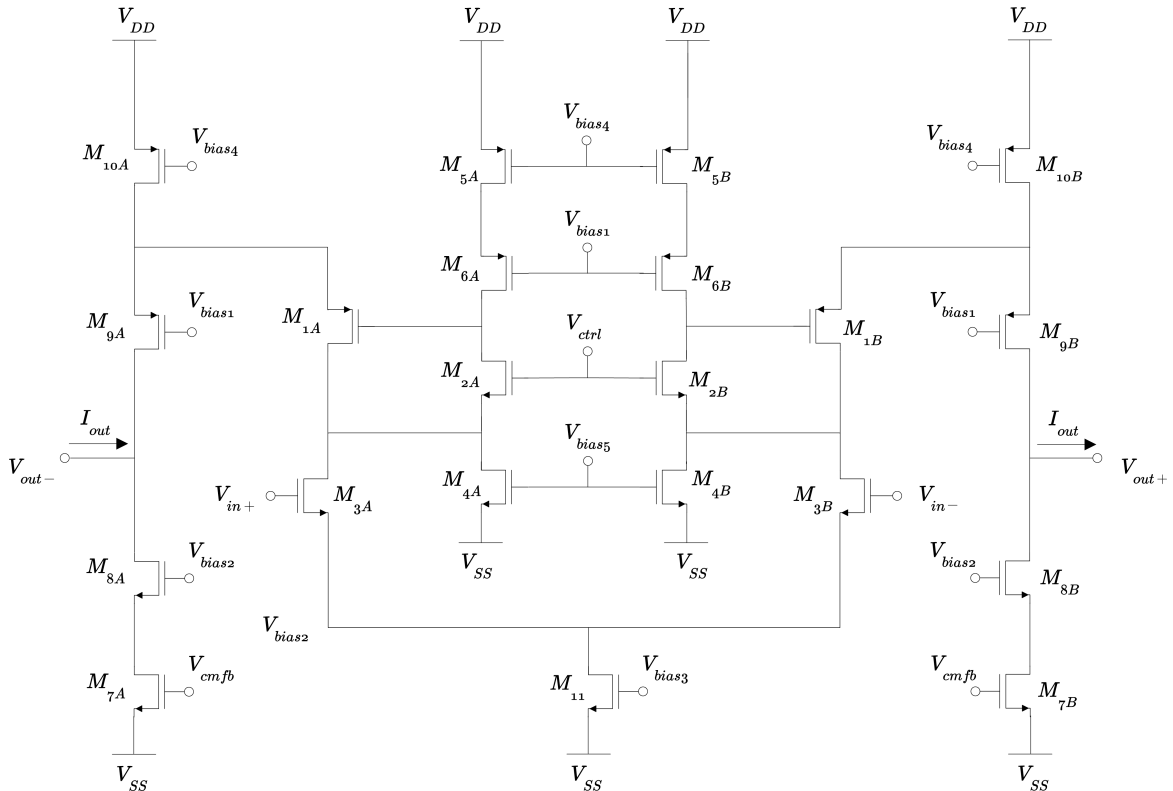


Figura 3.12: Topologia completa do OTA desenvolvido neste trabalho

Os transistores M_{5A} , M_{5B} , M_{6A} e M_{6B} implementam a fonte de corrente I_1 e os transistores M_{4A} e M_{4B} a fonte de corrente I_2 do circuito apresentado na Figura 3.11. O transistor M_{11} implementa a fonte de corrente $2I_{bias}$, que é a responsável

por gerar a referência do par diferencial. A implementação das fontes de corrente é feita através de espelhos de corrente, onde é gerada a corrente de referência em um circuito de polarização a parte e, através de espelhos de corrente, são geradas tensões de polarização que polarizam os transistores responsáveis por gerar as correntes de polarização do OTA

Os transistores M_{6A} e M_{6B} foram adicionados à estrutura original para que o espelhamento de corrente seja o mais preciso possível. Sem eles, as tensões de V_{DS} dos transistores M_{10A} e M_{10B} , que formam o *cascade* na saída do OTA, estariam descasadas das tensões de V_{DS} dos transistores M_{5A} e M_{5B} , sendo que ambos os pares são polarizados pela mesma tensão V_G (V_{bias4}). Dessa forma, é eliminado o erro de espelhamento para a corrente de referência que passa pelos *cascodes* na saída.

Esta estrutura é diretamente derivada da apresentada na Figura 3.11. Nos *cascodes* da saída, foi implementada uma configuração de modo que o ganho de modo comum do circuito do OTA permaneça negativo. Com isto, é drasticamente reduzida a chance de instabilidade quando o OTA tiver seus nós de saída realimentados em seus nós de entrada, o que acontece na estrutura do filtro que é desenvolvido neste trabalho.

Esta configuração do OTA funciona da seguinte maneira:

- Quando é aplicada uma tensão positiva V_{in+} , ao nó de *gate* de M_{3A} , sua tensão V_{GS} aumenta e, conseqüentemente, a corrente que passa por ele e por M_{1A} também aumentam. Como será descrito na próxima sessão, o transistor M_{10A} é dimensionado de maneira que suporte o dobro da corrente de M_{3A} e M_{9A} . Quando ocorre um aumento na corrente que passa por M_{3A} , a corrente que passa por M_{9A} é forçada a diminuir, já que a corrente que passa por M_{10A} é fixa. Desta forma, a corrente I_{out} entrará pelo nó V_{out-} , pois a corrente que passa por M_{7A} e M_{8A} é fixa e igual à corrente de referência I_{bias} .
- Para a entrada negativa V_{in-} , o processo é análogo. Quando é aplicada uma tensão negativa V_{in-} , ao nó de *gate* de M_{3B} , sua tensão de V_{GS} diminui e, conseqüentemente, a corrente que passa por ele e por M_{1B} também diminuem. Quando ocorre uma redução na corrente que passa por M_{3B} , a corrente que passa por M_{9B} é forçada a aumentar, já que a corrente que passa por M_{10B} é fixa e igual ao o dobro de I_{bias} . Desta forma, a corrente I_{out} sairá pelo nó V_{out+} , pois a corrente que passa por M_{7B} e M_{8B} é fixa e igual à corrente de referência I_{bias} .

O OTA desenvolvido neste trabalho rejeita tensão de entrada de modo comum. Quando é aplicada uma tensão de modo comum a ambos os terminais de entrada, V_{in+} e V_{in-} , aumenta-se a tensão V_{DS} do transistor M_{11} que polariza o par diferencial.

Esse aumento de V_{DS} acarreta em um ligeiro aumento na corrente de dreno em ambos os transistores M_{3A} e M_{3B} do par diferencial, levando também a um aumento de corrente nos transistores M_{1A} e M_{1B} . O aumento da corrente nesses dois últimos acarreta em uma redução na corrente em ambos os transistores M_{9A} e M_{9B} , pois as correntes em M_{10A} e M_{10B} estão fixas. Conseqüentemente, essa redução nas correntes que circulam em ambos M_{9A} e M_{9B} leva a uma redução em ambas as tensões V_{out+} e V_{out-} na saída, caracterizando um ganho de modo comum negativo, já que dessa forma, se for aplicada uma tensão de modo comum positiva nos terminais V_{in+} e V_{in-} , a tensão de modo comum na saída tenderá a ser nula.

3.3 Projeto e Dimensionamento dos Transistores do OTA

Nesta seção será descrito o método utilizado para o dimensionamento dos transistores do circuito OTA. O mesmo método foi utilizado para os circuitos de polarização e do CMFB discutidos mais adiante.

O OTA aqui desenvolvido, será dimensionado para o processo de fabricação CMOS de $0,35\ \mu\text{m}$ da empresa *Austria MicroSystems* (AMS), com tensão de alimentação simétrica de $\pm 1,5\ \text{V}$. A corrente de polarização do OTA foi determinada para seguir a corrente de referência $I_{bias} = 5\ \mu\text{A}$. Em alguns transistores do circuito a corrente será espelhada com ganho, realizado através da relação de W dos transistores, visando economia de potência. Para $I_{bias} = 5\ \mu\text{A}$ a transcondutância do OTA é de aproximadamente $7,5\ \mu\text{A/V}$, como foi discutido no Capítulo 2. Ao implementar o circuito em processos CMOS, podem ocorrer erros de fabricação que alterem sua resposta em frequência. Então, foi implementado um ajuste de transcondutância que será realizado através da corrente de referência I_{bias} , que varia de $1\ \mu\text{A}$ a $10\ \mu\text{A}$. Através deste ajuste, é possível corrigir erros de frequência de corte, atingindo assim, o resultado esperado.

Neste circuito, exceto M_{3A} e M_{3B} , todos os transistores devem permanecer operando na região de saturação e em inversão forte. O dimensionamento foi feito simulando o pior caso, que ocorre quando a corrente de referência é ajustada para o seu valor máximo ($I_{bias} = 10\ \mu\text{A}$). Sabendo disto, para o projeto do circuito, optou-se por utilizar as premissas descritas na Tabela 3.1 para o ponto de polarização dos transistores do OTA, sendo V_{OV} a tensão de *overdrive* (esta tensão é a diferença entre as tensões de V_{GS} e V_{TH} do transistor).

Tabela 3.1: Premissas para o ponto de polarização dos transistores do OTA.

Componentes	Valor
V_{OV}	0,2 V
$ V_{DS} = V_{GS} - V_{TH} $	0,3 V
$L_n = L_p$	5 μm
I_{bias}	10 μA

A razão do comprimento L dos transistores ter sido fixado em 5 μm foi devido o fato de que quanto maior for a área de *gate* de um transistor MOS, menor será o descasamento proveniente do processo de fabricação [16]. O trabalho [16] mostra que os parâmetros que são fontes dominantes de descasamento entre um par de transistores MOS integrados são a variação da tensão de *threshold* ΔV_T e a variação do fator de corrente $\Delta\beta$, sendo β o parâmetro do transistor MOS dado por:

$$\beta = \mu C_{ox} \frac{W}{L} \quad (3.28)$$

As variações citadas acima possuem uma distribuição normal com média zero e uma variância dependente da área do dispositivo ($W \times L$), conforme as expressões[16]:

$$\sigma^2(\Delta V_T) = \frac{A_{V_T}^2}{W \times L} \quad (3.29)$$

Sendo W e L respectivamente, a largura e o comprimento de um transistor MOSFET, A_{V_T} e A_β são constante dependentes do processo de fabricação de circuitos integrados (CI).

$$\frac{\alpha(\Delta\beta)}{\beta} = \frac{A^2\beta}{W \times L} \quad (3.30)$$

Através de (3.28) (3.29) (3.30) é possível perceber que se usarmos valores maiores para o comprimento L e para a largura W (sem alterar a proporção $\frac{W}{L}$ constante), o descasamento entre os transistores será menor. Sendo assim, foi escolhido $L = 5 \mu\text{m}$ como sendo uma boa relação de compromisso entre área de silício e erro de descasamento.

A razão da escolha de $V_{OV} = 0,2 \text{ V}$ se deve à necessidade de garantir que os transistores operem em inversão forte e a escolha de $|V_{DS}| = 0,3 \text{ V}$ é para garantir que os mesmos operem na região de saturação e, ao mesmo tempo, proporcionem uma boa excursão de sinal de tensão na saída do OTA.

Ao invés de utilizar o modelo quadrático de 1ª ordem do MOSFET para obter os valores de W para cada transistor, foi utilizado um método de simulação de varredura DC utilizando o simulador Spectre do software Cadence para realização

do dimensionamento. O motivo desta escolha se deve ao fato do modelo obtido para a corrente de um transistor MOSFET operando na região de saturação, dado pelo modelo de 1ª ordem, não considerar alguns efeitos físicos que afetam o comportamento elétrico do transistor. Sendo assim, haveria erros significativos se o dimensionamento fosse feito através desta equação. Entretanto, o modelo utilizado pelo simulador Spectre é o *BSIM 3v3 (Berkley Simulation Model)*, que é capaz de descrever comportamentos físicos do MOSFET que o modelo de 1ª ordem ignora, como regimes de inversão fraca e moderada e efeitos de canal curto, além de modelar mais acuradamente efeitos como a modulação do comprimento de canal.

A Figura 3.13 apresenta o circuito utilizado na simulação de varredura DC para a obtenção do dimensionamento da largura dos transistores do OTA.

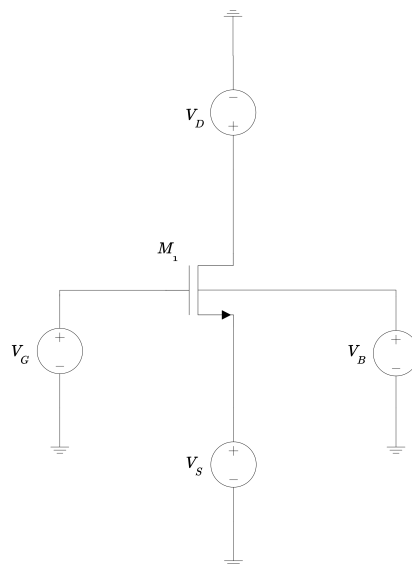


Figura 3.13: Esquemático utilizado para dimensionamento dos transistores MOSFET.

No circuito apresentado na Figura 3.13, a simulação de varredura DC é feita estabelecendo as tensões V_G , V_D , V_S e de corpo V_B . Para os transistores NMOS, a tensão V_B deve ser ligada à tensão mais baixa do circuito, neste caso $V_{SS} = -1,5$ V, para manter as junções PN do transistor sempre reversamente polarizadas. Já para os transistores do tipo PMOS, a tensão V_B deve ser conectada à tensão mais alta do circuito, neste caso $V_{SS} = +1,5$ V. Além disso, o comprimento L do transistor é fixado nesta simulação, para que a varredura seja feita variando-se apenas a largura W do mesmo. Então, realizada a simulação e plotado o gráfico resultante, cujo exemplo pode ser visualizado na Figura 3.14, basta coletar o valor de W que faz com que o MOSFET conduza a corrente de dreno desejada, quando submetido às tensões V_G , V_D , V_S e V_B especificadas.

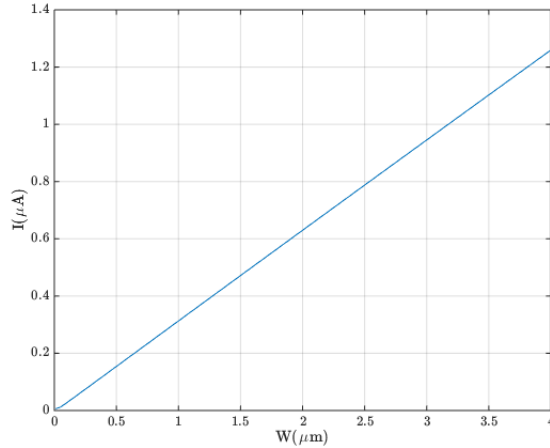


Figura 3.14: Gráfico de varredura $I_D \times W$

Na simulação ilustrada na Figura 3.14, é necessário conhecer a tensão de limiar do MOSFET, mesmo na ocorrência do Efeito de Corpo, antes de definir as tensões V_G e V_S que produzem a tensão de *overdrive* V_{OV} definida na Tabela 3.1.

Para obter o valor de V_{TH} dos transistores do tipo NMOS, foi utilizada uma simulação de ponto de operação DC, colocando-se nos terminais do transistor as tensões V_D , V_G e V_B desejadas no projeto e uma tensão V_G suficientemente alta para colocar o MOSFET em condução no regime de inversão forte do canal. Uma vez calculado o ponto de operação DC do circuito da Figura 3.13, o próprio simulador Spectre realiza o cálculo da tensão de limiar V_{TH} do transistor, levando em consideração o Efeito de Corpo. Uma vez conhecido o valor de V_{TH} do MOSFET com precisão, o projetista é capaz de calcular a tensão de polarização V_G de gate que leva à tensão de *overdrive* $V_{OV} = 0,2$ V especificada na Tabela 3.1.

Para I_{bias} foi estabelecido um valor máximo de $10 \mu\text{A}$, para que, de acordo com as simulações que são apresentadas no Capítulo 5, seja possível atingir uma transcondutância máxima de aproximadamente $19 \mu\text{A/V}$, suficiente para implementar o filtro proposto utilizando capacitâncias integráveis em um processo CMOS. Apesar dos circuitos desenvolvidos neste trabalho possuírem partes que trabalham com correntes acima de $10 \mu\text{A}$, este foi o valor máximo fixado para a referência I_{bias} , para evitar um consumo maior e desnecessário de potência. Os espelhos de corrente realizam as transformações de I_{bias} , de forma que as correntes de polarização atinjam maiores valores em alguns transistores do OTA, onde é necessário o dobro e até quádruplo do valor de I_{bias} . Esta transformação é feita através da relação de multiplicidade entre as larguras de canal dos transistores dos espelhos de corrente, o que multiplica, na mesma proporção, a corrente espelhada [12] [1].

Primeiramente foi obtido o dimensionamento do transistor M_{11} do par diferencial da Figura 3.12. A corrente máxima que ele deve suportar é de $4I_{bias}$, o que é igual a $40 \mu\text{A/V}$. Então, foi realizada uma varredura DC para se obter o valor de W

que corresponde à corrente desejada. Ao medir a tensão de V_{TH} , foi obtido 0,516 V. Então, é necessário obter, para este transistor, uma tensão de V_{GS} de 0,716 V. Então, nesta simulação foram escolhidas as tensões $V_G = -0,784$ V, $V_S = -1,5$ V e $V_D = -1,2$ V ao realizar a varredura DC, de onde obteve-se um $W = 70,40$ μm para o transistor M_{11} .

Para o dimensionamento dos transistores NMOS M_{3A} e M_{3B} , foi especificado um $|V_{DS}| = 100$ mV, de forma que esses transistores operem na região ôhmica, que exhibe uma relação aproximadamente linear entre I_d e V_{GS} . Foram escolhidas as tensões $V_G = 0$ V, $V_S = -1,2$ V e $V_D = -1,1$ V e uma corrente de polarização máxima igual a $2 I_{bias} = 20$ μA .

O próximo passo foi o dimensionamento dos transistores NMOS M_{4A} e M_{4B} . Assim como no caso do transistor M_{11} , a tensão de V_{TH} destes transistores, seguindo a medida obtida através do simulador, é de 0,516 V, então a tensão V_G deve ser de 0,784 mV. Apesar de ser igual a tensão V_{bias3} foi preferível que esta fosse utilizada apenas para polarizar o terminal de *gate* do transistor do par diferencial. A tensão V_D é a mesma de M_{3A} e M_{3B} , que é -1,1 V e $V_S = -1,5$ V. Já a corrente de polarização máxima adotada para o par M_{4A} e M_{4B} foi $I_{bias} = 10$ μA .

Depois disto, foram dimensionados os transistores do tipo NMOS M_{2A} e M_{2B} , que compõem a realimentação da estrutura do FFVF. Como já foi explicado anteriormente, a tensão de V_{ctrl} , tem como função determinar a tensão de V_{DS} dos transistores M_{3A} e M_{3B} e, conseqüentemente, a transcondutância do OTA e a máxima excursão do sinal diferencial admitido na entrada. Para a tensão de V_S foi escolhido -1,1 V, pois é o mesmo nó de dreno de M_{3A} e M_{3B} . A tensão de V_D é a mesma do *gate* de M_{1A} e M_{1B} e V_{TH} é igual a 0,620 V, resultando em um valor de $V_{ctrl} = 0,278$ V.

Para os transistores PMOS M_{5A} e M_{5B} foi obtido o valor de tensão V_{TH} de -0,719 V. Então, ao somar $V_{OV} = -0,2$ V, foi obtida uma tensão de polarização $V_{GS} = -0,915$ V. Sendo assim, a tensão de $V_{bias4} = 0,585$ V. Já as tensões V_S e V_B desses transistores são iguais à tensão de alimentação $V_{DD} = +1,5$ V.

Devido ao fato de M_{6A} e M_{6B} formarem uma fonte de corrente *cascode* com os transistores M_{5A} e M_{5B} foram escolhidos os mesmos tamanhos W e L para os quatro transistores. A tensão de V_{TH} desses transistores é igual a -0,782 V. Então, a tensão $V_G = V_{bias1} = 0,982$ V. É válido lembrar que a corrente que passa pelos transistores $M_{4A} - M_{4B}$, $M_{2A} - M_{2B}$, $M_{5A} - M_{5B}$ e $M_{6A} - M_{6B}$ é igual a $I_{bias} = 10$ μA .

O próximo passo é dimensionar os transistores do *cascode* dobrado no estágio de saída do OTA. Os transistores PMOS M_{10A} e M_{10B} devem suportar uma corrente máxima igual a $4I_{bias} = 40$ μA . A tensão de V_{GS} dos transistores $M_{5A} - M_{5B}$ e $M_{10A} - M_{10B}$ são iguais e para o primeiro par, a corrente máxima de polarização é de 10 μA . Já no segundo par, a corrente de polarização é de 40 μA . Neste caso, a largura W

dos transistores do par M_{10A} e M_{10B} é quatro vezes maior a dos transistores M_{5A} e M_{5B} .

Os transistores M_{9A} e M_{9B} são projetados para uma corrente de polarização de $20 \mu\text{A}$ e, como eles possuem o mesmo V_{GS} que os transistores do par M_{6A} e M_{6B} , então, devem ter uma largura de canal W duas vezes maior.

Para os transistores do tipo NMOS M_{7A} e M_{7B} , a corrente máxima de polarização é de $20 \mu\text{A}$. A tensão de V_S é dada pela alimentação negativa $V_{SS} = -1,5 \text{ V}$ e a tensão V_D é $1,2 \text{ V}$. Ao medir a tensão de V_{TH} , foi obtido $0,516 \text{ V}$. Então, é necessário polarizar este transistor com uma tensão de V_{GS} de $0,716 \text{ V}$.

Por fim, para os transistores M_{1A} e M_{1B} , foi escolhido um valor de largura de canal W igual à do par M_{9A} e M_{9B} , pois ambos os pares de transistores estarão submetidos a aproximadamente a mesma tensão de polarização V_{GS} e estarão conduzindo a mesma corrente $2I_{bias} = 20 \mu\text{A}$.

Então, através da varredura realizada para o dimensionamento dos transistores MOSFET do circuito do OTA, é possível dimensioná-los conforme foi descrito anteriormente. A Tabela 3.2 apresenta os valores de W e L de todos os transistores do OTA.

Na Tabela 3.2 também é mostrado que alguns transistores muito largos foram implementados neste projeto através da associação em paralelo de transistores menores idênticos. O objetivo dessa implementação é a minimização das capacitâncias parasitas associadas à construção física (*layout*) dos transistores

Tabela 3.2: Valores de W e L dos transistores do circuito do OTA.

Transistores	W total	L	n° de trans.	W de cada transistor
$M_{1A} - M_{1B}$	88,00 μm	5,00 μm	4	22,00 μm
$M_{2A} - M_{2B}$	17,60 μm	5,00 μm	2	7,80 μm
$M_{3A} - M_{3B}$	13,00 μm	5,00 μm	2	6,50 μm
$M_{4A} - M_{4B}$	17,60 μm	5,00 μm	2	8,80 μm
$M_{5A} - M_{5B}$	44,00 μm	5,00 μm	2	22,00 μm
$M_{6A} - M_{6B}$	44,00 μm	5,00 μm	2	22,00 μm
$M_{7A} - M_{7B}$	35,20 μm	5,00 μm	4	8,80 μm
$M_{8A} - M_{8B}$	35,20 μm	5,00 μm	4	8,80 μm
$M_{9A} - M_{9B}$	88,00 μm	5,00 μm	4	22,00 μm
$M_{10A} - M_{10B}$	176,00 μm	5,00 μm	8	22,00 μm
M_{11}	70,40 μm	5,00 μm	8	8,80 μm

3.4 Desenvolvimento do Circuito de Polarização

Nesta seção, é apresentada a estrutura do circuito de polarização utilizado para gerar todas as tensões de referência V_{bias1} — V_{bias9} e V_{ctrl} da Figura 3.12 além da corrente de referência I_{bias} que polarizam e determinam o ponto de operação dos circuitos do OTA e do CMFB propostos neste trabalho. No circuito de polarização, foram utilizados espelhos do tipo *cascode* de alta compliância. A vantagem desta topologia é permitir uma maior excursão de sinal, não permitindo que os transistores saiam da região de operação para a qual foram projetados, que neste caso é saturação [12] [1]. A Figura 3.15 apresenta as topologias de espelho de alta compliância, utilizando transistores do tipo NMOS e PMOS, as mesmas utilizadas no circuito de polarização aqui proposto.

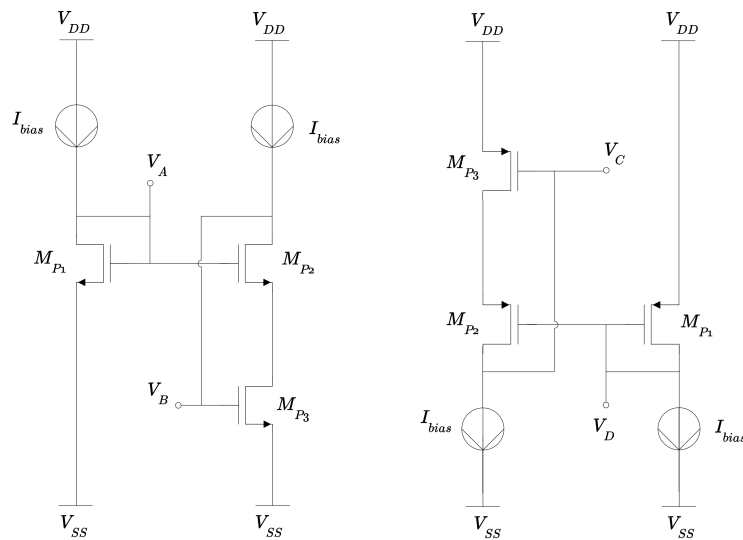


Figura 3.15: Espelhos de alta compliância utilizando transistores NMOS (esquerda) e PMOS (direita).

Além disso, também foram utilizados espelhos em *cascode* comuns nos pontos do circuito onde não há a preocupação com uma grande excursão de sinal. Na Figura 3.16 são apresentados os espelhos *cascode* compostos por transistores NMOS e PMOS.

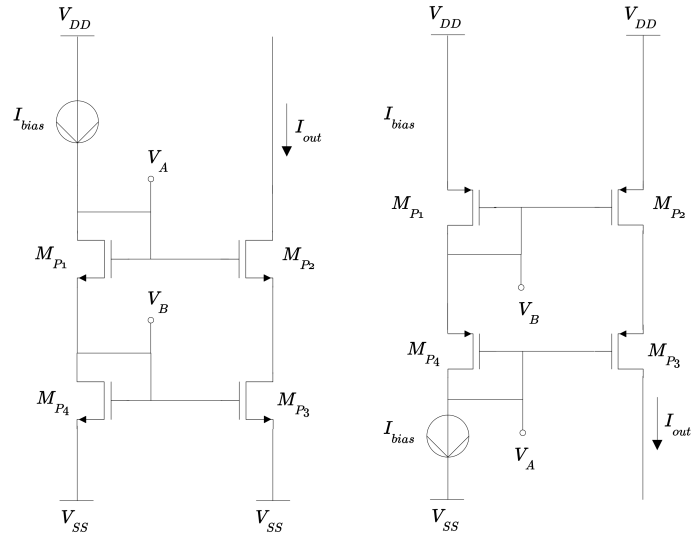


Figura 3.16: Espelhos do tipo *cascode* utilizando transistores NMOS (esquerda) e um utilizando PMOS (direita).

Espelhos em *cascode* tem como principal função melhorar a precisão da cópia de corrente, já que possuem uma impedância de saída bem elevada se comparados ao espelho de corrente simples[12][1].

A Figura 3.17 apresenta o circuito de polarização completo com todos os transistores, a fonte de corrente de referência extrema I_{bias} e os nós geradores das tensões de polarizações. Neste trabalho, o circuito da Figura 3.17 é o responsável pela polarização de todos os OTAs do filtro $G_m - C$, como também dos circuitos de controle de modo comum (CMFB) discutidos no próximo capítulo.

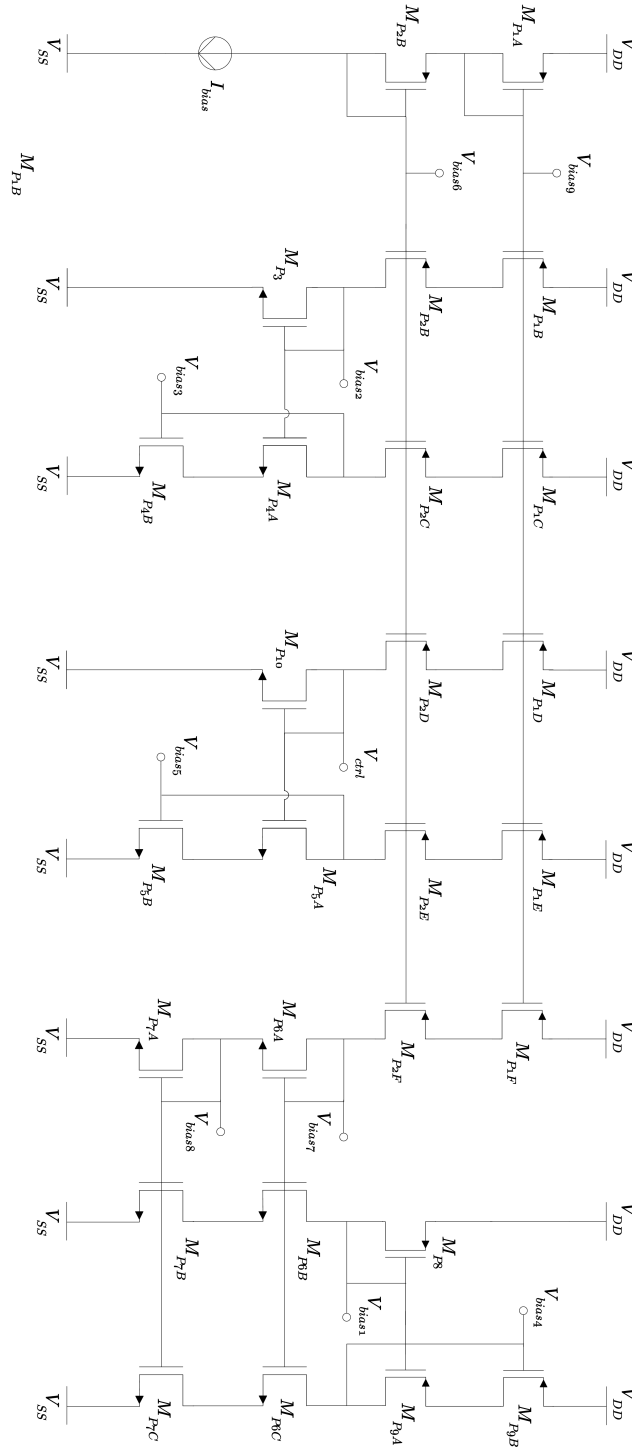


Figura 3.17: Esquemático do circuito de polarização completo.

3.5 Projeto e Dimensionamento dos Transistores do Circuito de Polarização

Foi determinado que a fonte de corrente de referência externa I_{bias} fornece uma corrente de, no máximo, $10 \mu A$, que será multiplicada através dos ganhos dos espelhos

de corrente, como foi descrito na seção anterior. O objetivo dessa premissa consiste em polarizar o circuito de polarização da Figura 3.17 com correntes menores que as adotadas no circuito do OTA da Figura 3.12 com o objetivo de reduzir o consumo de potência do projeto. Então, foram utilizados os ganhos dos espelhamentos de corrente para polarizar os OTAs com correntes maiores que aquelas usadas no circuito de polarização.

Foi adotado, no dimensionamento dos transistores do circuito de polarização, o mesmo método da varredura DC adotado no projeto do OTA. Para os transistores NMOS com terminal de fonte ligado à fonte de alimentação negativa $V_{SS} = -1,5$ V, foi obtido $V_{TH} = 0,519$ V.

Utilizando como referência M_{P1A} , sua tensão V_S é igual à tensão de alimentação mais alta do circuito, $V_{DD} = +1,5$ V. A tensão de limiar V_{TH} obtida pelo simulador Spectre é igual a $-0,719$ V. Dessa forma, este transistor deverá estar polarizado com $V_{DS} = V_{GS} = -0,2 + V_{TH} = -0,919$ V e $I_D = I_{bias} = 10$ μ A. Então, através da varredura DC é obtida a largura de canal W do transistor M_{P1A} . M_{P1B} - M_{P1F} são idênticos a M_{P1A} .

Os transistores M_{P3} , M_{P4A} e M_{4B} , que formam o espelho de alta compliância, iniciou-se o dimensionamento por M_{P4B} . Sabe-se que ele possui a mesma tensão de V_{GS} de M_{11} , mas deve estar polarizado com uma corrente quatro vezes menor que M_{11} . Sendo assim, o transistor M_{P4B} deverá ter uma largura de canal W quatro vezes menor que M_{11} . Seguindo a prática usual adotada no dimensionamento de espelhos *cascode* M_{P4A} é idêntico ao M_{P4B} . Para o transistor M_{P3} , o dimensionamento foi feito através da varredura DC. As tensões V_S e V_B são iguais a $V_{SS} = -1,5$ V. V_{bias2} é obtida através da associação em série da tensão V_{DS} de M_{P4B} com a tensão V_{GS} de M_{P4A} , resultando em $V_{bias2} = V_{SS} + V_{DS} + V_{GS}$.

O método para o dimensionamento dos demais espelhos de alta compliância é o mesmo. Seguindo a mesma prática de dimensionamento de espelhos *cascode*, M_{P5A} , sabe-se que ele possui a mesma tensão de polarização V_{GS} de M_{P4B} então, ele será dimensionado com a mesma largura de canal W que M_{P4B} .

Seguindo a mesma prática de dimensionamento de espelhos *cascode*, M_{P5A} é idêntico ao M_{P5B} . Para o transistor M_{P10} , o dimensionamento foi feito através da varredura DC. As tensões V_S e V_B são iguais a $V_{SS} = -1,5$ V. V_{ctrl} é obtida através da associação em série da tensão V_{DS} de M_{P5B} com a tensão V_{GS} de M_{P5A} , resultando em $V_{ctrl} = V_{SS} + V_{DS} + V_{GS}$.

Os transistores M_{P7A} - M_{P7C} também são dimensionados utilizando a varredura DC. Para isto, deve-se utilizar M_{P7A} como referência. Sendo assim, $V_S = V_B = V_{SS} = -1,5$ V, $V_{TH} = 0,516$ V e $V_G = V_{bias8} = V_{SS} + V_{GS} = V_{SS} + V_{TH} + V_{OV}$.

Seguindo a prática usual adotada nos projetos de espelhos *cascode*, os transistores M_{P6A} - M_{P6C} são dimensionados de forma idêntica aos transistores M_{P7A} -

M_{P7C} .

Por último, resta dimensionar o espelho de alta compliância formado pelos transistores PMOS M_{P8} , M_{P9A} e M_{P9B} . Sabe-se que M_{P9A} e M_{P9B} são idênticos aos transistores M_{5A} e M_{5B} do circuito do OTA ilustrado na Figura 3.12. M_{P8} possui uma tensão $V_{TH} = -0,719$ V. Sabendo-se que $V_D = V_G = V_{SS} + V_{GS} = V_{SS} + V_{TH} + V_{OV}$ e que $V_S = V_{SS}$, basta realizar a varredura e obter o valor de W .

A Tabela 3.3 apresenta os valores de W e L que dimensionam os transistores do circuito de polarização, ilustrado na Figura 3.17 e como realizar a implementação dos mesmos num projeto do layout (através da associação de transistores unitários idênticos em paralelo).

Tabela 3.3: Valores de W e L dos transistores do Circuito de Polarização.

Transistores	W total	L	n° de trans.	W de cada transistor
$M_{P1A} - M_{P1F}$	50,00 μm	5,00 μm	5	10,00 μm
$M_{P2A} - M_{P2F}$	50,00 μm	5,00 μm	4	10,00 μm
M_{P3A}	2,20 μm	5,00 μm	1	2,20 μm
$M_{P4A} - M_{P4B}$	17,60 μm	5,00 μm	2	8,80 μm
M_{10}	1,65 μm	5,00 μm	1	1,65 μm
$M_{P5A} - M_{P5B}$	17,60 μm	5,00 μm	2	8,80 μm
$M_{P6A} - M_{P6C}$	17,50 μm	5,00 μm	5	3,50 μm
$M_{P7A} - M_{P7C}$	17,50 μm	5,00 μm	5	3,50 μm
M_{P8}	6,00 μm	5,00 μm	1	6,00 μm
$M_{P9A} - M_{P9B}$	44,00 μm	5,00 μm	2	22,00 μm

Capítulo 4

Projeto do *Common Mode Feedback* - CMFB

4.1 O Sistema Realimentado CMFB

4.1.1 Introdução sobre CMFB

Em circuitos de fabricação CMOS, transistores MOSFET de tipo PMOS e de tipo NMOS são fabricados em etapas diferentes do processo de fabricação e isso faz com que eles possuam características físicas diferentes entre si. Um problema surge, pois eles são utilizados em conjunto em projetos de Amplificadores Totalmente Diferenciais, ou *Fully Differential Amplifiers* (FDA). Então, essa diferença nas características físicas acarreta em um descasamento entre as fontes de corrente de tipo NMOS e PMOS que compõem o circuito do OTA. A consequência disso é o aparecimento de uma indesejada parcela de tensão constante, conhecida como *offset* de modo comum, na saída diferencial do amplificador [1]. Essa tensão de modo comum é a média aritmética das tensões nos terminais de saída positivo e negativo do OTA, podendo levar ambas as saídas à saturação, ou seja, pode afetar diretamente a excursão de sinal na saída do amplificador.

Em amplificadores com saída simples, a tensão de *offset* produzida na saída devido aos descasamentos dos transistores do par diferencial e das fontes de corrente de tipo PMOS e NMOS pode ser compensada através de uma realimentação negativa, na qual a saída é realimentada na entrada negativa do amplificador através de uma rede de realimentação. Diferentemente de amplificadores de saída simples, o FDA necessita de uma realimentação própria para controlar o *offset* de modo comum na saída[12]. Isto não funciona para FDAs, porque o par diferencial que compõem a entrada do mesmo rejeita a parcela de modo comum das saídas positiva e negativa, proveniente do descasamento entre as fontes de corrente de tipo PMOS e NMOS. Sendo assim, a compensação do *offset* de modo comum na saída do FDA deve ser

realizada por um circuito adicional, chamado de *Common Mode Feedback* (CMFB). Um dos principais objetivos do CMFB é fazer com que a tensão de *offset* de modo comum permaneça o mais próximo possível da referência, ou seja 0 V para este projeto, permitindo, assim, a máxima excursão de sinal na saída do amplificador. Dessa forma, é possível compensar os descasamentos nas fontes de corrente NMOS e PMOS que polarizam o OTA. O circuito de CMFB que realiza essa realimentação, opera medindo a parcela de tensão de modo comum na saída do amplificador e realimenta o resultado dessa medição nas fontes de corrente que polarizam o OTA de forma a compensar o descasamento entre as fontes NMOS e PMOS. O CMFB é, essencialmente composto por dois circuitos[1]:

- O sensor, que detecta a tensão de modo comum nas saídas diferenciais do amplificador. É muito importante que este sensor seja capaz de medir apenas a parcela de modo comum das tensões na saída do amplificador, rejeitando a parcela diferencial.
- O atuador que, através da leitura realizada pelo sensor, ajusta uma das fontes de corrente que polarizam o amplificador corrigindo a diferença de corrente proveniente do descasamento entre as fontes de corrente NMOS e PMOS do circuito.

4.1.2 Revisão bibliográfica de topologias de CMFB

Na literatura é possível encontrar diversas topologias sensores que compõem circuitos de CMFB. Alguns exemplos são apresentados e explicados abaixo [17].

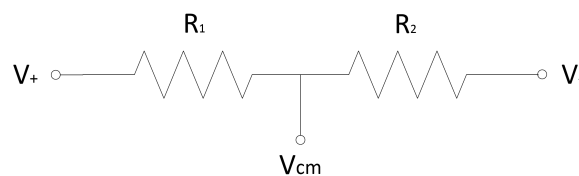


Figura 4.1: Sensor de modo comum composto por resistores em série.

A Figura 4.1 apresenta um exemplo de sensor-detector de tensão simples de modo-comum composto por dois resistores passivos. Este circuito funciona da seguinte maneira: os dois resistores R_1 e R_2 devem possuir valores iguais, fazendo com que a tensão denominada V_{cm} seja igual à média entre as tensões V_+ e V_- . Dessa forma, o circuito consegue medir a parcela de modo comum entre as tensões V_+ e V_- . Este sensor possui como vantagem:

- Sua linearidade intrínseca, não importando quais tensões sejam aplicadas aos terminais.

Entretanto, possui a seguinte desvantagem:

- Necessidade de utilização de um *buffer* na saída do amplificador para impedir que a redução da impedância de saída, assim, gere perda de ganho diferencial no amplificador. Outra forma de mitigar a redução da impedância de saída seria a utilização de resistores de alto valor, porém isto seria inviável em circuitos de fabricação CMOS, pois seria necessário um consumo enorme de área de silício além de gerar muita capacitância parasita em relação ao substrato [12].

Um exemplo de uso *buffers* para evitar que os resistores do sensor de modo comum reduzam a impedância de saída do OTA é ilustrado na Figura 4.2 [17].

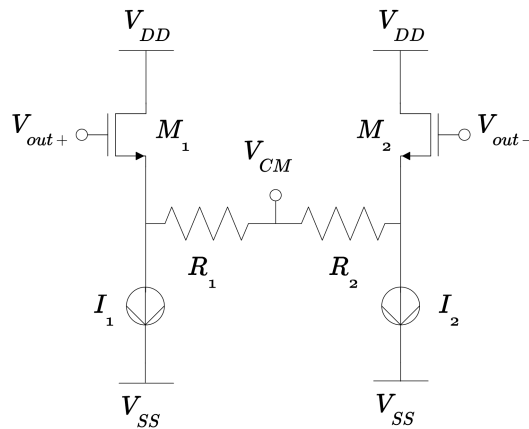


Figura 4.2: Sensor de modo comum composto por resistores e seguidores de fonte.

A topologia apresentada na Figura 4.2 funciona da seguinte maneira: as tensões V_{out+} e V_{out-} na saída do OTA são aplicadas aos nós de *gate* dos transistores M_1 e M_2 , respectivamente. Como ambos os transistores M_1 e M_2 estão na configuração dreno comum, o ganho de tensão entre os terminais de *gate* e *source* em ambos será quase unitário, fazendo com que as tensões de *source* acompanhem as variações das tensões V_{out+} e V_{out-} . Então, assim como na topologia da Figura 4.1, a tensão V_{CM} no circuito da Figura 4.2 será uma boa aproximação da média das tensões V_{out+} e V_{out-} na saída do OTA. Este circuito possui como vantagem:

- A implementação dos transistores M_1 e M_2 , que atuam como seguidores de fonte, geram uma impedância altíssima conectada aos nós de saída do OTA, o que resolve o problema da estrutura da Figura 4.1, que causa uma redução da impedância de saída do amplificador, gerando perda de ganho diferencial do OTA [12].

Entretanto, esta estrutura tem como desvantagem:

- A exigência de uma tensão mínima dos terminais de saída do amplificador de pelo menos um V_{TH} para os transistores e um V_{OV} para as fontes de corrente I_1 e I_2 , o que geraria uma limitação grande de excursão de sinal, degradando significativamente o desempenho de circuitos com baixa tensão de alimentação muito comuns em processos CMOS modernos. Além disso, os resistores precisam ser muito grandes, pois, caso contrário, o consumo de potência seria muito elevado, o que exige muita área de silício para a sua construção.

Também é possível medir a parcela de modo comum das tensões na saída do OTA a partir da estrutura presente na Figura 4.3 [17].

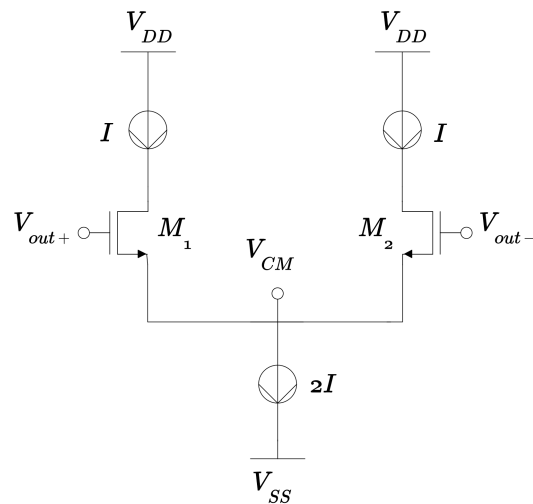


Figura 4.3: Sensor com dois seguidores de fonte sem resistores.

A estrutura apresentada na Figura 4.3 é bem parecida com a apresentada na Figura 4.2, porém não utiliza resistores. Os transistores M_1 e M_2 atuam como seguidores de fonte, onde a sua tensão V_S segue a parcela de modo comum das tensões V_{out+} e V_{out-} , reduzida de aproximadamente um V_{TH} .

Esta estrutura possui como vantagem:

- Não utiliza resistores, o que o torna muito mais viável para implementação integrada em processos CMOS.

Entretanto, possui a seguinte desvantagem:

- As características quadráticas dos transistores MOSFET, tornam não linear o comportamento deste tipo de sensor [17].

Na estrutura apresentada na Figura 4.4 é desenvolvido um circuito com uma ideia semelhante à apresentada na Figura 4.1, onde a tensão V_{CM} é obtida através da média de tensão em dois resistores [17]. Nesse caso, os os transistores M_1 e M_2

estão operando na região de triodo e a corrente total I_{cm} é proporcional à parcela de modo comum das tensões V_{out+} e V_{out-} .

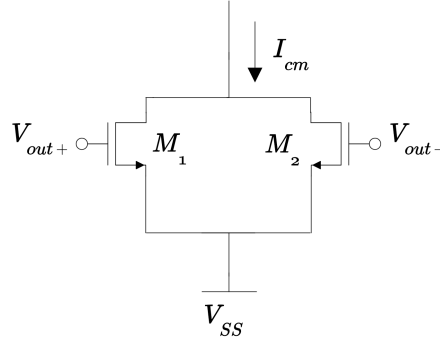


Figura 4.4: Sensor com dois transistores do tipo NMOS operando na região ôhmica.

Esta topologia é a base utilizada no circuito de compensação de tensão de modo comum desenvolvido neste trabalho. A seguir é demonstrado, matematicamente, que a soma das correntes que circulam pelos dois transistores, que operam na região ôhmica, é proporcional à parcela de modo comum das tensões aplicadas aos nós de *gate* dos dois transistores.

Para o transistor M_1 operando na região ôhmica temos a seguinte equação de corrente:

$$I_1 = k_n \frac{W_1}{L_1} ((V_{GS_1} - V_{TH})V_{DS_1} - \frac{V_{DS_1}^2}{2}) \quad (4.1)$$

e para a corrente que circula pelo transistor M_2 , temos:

$$I_2 = k_n \frac{W_2}{L_2} ((V_{GS_2} - V_{TH})V_{DS_2} - \frac{V_{DS_2}^2}{2}). \quad (4.2)$$

Então, sabendo que:

$$I_{cm} = I_1 + I_2 \quad (4.3)$$

e assumindo que os dois transistores possuem a tensão de V_{DS} e dimensões W e L iguais, temos:

$$I_{cm} = k_n \frac{W}{L} ((V_{GS_1} + V_{GS_2} - 2V_{TH})V_{DS} - V_{DS}^2). \quad (4.4)$$

Sabendo que:

$$V_{GS_1} = V_{out+} - V_{SS} \quad (4.5)$$

e

$$V_{GS_2} = V_{out-} - V_{SS}, \quad (4.6)$$

temos a seguinte relação entre I_{cm} , V_{out+} e V_{out-} :

$$I_{cm} = k_n \frac{W}{L} ((V_{out+} - V_{SS} + V_{out-} - V_{SS} - 2V_{TH})V_{DS} - V_{DS}^2). \quad (4.7)$$

Sabendo que

$$V_{cm} = \frac{V_{out+} + V_{out-}}{2} \quad (4.8)$$

e rearrumando 4.7, temos:

$$I_{cm} = 2k_n \frac{W}{L} \left(\left(\frac{V_{out+} + V_{out-}}{2} - V_{SS} - V_{TH} \right) V_{DS} - \frac{V_{DS}^2}{2} \right). \quad (4.9)$$

$$I_{cm} = 2k_n \frac{W}{L} \left((V_{cm} - V_{SS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right). \quad (4.10)$$

Através da (4.10) é possível observar que a corrente I_{cm} depende exclusivamente da parcela de modo comum V_{cm} na saída do OTA.

Esta estrutura tem como vantagem:

- A elevada impedância de entrada de M_1 e M_2 não reduz significativamente a impedância de saída do OTA. Além disso, a relação entre a corrente de saída I_{cm} e a parcela de modo comum das tensões V_{out+} e V_{out-} apresenta melhor linearidade que o circuito da Figura 4.3.

E possui como desvantagem:

- Os efeitos de canal curto resultam no aparecimento de não linearidades [18], Além do ganho de transcondutância de transistores MOSFET operando na região ôhmica ser baixo, causando ligeiros erros na compensação do modo comum [19].

4.2 Desenvolvimento do Circuito CMFB

Antes de apresentar o desenvolvimento e funcionamento do circuito de CMFB desenvolvido neste trabalho, é necessário explicar como se dá o aparecimento da tensão de modo comum V_{cm} na saída do amplificador operacional de transcondutância. Como foi falado na seção anterior, a tensão de modo comum V_{cm} é gerada pelo descasamento entre transistores do tipo PMOS e NMOS nas fontes de corrente que polarizam o amplificador, pois as etapas do processo de fabricação de transistores do tipo NMOS são diferentes daquelas usadas no processo de fabricação de transistores do tipo PMOS.

Transistores dos tipos PMOS e NMOS, por mais que possuam o mesmo tamanho "W" e "L", não são bem casados entre si. Isto resulta em descasamento entre as

correntes I_{biasP} e I_{biasN} (ilustradas na Figura 4.5), o que resulta no aparecimento de tensão de modo comum nos nós de saída do OTA.

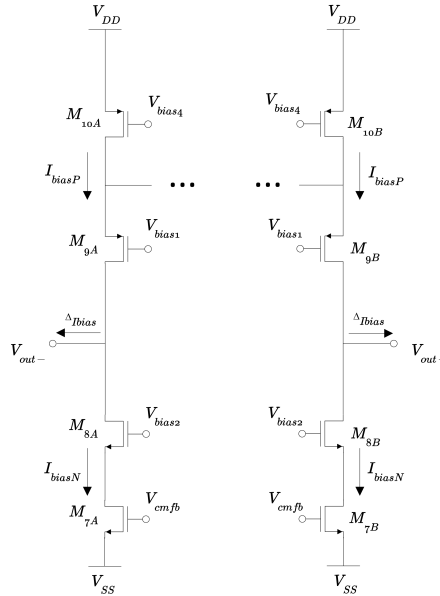


Figura 4.5: Esquemático das fontes de corrente dos *cascode*s dobrados na saída do OTA desenvolvido neste trabalho.

No circuito do *cascode* dobrado ilustrado na Figura 4.5, se houver um descasamento entre os transistores NMOS e PMOS tal que $I_{biasP} > I_{biasN}$, por exemplo, o excedente de corrente na saída $\Delta I_{bias} = I_{biasP} - I_{biasN} > 0$ circulará pela impedância de saída R_{out} do OTA, produzindo uma tensão de *offset* de modo comum positiva. Analogamente, se o descasamento entre as fontes de corrente for tal que $I_{biasP} < I_{biasN}$, a tensão de *offset* de modo comum na saída será negativa. Como a impedância de saída do OTA R_{out} é composta pela associação em paralelo das impedâncias de saída dos espelhos de corrente *cascode* NMOS e PMOS, seu valor será da ordem de *megaohms* ou até *gigaohms*. Dessa forma, mesmo um descasamento muito pequeno entre as correntes de polarização I_{biasN} e I_{biasP} pode acarretar em uma tensão de *offset* de modo comum grande o suficiente para saturar a saída do OTA [19].

Neste trabalho, a atuação do controle de modo comum é testada em três pontos diferentes do OTA. O método que obteve os melhores resultados, os quais serão apresentados e explicados no Capítulo 5, foi o escolhido e seu funcionamento será apresentado e explicado adiante. A Figura 4.6 apresenta a topologia completa do CMFB desenvolvido e implementado neste trabalho.

Como foi falado anteriormente, o princípio de funcionamento do sensor de modo comum proposto na Figura 4.6 segue o mesmo princípio do sensor mostrado anteriormente na Figura 4.4. A grande diferença é que o sensor da Figura 4.6 combina dois pares de transistores MOS operando no modo de triodo para melhorar a linea-

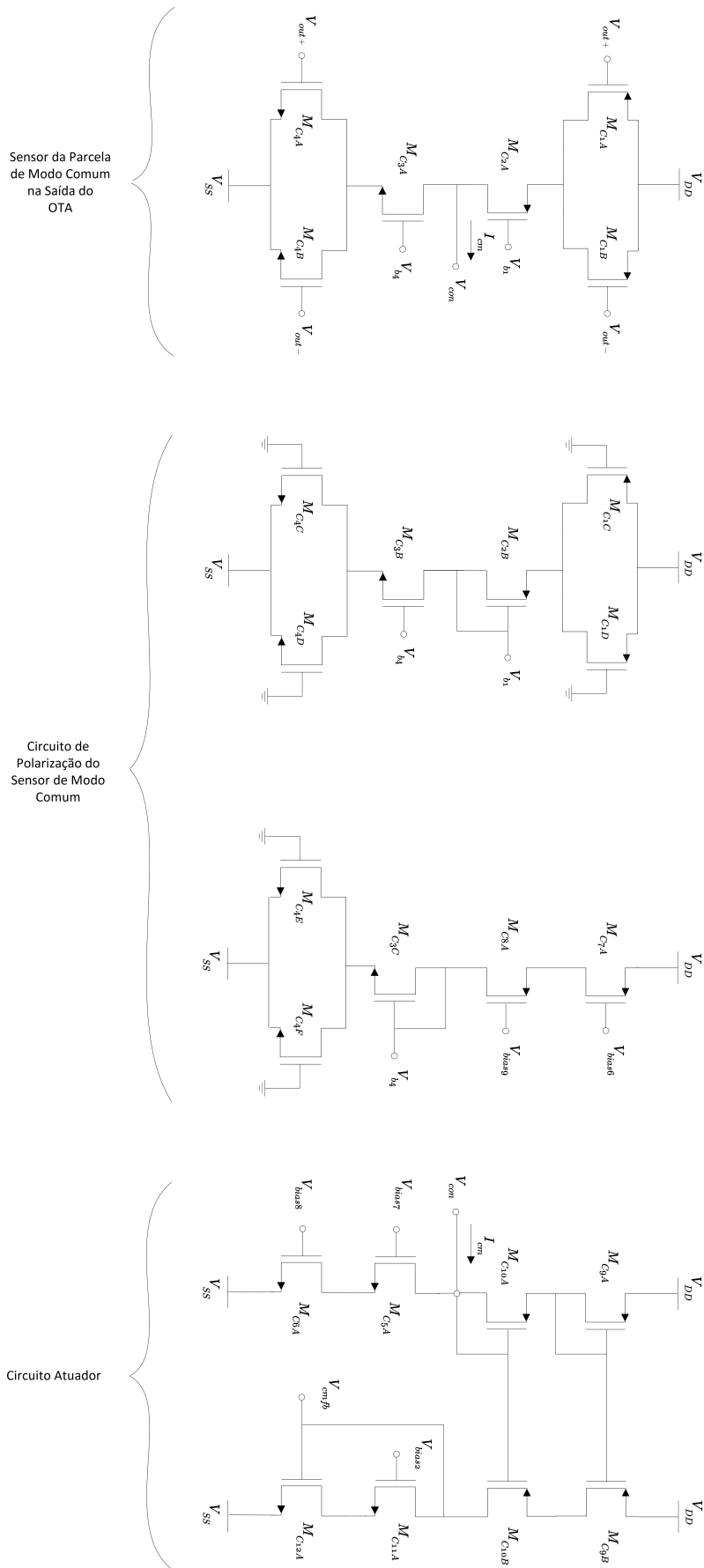


Figura 4.6: Esquemático completo do circuito de CMFB, responsável por realizar o controle de modo comum de saída do OTA.

ridade do sensor de modo comum. Os dois pares de transistores operando no modo de triodo são os $M_{C1A} - M_{C1B}$ e $M_{C4A} - M_{C4B}$.

O CMFB apresentado na Figura 4.6 é composto por três blocos: o sensor da parcela de modo comum, os circuitos de polarização e o atuador. O esquemático do bloco do sensor de detecção da parcela de tensão de modo comum é apresentado na Figura 4.7, juntamente com o seu circuito de polarização.

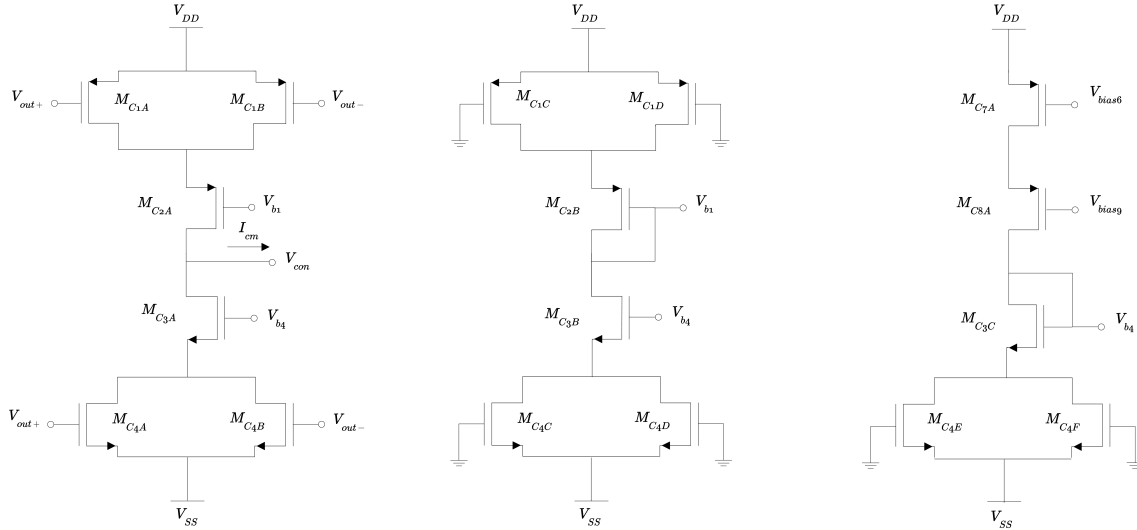


Figura 4.7: Blocos que compõem o sensor do CMFB e a sua polarização.

O bloco à direita da Figura 4.7 gera as tensões de polarização dos transistores NMOS do sensor. A tensão de referência para a parcela de modo comum desejada na saída do OTA é ligada ao nó de *gate* dos transistores M_{C4E} e M_{C4F} e é igual a 0 V. Dessa maneira, são geradas as tensões de polarização para os transistores NMOS de maneira que o circuito de CMFB regule a parcela de modo comum na saída com o objetivo de produzir $V_{out+} = V_{out-} = 0$ V. Os transistores M_{C7A} e M_{C8A} espelham a corrente de referência gerada no circuito de polarização da Figura 3.17 para este bloco do sensor e o transistor M_{C3C} espelha a corrente para os outros blocos do sensor.

O bloco do meio da Figura 4.7 gera as tensões de polarização dos transistores PMOS do sensor. A tensão de referência para a parcela de modo comum na saída é ligada ao nó de *gate* dos transistores M_{C1C} e M_{C1D} e é igual a 0 V. O transistor M_{C3B} determina a corrente do ramo espelhando a corrente do bloco mais à direita. Então, a corrente é espelhada para o bloco do sensor que realiza a leitura das tensões através do espelho de corrente composto por $M_{C2A} - M_{C2B}$.

O bloco à esquerda na Figura 4.7 realiza a leitura da tensão de modo comum dos nós de saída do OTA, onde os pares de transistores $M_{C1A} - M_{C1B}$ e $M_{C4A} - M_{C4B}$ estão operando na região ôhmica e os transistores M_{C2A} e M_{C3A} têm como objetivo polarizar os dois pares de transistores do sensor de modo comum com uma tensão

V_{DS} o mais constante possível para obter a melhor linearidade possível do sensor.

O ganho do CMFB é composto pela soma das transcondutâncias dos pares M_{C1A} - M_{C1B} e M_{C4A} - M_{C4B} do bloco à localizado à esquerda na Figura 4.7. A seguir será demonstrada a equação do ganho do CMFB desenvolvido neste trabalho. As correntes que circulam pelos transistores M_{C1A} e M_{C1B} é dada respectivamente por:

$$I_{M_{C1A}} = k_p \frac{W}{L} ((V_{out+} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2}) \quad (4.11)$$

e

$$I_{M_{C1B}} = k_p \frac{W}{L} ((V_{out-} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2}). \quad (4.12)$$

A corrente do par é dada pela por:

$$I_P = I_{M_{C1A}} + I_{M_{C1B}}. \quad (4.13)$$

Substituindo (4.11) e (4.12) em (4.13), temos:

$$I_P = k_p \frac{W}{L} ((V_{out+} - V_{SS} + V_{out-} - V_{SS} - 2V_{TH})V_{DS} - V_{DS}^2). \quad (4.14)$$

Reaproveitando (4.8) e substituindo em (4.14) e rearrumando, temos:

$$I_P = 2k_p \frac{W}{L} ((V_{CM_{in}} - V_{SS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2}). \quad (4.15)$$

Então, a transcondutância do par de transistores do tipo P é dada por:

$$G_{m_P} = 2k_p \frac{W}{L} V_{DS}. \quad (4.16)$$

Analogamente, a transcondutância do par de transistores do tipo N é dada por:

$$G_{m_N} = 2k_n \frac{W}{L} V_{DS}. \quad (4.17)$$

A transcondutância do CMFB é dada pela soma de (4.16) e (4.17):

$$G_m = G_{m_P} + G_{m_N}. \quad (4.18)$$

O ganho total do CMFB ($A_{V_{CMFB}}$) é dado pela transcondutância total (4.20) multiplicada pela impedância R_o do estágio de saída do OTA:

$$A_{V_{CMFB}} = \frac{V_{CM_{out}}}{V_{CM_{in}}} = R_o G_m, \quad (4.19)$$

sendo

$$R_o = R_{oP} // R_{oN}. \quad (4.20)$$

R_{oP} é a impedância de saída do do *cascode* dobrado de tipo P na saída do OTA e R_{oN} é a impedância de saída do do *cascode* dobrado de tipo N.

A Figura 4.8 apresenta o bloco atuador do CMFB, cujo objetivo é converter a corrente de saída I_{cm} do sensor de modo comum em uma tensão de controle $V_{cm,fb}$ destinada a compensar os descasamentos nas fontes de corrente que polarizam o circuito do OTA.

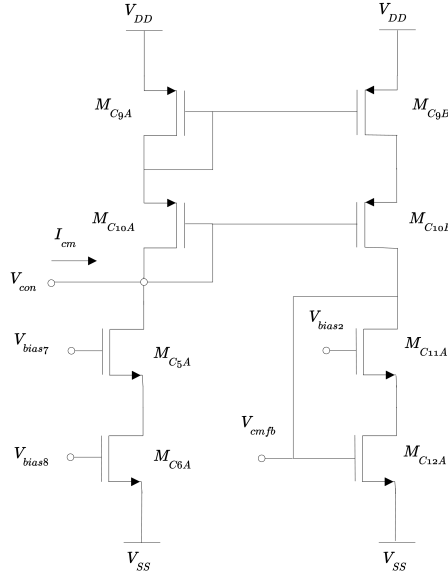


Figura 4.8: Bloco do circuito atuador do CMFB.

O circuito completo do CMFB apresentado na Figura 4.6 trabalha da seguinte maneira:

- Caso a tensão de modo comum nos nós V_{out+} e V_{out-} seja positiva, então isso significa que a corrente que passa pelos transistores PMOS do *cascode* dobrado na saída do OTA é maior do que a que passa pelos de tipo NMOS. No sensor de modo comum do CMFB, a corrente que passa pelos transistores NMOS M_{C3A} , M_{C4A} e M_{C4B} ficará maior do que a que passa pelos transistores do tipo PMOS M_{C2A} , M_{C1A} e M_{C1B} . Isto ocorre, pois a tensão de V_{GS} de M_{C1A} e M_{C1B} diminui em módulo, enquanto a tensão V_{GS} de M_{C4A} e M_{C4B} aumenta. Sendo assim, teremos uma corrente $I_{cm} < 0$ no circuito da Figura 4.7. No bloco apresentado na Figura 4.8, os transistores M_{C5A} e M_{C6A} operam como uma fonte de corrente constante, polarizando o circuito atuador do CMFB. A corrente que circula por M_{C9A} e M_{C10A} será, então, dada pela diferença entre a corrente constante em $M_{C5A} - M_{C6A}$ e a corrente I_{cm} . Então, considerando que $I_{cm} < 0$, a corrente que circula por M_{C9A} e M_{C10A} será maior do que a corrente de polarização. Esse aumento de corrente é espelhado para os transistores M_{C9B} e M_{C10B} , e também circula por M_{C11A} e M_{C12A} , fazendo com que a tensão de V_{GS} destes aumente e, conseqüentemente, a tensão de controle $V_{cm,fb}$

também. No circuito do OTA da Figura 3.12, o aumento da tensão V_{cmfb} força o aumento da tensão V_{GS} de M_{7A} e M_{7B} e, conseqüentemente, força a corrente que passa pelos transistores NMOS do *cascode* dobrado a aumentar, igualando a corrente dos transistores PMOS e compensando o descasamento entre as correntes que polarizam o OTA.

- Caso a tensão de modo comum nos nós V_{out+} e V_{out-} seja negativa a situação é análoga. Então, temos que a corrente que passa pelos transistores NMOS do *cascode* dobrado na saída do OTA da Figura 3.12 é maior do que a que passa pelos de tipo PMOS.

No sensor de modo comum da Figura 4.7, a corrente que passa pelos transistores PMOS M_{C2A} , M_{C1A} e M_{C1B} ficará maior do que a que passa pelos transistores do tipo NMOS M_{C3A} , M_{C2A} e M_{C2B} . Isto ocorre pois a tensão V_{GS} de M_{C1A} e M_{C1B} aumenta em módulo, enquanto a tensão V_{GS} de M_{C4A} e M_{C4B} diminui. Sendo assim, teremos uma corrente $I_{cm} > 0$ no circuito da Figura 4.7. Como foi afirmado anteriormente, os transistores M_{C5A} e M_{C6A} fixam a corrente de polarização do ramo, espelhada a partir do circuito de polarização apresentado na Figura 3.17. A corrente que circula por M_{C9A} e M_{C10A} será, então, dada pela diferença entre a corrente constante em M_{C5A} - M_{C6A} e a corrente I_{cm} . Então, considerando que $I_{cm} > 0$, teremos uma redução na corrente que circula por M_{C9A} e M_{C10A} . Essa redução é espelhada para os transistores M_{C9B} e M_{C10B} e também é transmitida para M_{C11A} e M_{C12A} , fazendo com que a tensão de V_{GS} destes diminua e, conseqüentemente, a tensão de controle V_{cmfb} também. No circuito do OTA da Figura 3.12, a redução da tensão V_{cmfb} força a redução da tensão V_{GS} de M_{7A} e M_{7B} e, conseqüentemente, força a corrente que passa pelos transistores NMOS do *cascode* dobrado a diminuir, igualando a corrente dos transistores PMOS.

Na discussão acima, a tensão de compensação de modo comum V_{cmfb} produzida pelo circuito atuador do sistema de CMFB foi aplicada aos transistores M_{7A} e M_{7B} do OTA. Entretanto, esta não é a única forma de se compensar os descasamentos das fontes de corrente NMOS e PMOS que polarizam o OTA proposto neste trabalho. A seguir são apresentadas formas alternativas de se realizar o controle da tensão de *offset* de modo comum na saída.

A Figura 4.9 apresenta o esquemático do OTA com o controle de modo comum sendo aplicado diretamente no transistor M_{11} , responsável por gerar a corrente que polariza o par diferencial de entrada. A ideia com este método seria compensar os descasamentos entre as fontes de corrente de polarização do OTA, ajustando a fonte de corrente que polariza o par diferencial de entrada, ao invés da fonte de corrente NMOS do *cascode* dobrado na saída.

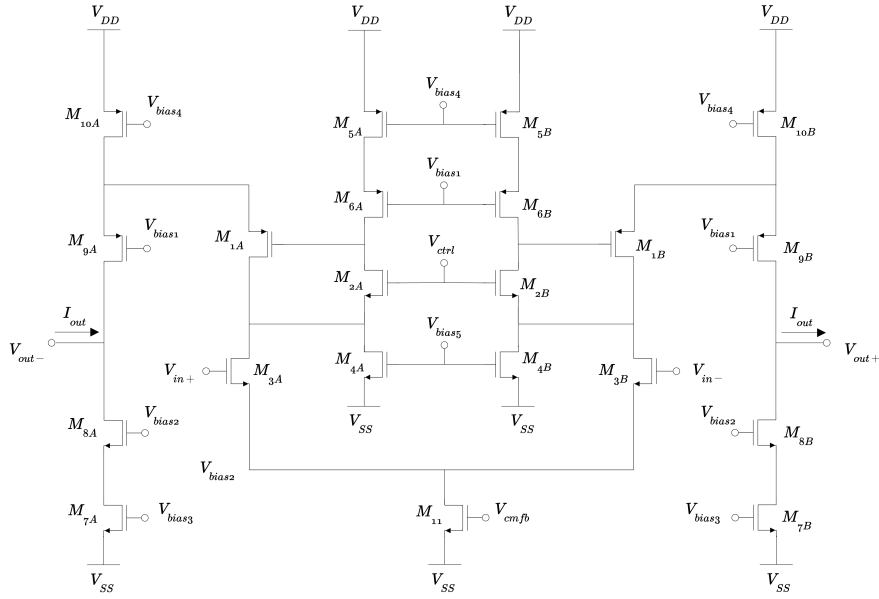


Figura 4.9: Esquemático do OTA com tensão de controle V_{cmfb} sendo aplicada ao *gate* de M_{11} .

No circuito do atuador do CMFB não há alterações para esta implementação, pois a tensão de V_{DS} de M_{11} é forçada a ser igual ao V_{DS} de M_{7A} e M_{7B} . Neste caso o espelhamento de corrente permanece preciso.

A diferença deste método para o primeiro é que a tensão V_{cmfb} é aplicada ao *gate* de M_{11} , alterando a tensão de V_{GS} do mesmo, de forma a corrigir o descasamento das fontes de corrente PMOS e NMOS. Esta correção se propaga para o par diferencial e é transmitida para a saída, corrigindo o descasamento.

As Figuras 4.10 e 4.11 apresentam, respectivamente, os esquemáticos do OTA e do circuito de CMFB, com o controle de modo comum sendo aplicado aos terminais de *gate* de M_{4A} e M_{4B} , responsáveis por espelhar a corrente de referência para as fontes de corrente PMOS do *cascode* dobrado.

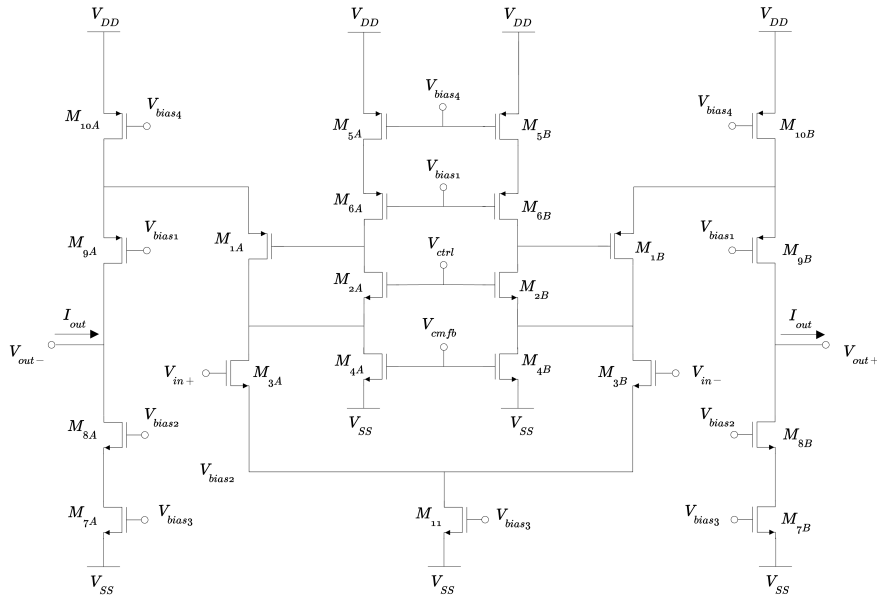


Figura 4.10: Esquemático do OTA com tensão de controle V_{cmfb} sendo aplicada aos terminais de *gate* de M_{4A} e M_{4B} .

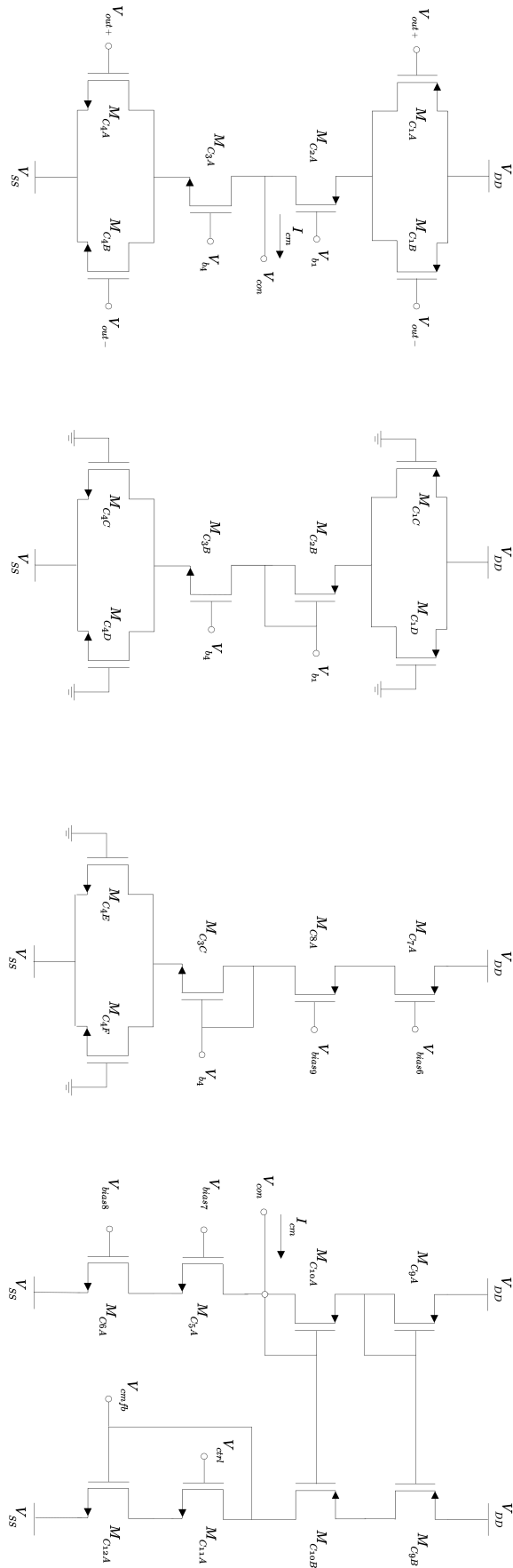


Figura 4.11: Esquemático do circuito de CMFB adotado no circuito do OTA ilustrado na Figura 4.10.

No caso desse método, a tensão V_{cmfb} é aplicada aos terminais de *gate* de M_{4A} e M_{4B} , alterando a tensão de V_{GS} desses transistores de forma a compensar a diferença de corrente entre os transistores PMOS e NMOS do *cascode* dobrado de saída. Essa corrente compensada é transmitida aos transistores PMOS do *cascode* dobrado na saída. No Capítulo 5 serão apresentadas simulações com os três métodos de controle da tensão de modo comum e serão explicados os critérios que levaram à escolha do primeiro.

4.3 Projeto e Dimensionamento dos Transistores do CMFB

O método utilizado para dimensionar os transistores do circuito de CMFB apresentado na Figura 4.6 é o mesmo utilizado para os transistores do OTA e do circuito de polarização apresentado na Figura 3.13. Além disso, esse método utiliza as mesmas premissas que estão descritas na Tabela 3.1. O valor da largura W dos transistores também foi obtida através da varredura apresentada na Figura 3.14. A corrente que passa nos blocos que compõem o sensor do CMFB apresentados na Figura 4.7, equivale a 80% da corrente de referência de polarização. A corrente que polariza o circuito do atuador é igual a I_{bias} , cujo valor máximo é de $10 \mu\text{A}$. Sendo assim, para o valor máximo de I_{bias} , a corrente que polariza o circuito do sensor da parcela de modo comum corresponde a $8 \mu\text{A}$. Como os transistores do sensor que operam na região ôhmica são iguais e estão em paralelo, cada um será polarizado com, no máximo, $4 \mu\text{A}$.

Iniciou-se o processo de dimensionamento pelos transistores do tipo PMOS M_{C1A} - M_{C1D} . Como eles devem operar na região ôhmica, foi determinada uma tensão $|V_{DS}| = -100 \text{ mV}$. Para a tensão V_G , foi determinado 0 V , que é a tensão de referência para a parcela de modo comum nos nós de saída do OTA. Além disso, também foi considerado que esses transistores estarão polarizados com $V_S = V_B = 1,5 \text{ V}$ e $V_D = 1,4 \text{ V}$. Estes transistores foram dimensionados de forma que estejam polarizados com uma corrente de $4,0 \mu\text{A}$.

Para o transistor M_{C2B} , foram escolhidas as tensões de polarização $V_S = 1,4 \text{ V}$, $V_G = V_{b1} = V_{DD} - 0,1 - (|V_{TH}| - 0,2)$ e $V_D = V_{DD} - 2(|V_{TH}| + 0,2)$. Por simulação DC, foi obtido $V_{TH} = -739,6 \text{ mV}$. Então, foi feita a varredura com o objetivo de obter o valor da largura W de modo que o transistor esteja polarizado com uma corrente de $8 \mu\text{A}$. Finalmente, M_{C2A} é idêntico à M_{C1B} , já que a corrente é espelhada de um para o outro.

O próximo passo é o dimensionamento dos transistores do tipo NMOS M_{C4A} - M_{C4F} . Em todos esses transistores temos $V_S = V_B = -1,5 \text{ V}$. a tensão V_G deve

ser igual 0 V, pois é a tensão de referência que se deseja nas saídas do OTA com a ação do CMFB. Como foi estipulado que $V_{DS} = 100$ mV para que estes transistores operem na região ôhmica, então $V_D = 1,4$ V. Esses transistores foram dimensionados de forma que todos estejam polarizados com uma corrente de $4 \mu\text{A}$.

O transistor M_{C3C} foi dimensionado com $V_S = -1,4$ V. A tensão V_{TH} foi determinada através de simulação DC. Sendo assim, $V_G = V_{b4} = V_{SS} + 0,1 + (V_{TH} + 0,2)$. A varredura foi feita para obter uma largura de canal W que proporcione uma corrente de $8 \mu\text{A}$. Os transistores M_{C3A} e M_{C3B} são idênticos a M_{C3C} , já que a corrente é espelhada do último para os outros.

Os transistores M_{C9A} e M_{C9B} foram dimensionados para ser iguais a M_{C7A} para que as correntes de polarização fiquem bem casadas com as correntes de referência dos espelhos.

Para os transistores M_{C10A} e M_{C10B} foi utilizada a mesma estratégia. Eles foram dimensionados para serem iguais a M_{C8A} , de maneira que as correntes de referência e de polarização fiquem bem casadas.

Os transistores M_{C5A} e M_{C6A} devem ser idênticos aos transistores M_{P6A} e M_{P7A} do circuito de polarização da Figura 3.17, pois a corrente destes é espelhada para os primeiros. O mesmo vale para M_{C11A} e M_{C12A} , que devem ser idênticos a M_{7A} - M_{7B} e M_{8A} - M_{8B} , respectivamente.

Os transistores M_{C2A} - M_{2B} e M_{C3A} - M_{C3C} , apesar de terem sido inicialmente dimensionados segundo o método descrito anteriormente, foram gradualmente reajustados ao serem feitas simulações de sensibilidade do CMFB a tensões de modo comum e diferencial, que são apresentadas no Capítulo 5.

A Tabela 4.1 apresenta os valores obtidos para o dimensionamento dos transistores do circuito de CMFB.

Tabela 4.1: Valores de W e L dos transistores do CMFB.

Transistores	W total	L	nº de trans.	W de cada transistor
M_{C1A} - M_{C1D}	$1,60 \mu\text{m}$	$1,50 \mu\text{m}$	1	$1,60 \mu\text{m}$
M_{C4A} - M_{C4F}	$3,50 \mu\text{m}$	$10,00 \mu\text{m}$	1	$3,50 \mu\text{m}$
M_{C2A} - M_{C2B}	$6,80 \mu\text{m}$	$10,00 \mu\text{m}$	1	$6,80 \mu\text{m}$
M_{C3A} - M_{C3C}	$27,10 \mu\text{m}$	$5,00 \mu\text{m}$	1	$27,10 \mu\text{m}$
M_{C7A} - M_{C8A}	$40,00 \mu\text{m}$	$5,00 \mu\text{m}$	4	$10,00 \mu\text{m}$
M_{C9A} - M_{C10B}	$50,00 \mu\text{m}$	$5,00 \mu\text{m}$	5	$10,00 \mu\text{m}$
M_{C5A} - M_{C6A}	$17,50 \mu\text{m}$	$5,00 \mu\text{m}$	5	$3,50 \mu\text{m}$
M_{C11A} - M_{C12A}	$17,60 \mu\text{m}$	$5,00 \mu\text{m}$	2	$8,80 \mu\text{m}$

Capítulo 5

Simulações

Este Capítulo apresenta as simulações realizadas para analisar o desempenho dos blocos desenvolvidos neste trabalho. São apresentadas simulações individuais para avaliação de desempenho do OTA, do circuito de CMFB e também do filtro completo. Além disso, são realizadas simulações com componentes ideais e projetados, com objetivo de realizar um comparativo e verificar se o projeto corresponde às expectativas. O modelo utilizado para a realização das simulações é o BSIM3v3. Através do *software* CADENCE, as simulações foram realizadas utilizando o simulador incorporado *Spectre*.

5.1 OTA

Esta seção apresenta todas as simulações realizadas com o bloco do OTA, individualmente. Aqui é analisado o ponto de operação, a transcondutância para o intervalo de ajuste da corrente de polarização I_{bias} do OTA, assim como seu desempenho atuando como integrador e taxa de distorção harmônica.

5.1.1 Polarização DC

Para realizarmos a simulação DC do OTA, foram utilizados os componentes projetados, incluindo o circuito compensador de modo comum. As saídas do OTA foram realimentadas negativamente nas suas entradas, de forma a verificar como a polarização DC converge quando o mesmo for aplicado ao filtro (onde suas próprias saídas são realimentadas nas entradas), conforme é apresentado na Figura 5.1.

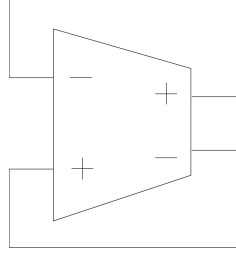


Figura 5.1: OTA com realimentação unitária negativa.

A Tabela 5.1 apresenta os valores obtidos no teste de polarização do OTA para $I_{bias} = 10 \mu A$.

Tabela 5.1: Valores obtidos no teste de polarização do OTA apresentado na Figura 3.12.

Transistores	$I_D(\mu A)$	$V_{DS}(V)$	$V_{GS}(V)$	$V_{TH}(V)$
$M_{1A} - M_{1B}$	20,01 μA	-2,26 V	-0,97 V	-0,78 V
$M_{2A} - M_{2B}$	10,00 μA	1,29 V	0,81 V	0,62 V
$M_{3A} - M_{3B}$	20,01 μA	84,00 mV	1,18 V	0,60 V
$M_{4A} - M_{4B}$	10,00 μA	0,41 V	0,70 V	0,51 V
$M_{5A} - M_{5B}$	10,00 μA	-0,32 V	-0,90 V	-0,70 V
$M_{6A} - M_{6B}$	10,00 μA	-0,97 V	-0,98 V	-0,78 V
$M_{7A} - M_{7B}$	20,00 μA	0,33 V	0,70 V	0,51 V
$M_{8A} - M_{8B}$	20,00 μA	1,18 V	0,79 V	0,60 V
$M_{9A} - M_{9B}$	20,00 μA	-1,18 V	-0,96 V	-0,78 V
$M_{10A} - M_{10B}$	40,00 μA	-0,32 V	-0,90 V	-0,70 V
M_{11}	40,01 μA	0,33 V	0,70 V	0,51 V

O valor de $|V_{DS}|$ é maior do que 0,3 V para todos os transistores exceto M_{3A} e M_{3B} , que apresentam tensão V_{DS} menor do que 0,2 V. Esses transistores, que são do par diferencial do OTA, estão operando na região ôhmica, como é o esperado. Além disso, as correntes que circulam pelos transistores estão compatíveis com as especificações descritas no Capítulo 3. Então, podemos concluir que os resultados estão dentro do esperado para o projeto do OTA.

5.1.2 Varredura de Transcondutância com CMFB ideal

Aqui é apresentada a simulação de transcondutância do OTA projetado, utilizando um modelo de CMFB ideal. O objetivo é ter uma referência para poder avaliar se o compensador de modo comum aqui projetado afeta de alguma forma a transcondutância do OTA. A Figura 5.2 apresenta o esquemático desenvolvido para implementar o CMFB ideal.

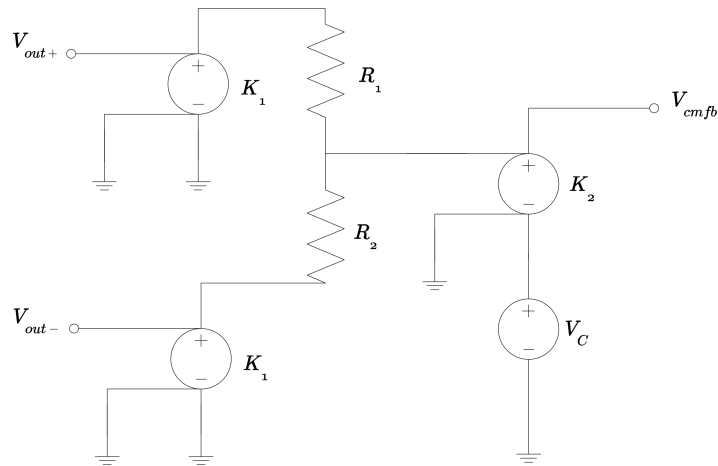


Figura 5.2: Esquemático utilizado para implementar o CMFB ideal.

Onde:

- $K_1 = 1,00$
- $R_1 = R_2 = 1,00 \text{ M}\Omega$
- $K_2 = 10,00$
- $V_C = - 847,20 \text{ mV}$

O valor de tensão V_C foi calculado de maneira que a tensão V_{cmfb} esteja no mesmo ponto de operação do CMFB projetado. Sendo assim, o cálculo foi realizado considerando exatamente que a tensão mais baixa de alimentação $V_{SS} = - 1,5 \text{ V}$ deve ser somada a uma tensão de V_{TH} de um transistor NMOS e também somada a uma tensão de *overdrive* de $0,2 \text{ V}$, para que o mesmo opere em inversão forte. Sendo assim, foi realizado o cálculo $V_C = - 1,5 \text{ V} + V_{TH} + 0,2 \text{ V} = 847,2 \text{ mV}$.

A simulação do OTA foi feita variando-se V_{in} de -2 V a 2 V e medindo-se a corrente de saída do OTA através uma fonte de tensão V_X com 0 V , conforme é apresentado na Figura 5.3.

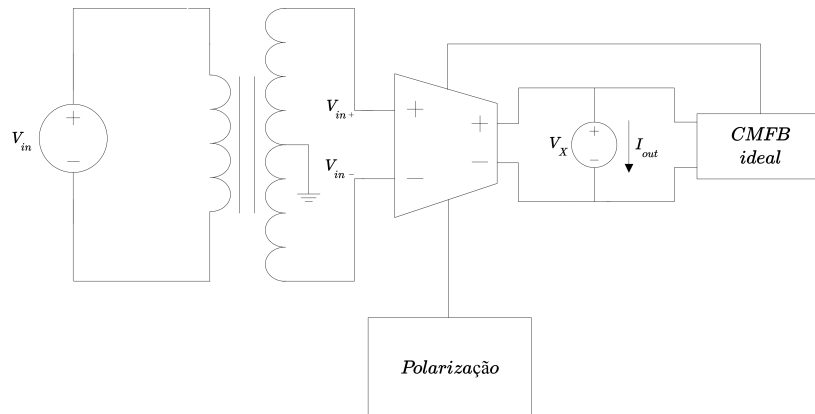


Figura 5.3: *Testbench* utilizado na simulação de transcondutância utilizando o circuito de CMFB ideal.

A Figura 5.4 apresenta o gráfico da varredura de transcondutância do OTA, variando-se a corrente de referência de polarização I_{bias} de $1 \mu\text{A}$ a $10 \mu\text{A}$.

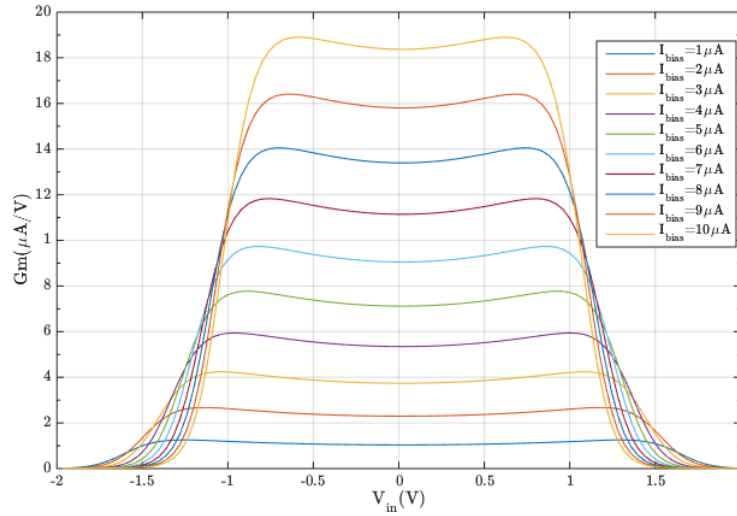


Figura 5.4: Ganho de transcondutância do OTA, utilizando CMFB ideal, em função da tensão diferencial de entrada V_{in} .

É possível notar, na Figura 5.4, que as curvas de transcondutância do OTA apresentam um formato aproximadamente constante para a faixa de tensão de entrada que varia de aproximadamente -1 V a $+1 \text{ V}$. A curva obtida para $I_{bias} = 5 \mu\text{A}$, que é a que fornece a frequência de corte estipulada para o projeto (300 kHz), apresenta uma linearidade adequada. Para este valor de I_{bias} , foi obtido um valor máximo de $G_m = 7,75 \mu\text{A/V}$ e um mínimo $G_m = 7,12 \mu\text{A/V}$ (sendo uma diferença de aproximadamente $8,20\%$) o que resulta em um valor médio de $G_m = 7,45 \mu\text{A/V}$.

Para o valor máximo de corrente de referência, $I_{bias} = 10 \mu\text{A}$, foi obtido um máximo de $G_m = 18,90 \mu\text{A/V}$ e um mínimo de $G_m = 18,37 \mu\text{A/V}$ (sendo uma diferença de aproximadamente $2,80\%$). Isto resulta em um valor médio de $G_m = 18,64 \mu\text{A/V}$. Para I_{bias} máximo, a apresentou um formato aproximadamente constante para a faixa de tensão V_{in} de mais ou menos $\pm 0,75 \text{ V}$, o que é um resultado satisfatório para o nível de transcondutância máxima obtido no OTA se comparado com o obtido para $I_{bias} = 5 \mu\text{A}$.

Na Figura 5.5, foi realizada uma varredura da corrente de saída em função da tensão diferencial de entrada V_{in} , que foi variada de -2 V a $+2 \text{ V}$.

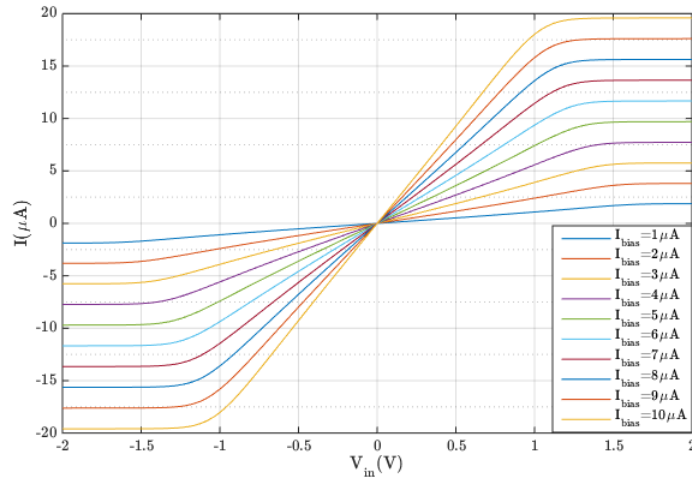


Figura 5.5: Gráfico de corrente de saída I_{out} em função da tensão de entrada diferencial V_{in} .

É possível visualizar na Figura 5.5, que a curva de corrente de saída para $I_{bias} = 5 \mu\text{A}$ apresenta uma linearidade aparentemente adequada. O valor mínimo de corrente obtido na saída foi de $-9,68 \mu\text{A}$ e o máximo foi de $9,69 \mu\text{A}$.

Para o pior caso, ou seja, o valor máximo de corrente de referência I_{bias} , o valor mínimo de corrente obtido na saída foi de $-19,59 \mu\text{A}$ e o máximo foi de $19,58 \mu\text{A}$. Em todas as curvas, para um valor de tensão diferencial nulo na entrada, a corrente na saída é nula.

5.2 CMFB

Nesta seção são realizadas simulações isoladas com o CMFB projetado, de maneira que é possível analisar suas características de polarização e sensibilidade à tensão de modo comum e diferencial. Além disso, é explicado o motivo da escolha por aplicar o controle de modo comum ao nó de *gate* de M_{7A} e M_{7B} .

5.2.1 Polarização do Circuito

Esta seção tem como objetivo apresentar a simulação do ponto de operação DC do circuito do CMFB. Nesta simulação as saídas do OTA foram realimentadas negativamente nas suas próprias entradas e a corrente de polarização foi ajustada para o seu valor máximo ($I_{bias} = 10 \mu\text{A}$).

Na Tabela 5.2, são apresentados os valores obtidos na simulação DC de polarização. Nessa tabela, foi utilizada uma precisão de três casas decimais para mos-

trar que os sensor não fica 100% casado com os ramos que geram sua corrente e tensões de referência pois, para isso, seria necessário que as tensões de dreno de $M_{C2A} - M_{C2B}$, M_{C8A} e $M_{C10A} - M_{C10B}$ fossem exatamente iguais. Lembrando que para $I_{bias} = 10 \mu A$, nos transistores $M_{C2A} - M_{C2B}$, $M_{C3A} - M_{C3C}$ e $M_{C7A} - M_{C8A}$, do circuito do CMFB apresentado na Figura 4.6, deve circular uma corrente de $8 \mu A$. Como foi afirmado no Capítulo 4, essa corrente equivale a 80% da corrente de referência I_{bias} gerada no circuito de polarização. Nos transistores $M_{C1A} - M_{C1D}$ e $M_{C2A} - M_{C2F}$, deve circular uma corrente de $4 \mu A$. Nos demais transistores a corrente deve ser igual a I_{bias} .

Tabela 5.2: Valores obtidos no teste de polarização do CMFB.

Transistores	$I_D(\mu A)$	$V_{DS}(V)$	$V_{GS}(V)$	$V_{TH}(V)$
$M_{C1A} - M_{C1B}$	4,020 μA	-0,130 V	-1,496 V	-0,757 V
$M_{C1C} - M_{C1D}$	4,021 μA	-0,126 V	-1,500 V	-0,757 V
M_{C2A}	8,039 μA	-1,837 V	-1,435 V	-0,739 V
M_{C2B}	8,042 μA	-1,436 V	-1,436 V	-0,739 V
M_{C3A}	8,036 μA	0,965 V	0,656 V	0,527 V
M_{C3B}	8,042 μA	1,367 V	0,656 V	0,527 V
M_{C3C}	8,000 μA	0,656 V	0,656 V	0,527 V
$M_{C4A} - M_{C4B}$	4,018 μA	0,070 V	1,504 V	0,500 V
$M_{C4C} - M_{C4D}$	4,021 μA	0,070 V	1,500 V	0,500 V
$M_{C4E} - M_{C4F}$	4,000 μA	0,070 V	1,500 V	0,500 V
$M_{C9A} - M_{C9B}$	9,998 μA	-0,889 V	-0,889 V	-0,707 V
M_{C10A}	9,998 μA	-1,075 V	-1,075 V	-0,896 V
M_{C10B}	9,998 μA	-1,411 V	-1,075 V	-0,896 V
M_{C5A}	10,000 μA	0,335 V	0,881 V	-0,690 V
M_{C6A}	10,000 μA	0,700 V	0,701 V	0,504 V
M_{C11A}	9,998 μA	0,373 V	0,787 V	0,597 V
M_{C12A}	9,998 μA	0,325 V	0,699 V	0,505 V

Analisando a Tabela 5.2, é possível observar que o valor de $|V_{DS}|$ é maior do que 0,3 V para os transistores que devem operar na região de saturação e menor que 0,2 V para aqueles que devem operar na região ôhmica. Foram necessários ajustes finos através de simulações sucessivas para que este circuito obtivesse resultados satisfatórios e isto se deve à necessidade que fazer com que as tensões dos nós de dreno de $M_{C2A} - M_{C2B}$, M_{C8A} e $M_{C10A} - M_{C10B}$ sejam o mais próximas possível, de forma que não seja gerada uma tensão de *offset* estrutural no circuito de CMFB, capaz de comprometer a tensão de polarização na saída do OTA.

Os transistores $M_{C1A} - M_{C1D}$ possuem uma tensão de V_{DS} maior do que os transistores $M_{C2A} - M_{C2F}$, pois transistores NMOS apresentam uma transcondutância

maior do que transistores PMOS [12] [1], então, foi necessário que os mesmos operassem em diferentes pontos da região ôhmica. A Tabela 5.2 mostra que o resultado está dentro do esperado para o projeto do CMFB.

5.2.2 Sensibilidade à Tensão de Modo Comum

Nesta seção é avaliada a sensibilidade do controle de modo comum em relação à tensão de saída de modo comum, o que mostra como o controle responde de acordo com a variação da mesma. A Figura 5.6 apresenta o *testbench* utilizado nesta simulação.

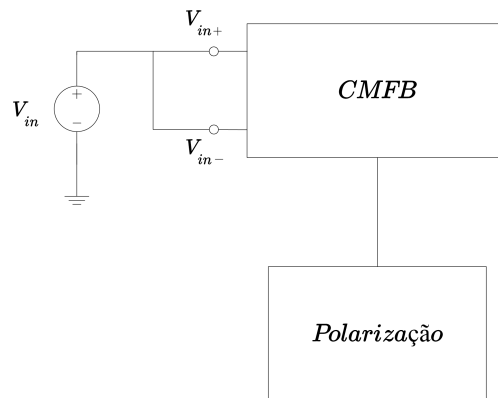


Figura 5.6: *Testbench* utilizado na simulação da sensibilidade do CMFB em relação à tensão de modo comum.

Foi feita a varredura de tensão V_{in} (tensão de entrada de modo comum), variando-a de $-1,5\text{ V}$ a $1,5\text{ V}$ e foi medida a corrente que passa pelo nó V_{con} do circuito do CMFB (Figura 4.6). Conforme foi descrito no Capítulo 4, essa corrente é proveniente da diferença entre as correntes nos blocos PMOS e NMOS do sensor do CMFB. O gráfico com os resultados obtidos com a corrente I_{bias} variando de $1\ \mu\text{A}$ a $10\ \mu\text{A}$ é apresentado na Figura 5.7.

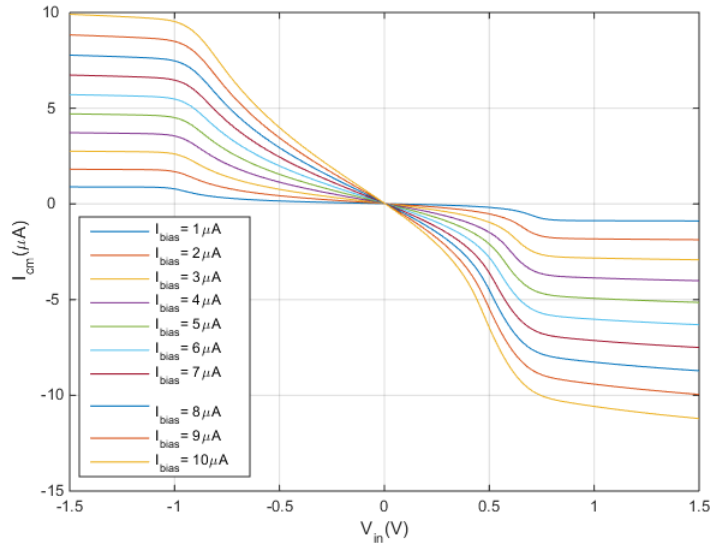


Figura 5.7: Corrente na saída do sensor de modo comum do circuito de CMFB em função da parcela de modo comum na entrada.

Para o caso extremo ($I_{bias} = 10 \mu A$), a corrente I_{cm} é de aproximadamente 34 nA quando a tensão de modo comum é nula. Além disso, é possível observar que o sensor de modo comum é sensível à tensão de modo comum e as curvas apresentam um formato bem próximo da linearidade nas proximidades de $V_{in} = 0$ V. Estes resultados são ótimos e atendem as expectativas.

Além disso, foram realizadas 50 simulações de Monte Carlo considerando variações aleatórias no processo de fabricação CMOS, descasamento de componentes e ambos os efeitos ao mesmo tempo. O objetivo é analisar o comportamento das curvas quando são utilizados dados estatísticos de alterações na fabricação. Estas simulações foram realizadas para a corrente típica de polarização ($I_{bias} = 5 \mu A$). A Figura 5.8 apresenta o resultado obtido para a variação nos parâmetros do processo de fabricação.

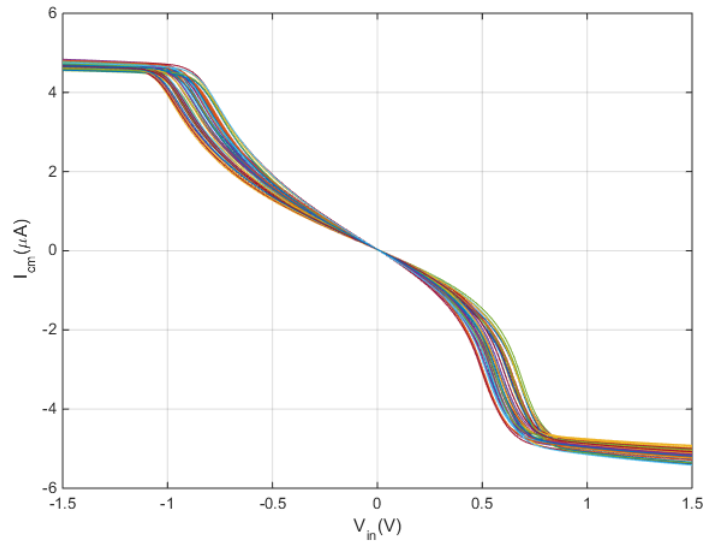


Figura 5.8: Corrente na saída do sensor de modo comum do circuito de CMFB em função da parcela de modo comum na entrada, considerando apenas variações nos parâmetros do processo de fabricação ($I_{bias} = 5 \mu A$).

A Figura 5.9 apresenta o mesmo gráfico obtido quando são considerados apenas os descasamentos entre transistores.

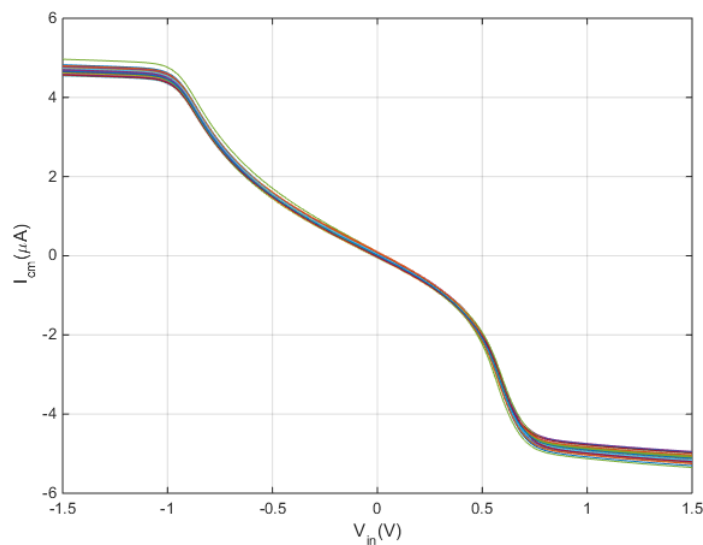


Figura 5.9: Corrente na saída do sensor de modo comum do circuito de CMFB em função da parcela de modo comum na entrada, considerando apenas descasamentos entre transistores ($I_{bias} = 5 \mu A$).

A Figura 5.10 apresenta o resultado obtido quando são levados em conta os efeitos de variações nos parâmetros do processo de fabricação e também de descasamentos entre os transistores.

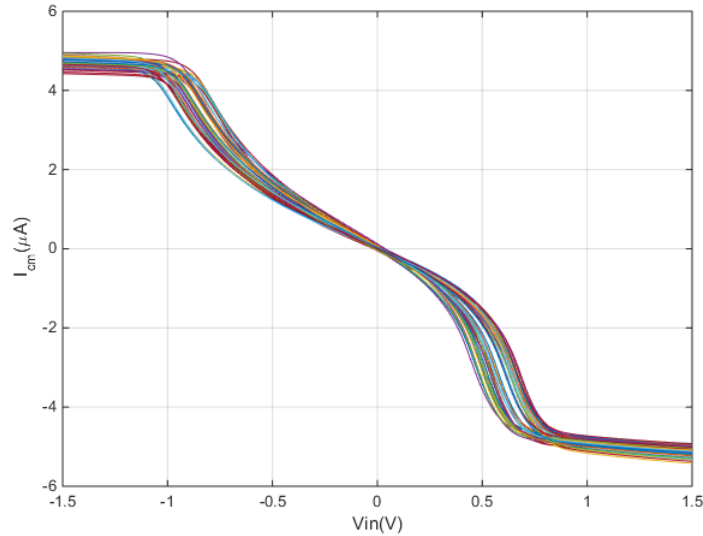


Figura 5.10: Corrente na saída do sensor de modo comum do circuito de CMFB em função da parcela de modo comum na entrada, considerando variações nos parâmetros do processo de fabricação e também de descasamentos entre os transistores ($I_{bias} = 5 \mu\text{A}$).

Na Figura 5.8, foi possível observar que as curvas preservam uma certa simetria em relação à origem do gráfico, o que se deve ao fato de que as variações de processo são exatamente iguais entre transistores do mesmo tipo. Na Figura 5.9 a simetria foi degradada devido ao descasamento entre os transistores. Além disso, é possível observar que quanto maior é a corrente de polarização I_{bias} , maiores são as variações observadas nas curvas. Na Figura 5.10 é possível observar os dois efeitos simultaneamente.

5.2.3 Margem de ganho e fase do CMFB

Nessa seção são realizadas as simulações de margem de ganho e fase para averiguar a estabilidade em malha fechada do circuito de controle de modo comum (CMFB) segundo o critério de *Barkhausen*. Para esta simulação foi utilizada uma fonte senoidal com amplitude de 1 V. O Gráfico da Figura 5.11 apresenta a resposta em frequência de malha do CMFB.

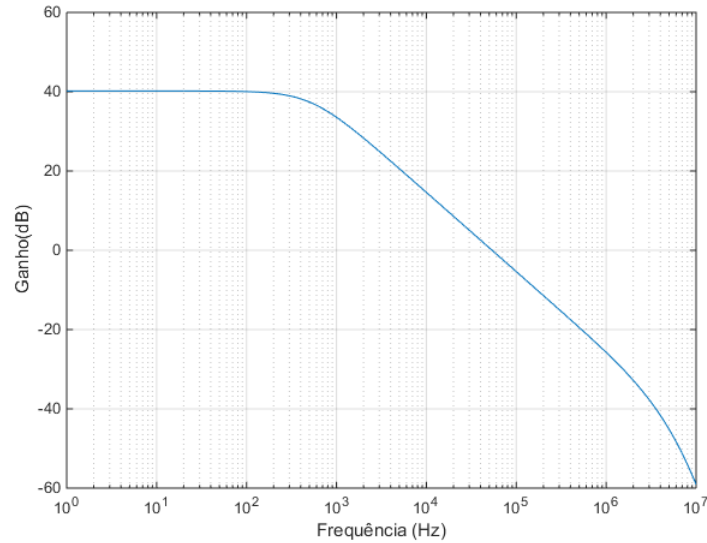


Figura 5.11: Resposta em frequência do CMFB para ($I_{bias} = 5 \mu A$).

O gráfico da Figura 5.12 apresenta a resposta de fase do CMFB desenvolvido neste trabalho.

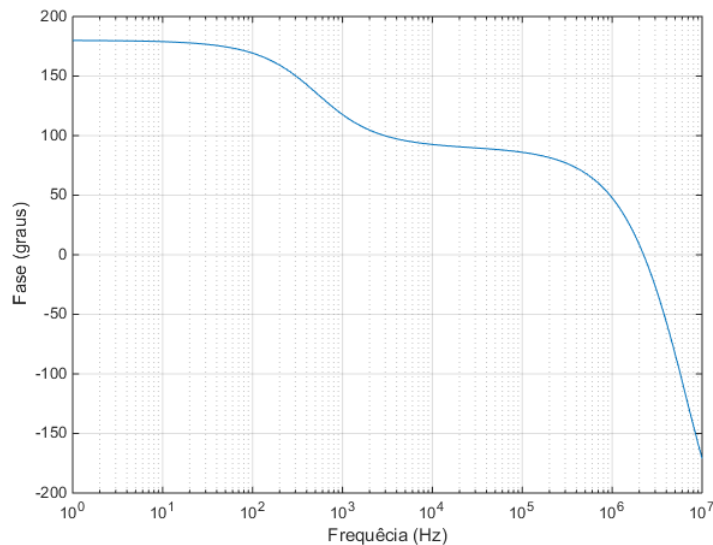


Figura 5.12: Resposta de fase do CMFB para ($I_{bias} = 5 \mu A$).

A frequência de corte obtida para esse bloco é de 524,80 Hz e o ganho de banda passante é de aproximadamente 40 dB.

Para calcular a margem de ganho é obtida a diferença entre o ganho da resposta em frequência e 0 dB na frequência onde a fase é igual a 0°. A margem de ganho obtida para o CMFB é de 35,07 dB.

A margem de fase é dada através da diferença entre 0° e o valor da fase na frequência em que o ganho é de 0 dB. A margem de fase obtida para o CMFB é de

88,25°, correspondendo a máxima variação que a fase pode sofrer sem que o CMFB passe a ser instável em malha fechada.

5.2.4 Sensibilidade à Tensão Diferencial

É importantíssimo que o controle de modo comum apresente uma baixa sensibilidade à tensão diferencial, para que as parcelas de sinal diferencial na saída do OTA não sejam eliminadas pelo circuito de CMFB. O objetivo desta seção é apresentar os resultados da simulação do sensor de modo comum do circuito de CMFB com respeito a uma entrada puramente diferencial. A Figura 5.13 apresenta o *testbench* utilizado nesta simulação.

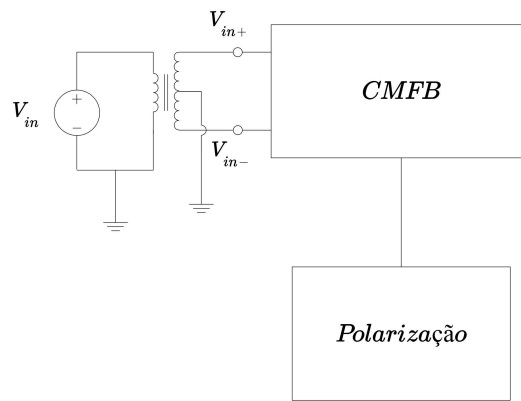


Figura 5.13: *Testbench* utilizado na simulação da sensibilidade do sensor de modo comum com respeito à tensão diferencial.

Assim como foi feito nas simulações da seção anterior, é realizada uma varredura de V_{in} de $-1,5\text{ V}$ a $1,5\text{ V}$. Através do *balun* (*Balanced-Unbalanced*) ideal, são geradas tensões V_{in+} e V_{in-} , puramente diferenciais que são conectadas ao CMFB. A Figura 5.14 apresenta o resultado da simulação de sensibilidade do CMFB à tensão de entrada diferencial para I_{bias} variando de $1\ \mu\text{A}$ a $10\ \mu\text{A}$.

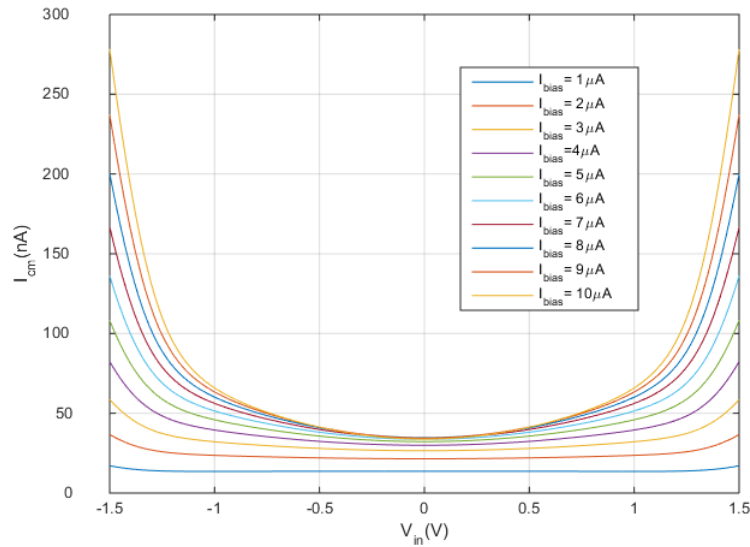


Figura 5.14: Corrente na saída do sensor de modo comum do circuito de CMFB em função da parcela diferencial na entrada.

A curvas apresentam uma baixíssima sensibilidade à parcela diferencial da tensão aplicada ao sensor de modo comum. Ao avaliar a excursão de sinal, foram levados em consideração os pontos onde a curva apresenta uma significativa variação de crescimento da corrente I_{cm} . Para $I_{bias} = 5 \mu A$, a excursão é de mais ou menos $\pm 1,2$ V. Para a máxima corrente de polarização ($I_{bias} = 10 \mu A$), a excursão variou de mais ou menos ± 1 V. Estes resultados atendem adequadamente aos propósitos deste projeto.

Também foram realizadas 50 simulações de Monte Carlo da sensibilidade do CMFB à tensão diferencial para variações nos parâmetros do processo de fabricação, descasamento de componentes e ambos. Assim como na situação anterior, essas simulações foram realizadas para a corrente típica de polarização ($I_{bias} = 5 \mu A$). A Figura 5.15 apresenta o resultado obtido para as variações nos parâmetros do processo de fabricação.

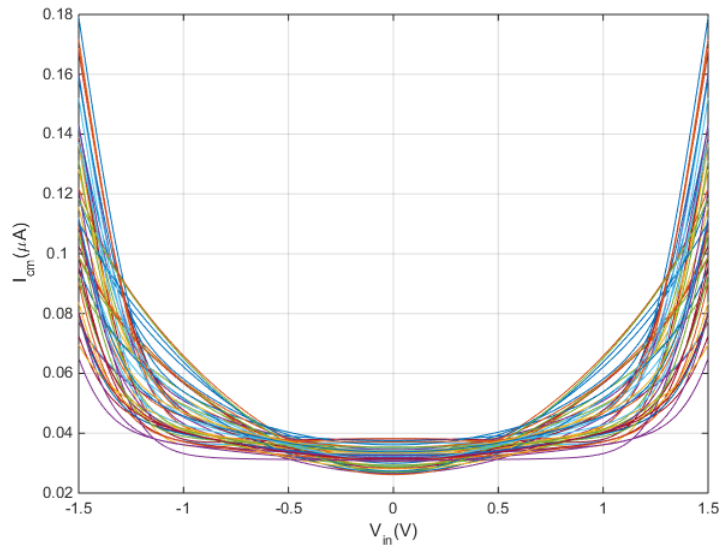


Figura 5.15: Corrente na saída do sensor de modo comum do circuito de CMFB em função da parcela diferencial na entrada para variação nos parâmetros do processo de fabricação ($I_{bias} = 5 \mu A$).

A Figura 5.16 apresenta o resultado obtido considerando exclusivamente os descasamentos entre transistores iguais.

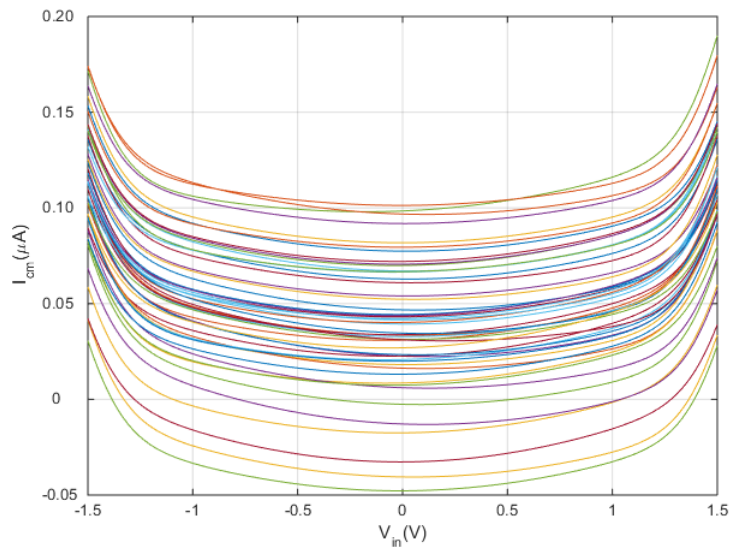


Figura 5.16: Corrente na saída do sensor de modo comum do circuito de CMFB em função da parcela diferencial na entrada considerando os descasamentos entre transistores ($I_{bias} = 5 \mu A$).

A Figura 5.17 apresenta o resultado obtido considerando os efeitos das variações nos parâmetros do processo de fabricação e dos descasamentos entre os transistores ao mesmo tempo.

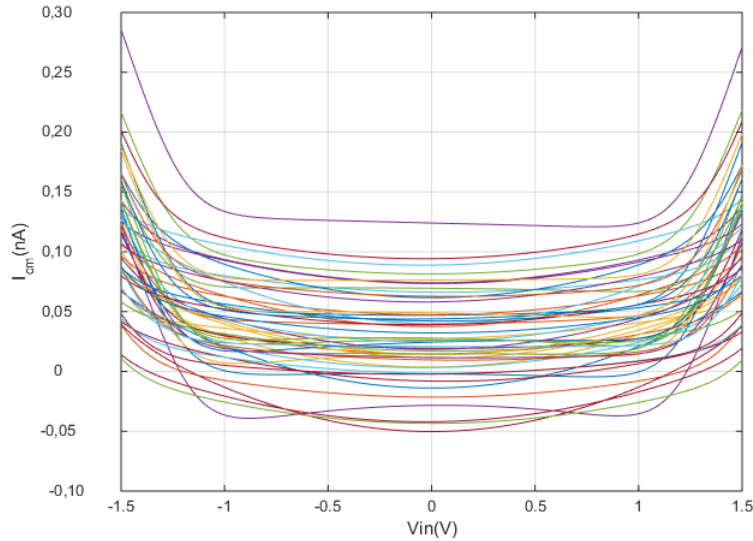


Figura 5.17: Corrente na saída do sensor de modo comum do circuito de CMFB em função da parcela diferencial na entrada considerando os efeitos das variações nos parâmetros do processo de fabricação e dos descasamentos entre os transistores ao mesmo tempo ($I_{bias} = 5 \mu A$).

Na Figura 5.15 é possível observar que para a faixa de tensão de aproximadamente ± 1 V, a variação de corrente na saída do sensor de modo comum é pequena em relação à que ocorre nas curvas da Figura 5.16, para a mesma faixa de tensão. O motivo disso se deve ao fato de que o descasamento entre transistores PMOS e NMOS do CMFB causa desbalanceamento nas correntes desses dois ramos do sensor de modo comum e, conseqüentemente, gera um *offset* de corrente. Apesar disso, o CMFB projetado mostrou-se altamente insensível à parcela diferencial de tensão.

Por fim, através de 500 simulações de Monte Carlo, foram comparados os resultados obtidos para a tensão DC de modo comum na saída do OTA quando a tensão de compensação V_{cmfb} é aplicada aos nós de *gate* dos transistores M_{7A} e M_{7B} (Método 1), nos nós de *gate* do transistor M_{11} (Método 2) e nos nós de *gate* dos transistores M_{4A} e M_{4B} (Método 3). Nesta simulação, o OTA teve suas próprias saídas realimentadas nas suas entradas (Figura 5.1), assim como foi feito para a simulação de polarização DC. A Tabela 5.3 apresenta o comparativo entre a tensão de *offset* média e desvio padrão obtidos para a parcela de modo comum na saída do OTA para os três métodos.

Tabela 5.3: *Offset* médio e desvio padrão da parcela de modo comum obtida na saída do OTA para os três métodos de compensação apresentados no Capítulo 4.

I_{bias}	<i>Offset</i> médio	Desvio padrão
Método 1	3,68 mV	41,09 mV
Método 2	2,43 mV	42,30 mV
Método 3	2,58 mV	90,18 mV

Tanto o Método 1 quanto o Método 2 apresentaram resultados muito próximos, mas foi feita a opção pelo Método 1, pelo fato de apresentar o menor desvio padrão. Apesar disso, o Método 2 também atenderia satisfatoriamente aos objetivos do projeto. O Método 3 apresentou mais que o dobro de desvio padrão dos outros dois métodos e, portanto, foi descartado.

5.3 OTA com CMFB Real

5.3.1 Distorção Harmônica Total (THD) do OTA

Nesta seção é apresentada a simulação que mostra a distorção harmônica total THD (*Total Harmonic Distortion*) do OTA, com o objetivo de verificar o quanto a corrente de saída distorce em função da amplitude da tensão diferencial de entrada. Para realizar o teste, foi aplicada à entrada diferencial do OTA uma fonte senoidal com amplitude variável de 10 mV a 2 V. A razão para ter variado a amplitude da tensão de entrada até 2 V se deve ao interesse em descobrir para qual amplitude de tensão o THD atinge 1%, pois este critério será utilizado para definir a excursão de sinal do OTA. A frequência escolhida foi de 20 kHz, de forma que os principais harmônicos pertençam à banda passante do filtro. A Figura 5.18 apresenta o gráfico da THD do OTA obtidas para diferentes valores de amplitude do sinal de entrada.

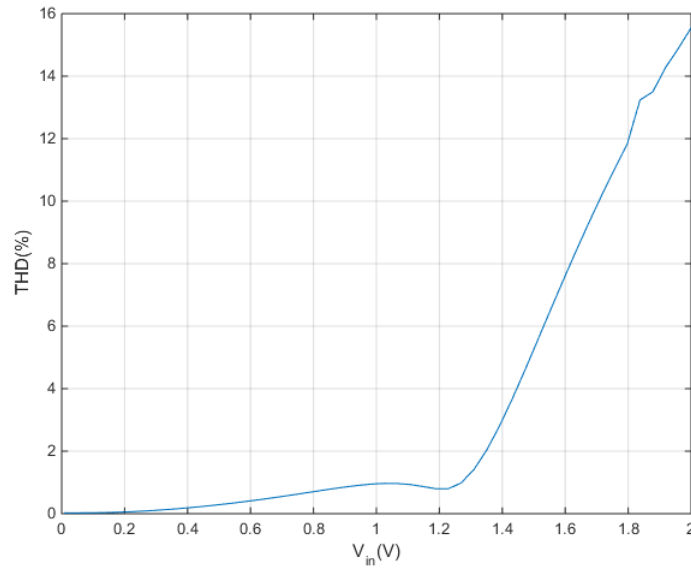


Figura 5.18: THD do sinal na saída I_{out} em função da amplitude da tensão diferencial de entrada V_{in} .

O máximo nível de THD que o OTA desenvolvido nesse trabalho atingiu para 1 V foi de 0,95%, ficando abaixo de 1%. O THD atinge 1% para uma amplitude de tensão de entrada de aproximadamente $\pm 1,27$ V. Sendo assim, como foi mencionado anteriormente, neste trabalho esta é a forma de definir a excursão de sinal do OTA. Então, temos $\pm 1,27$ V como excursão de sinal obtida para o OTA.

5.3.2 Varredura de Transcondutância

Nesta seção é apresentada a varredura de transcondutância do OTA, utilizando o circuito de CMFB projetado neste trabalho, e também variando a corrente de referência I_{bias} de $1 \mu A$ a $10 \mu A$. A Figura 5.19 apresenta o ganho G_m em função da tensão diferencial de entrada do OTA utilizando o CMFB real. Assim como para o caso em que se utiliza o CMFB ideal, a varredura foi realizada variando-se a tensão de entrada de -2 V a 2 V.

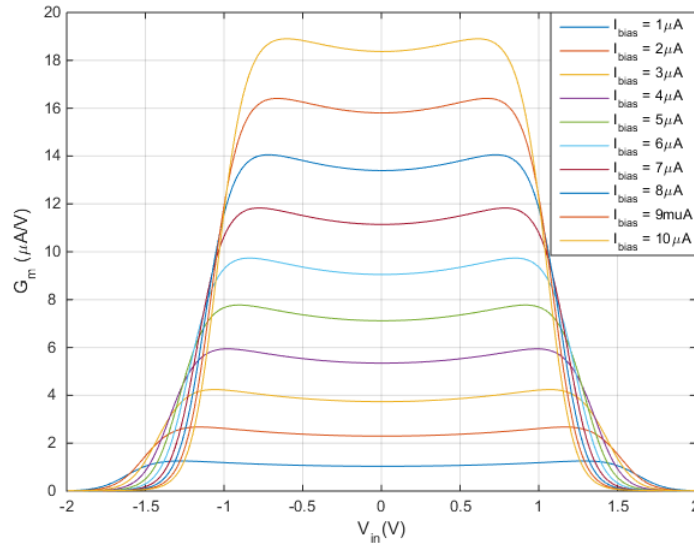


Figura 5.19: Ganho de transcondutância do OTA, utilizando CMFB real em função da tensão diferencial de entrada V_{in} .

Utilizando o CMFB projetado, as curvas de transcondutância do OTA também apresentam um formato muito próximo daquele obtido na Figura 5.4 com o circuito de CMFB ideal. Para a faixa de tensão de entrada que varia de aproximadamente ± 1 V, a curva obtida para $I_{bias} = 5 \mu\text{A}$ apresenta uma razoável linearidade, o que mostra que o controle de modo comum não está distorcendo o sinal na saída. Para este valor de I_{bias} foi obtido um valor máximo de $G_m = 7,78 \mu\text{A/V}$ e um mínimo $G_m = 7,12 \mu\text{A/V}$, o que resulta em um valor médio de $G_m = 7,45 \mu\text{A/V}$.

Analisando para $I_{bias} = 10 \mu\text{A}$, foi obtido um máximo de $G_m = 18,90 \mu\text{A/V}$ e um mínimo de $G_m = 18,37 \mu\text{A/V}$. Isto resulta em um valor médio de $G_m = 18,64 \mu\text{A/V}$. Polarizando o circuito com I_{bias} máximo, para a faixa de tensão de entrada que varia de aproximadamente $\pm 0,73$ V, a curva apresenta uma razoável linearidade. Esse é um resultado bastante satisfatório se comparado com o resultado obtido para o CMFB ideal.

A Figura 5.20, apresenta a varredura da corrente de saída em função da tensão diferencial de entrada V_{in} .

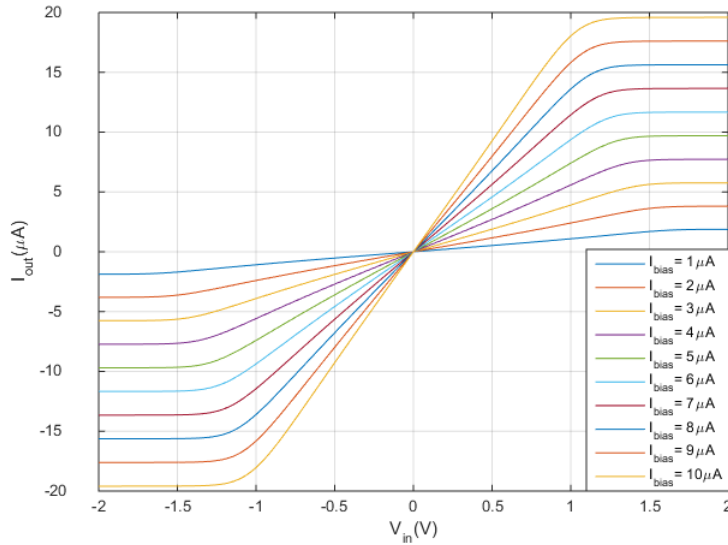


Figura 5.20: Corrente na saída do OTA utilizando o CMFB projetado, em função da tensão diferencial de entrada V_{in} .

Para $I_{bias} = 5\mu A$ o valor mínimo de corrente obtido na saída foi de $-9,67\mu A$ e o máximo foi de $9,67\mu A$. É possível observar que a curva apresenta um formato com uma linearidade satisfatória.

Analisando para $I_{bias} = 10\mu A$, foi obtida uma curva com uma linearidade satisfatória. O valor mínimo de corrente obtido na saída foi de $-19,59\mu A$ e o máximo foi de $19,59\mu A$. Em todas as curvas, para um valor de tensão diferencial nulo na entrada, a corrente na saída é nula.

Também foram realizadas 50 simulações de Monte Carlo para analisar como varia a transcondutância G_m com respeito a variações nos parâmetros do processo de fabricação e descasamento de transistores. A Figura 5.21 apresenta os resultados das simulações, para o caso em que $I_{bias} = 5\mu A$.

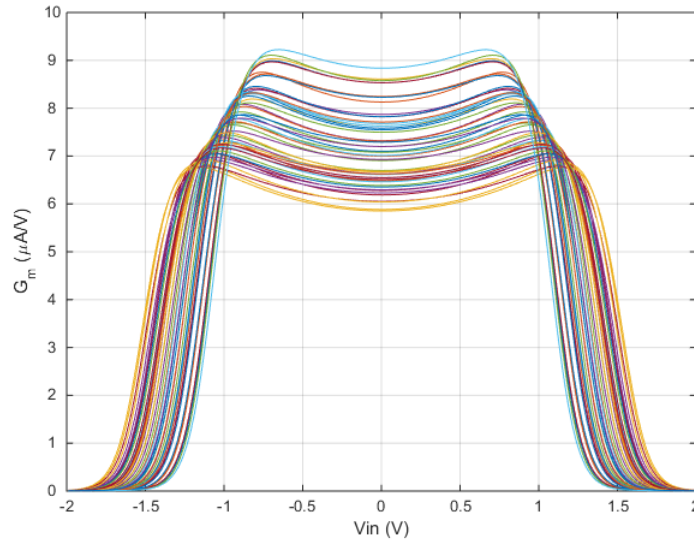


Figura 5.21: Variação da transcondutância do OTA em relação às variações nos parâmetros do processo de fabricação.

As simulações apresentadas na Figura 5.21 mostram que a transcondutância e a excursão variam significativamente com as variações nos parâmetros do processo de fabricação. Isso ocorre porque as variações de processo afetam igualmente os dois elementos de transcondutância do OTA, alterando parâmetros como k_n e V_{TH} dos transistores, os quais têm impacto direto sobre a transcondutância do OTA e a excursão de sinal. É válido lembrar que o ajuste de transcondutância do OTA realizado através da corrente de polarização I_{bias} tem como objetivo justamente compensar essas variações de transcondutância causadas pelas inevitáveis variações nos parâmetros do processo de fabricação. O G_m mínimo obtido foi $5,85 \mu\text{A}/\text{V}$ e o máximo $8,84 \mu\text{A}/\text{V}$, o que representa uma variação de $2,99 \mu\text{A}/\text{V}$.

Foram também realizadas 50 simulações de Monte Carlo para analisar a variação da transcondutância com respeito aos descasamentos de componentes. A Figura 5.22 apresenta os resultados das simulações para $I_{bias} = 5 \mu\text{A}$.

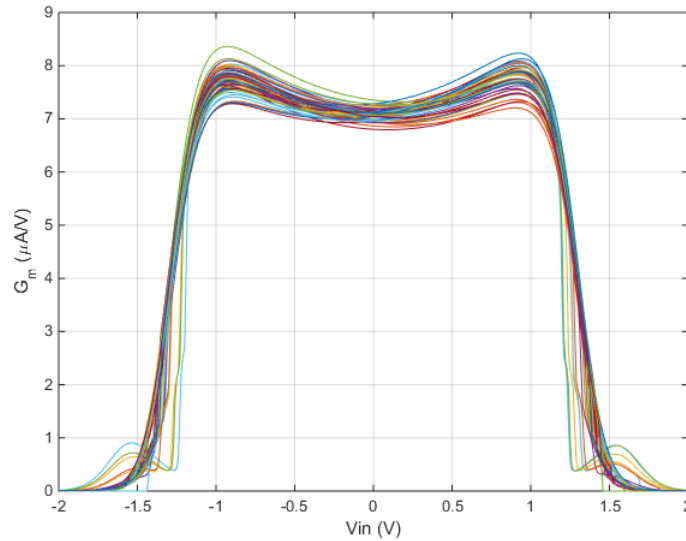


Figura 5.22: Variação da transcondutância do OTA em relação ao descasamento de componentes.

Na Figura 5.22, é possível visualizar que os descasamentos de componentes afetam diretamente o balanceamento do circuito, o que já é esperado, tendo-se em vista a perda de simetria causada pelos descasamentos. Já a transcondutância e a excursão de sinal são muito pouco afetadas, o que é um excelente resultado. O G_m máximo obtido foi de $7,35 \mu\text{A}/\text{V}$ e mínimo de $6,80 \mu\text{A}/\text{V}$. A variação obtida foi de apenas $0,60 \mu\text{A}/\text{V}$.

5.3.3 Margem de Ganho e de Fase do Integrador

Nesta seção são apresentadas as simulações de margem de ganho e de fase do OTA acoplado aos maiores capacitores do filtro (atuando como integrador) em malha aberta. As análises são feitas através do critério de *Nyquist*. O objetivo destas simulações é checar se o ganho será menor do que 0 dB na frequência em que a resposta de fase atinge $\pm 180^\circ$. Dessa forma, é possível atestar a estabilidade do OTA quando este estiver operando em malha fechada no circuito do filtro Gm-C. Também é possível visualizar os polos da estrutura do OTA, responsáveis por limitar a frequência em que o mesmo consegue atuar como integrador.

Nas Figuras 5.23 e 5.24 é possível visualizar, respectivamente, o gráfico de ganho e fase da resposta em frequência do OTA atuando como integrador.

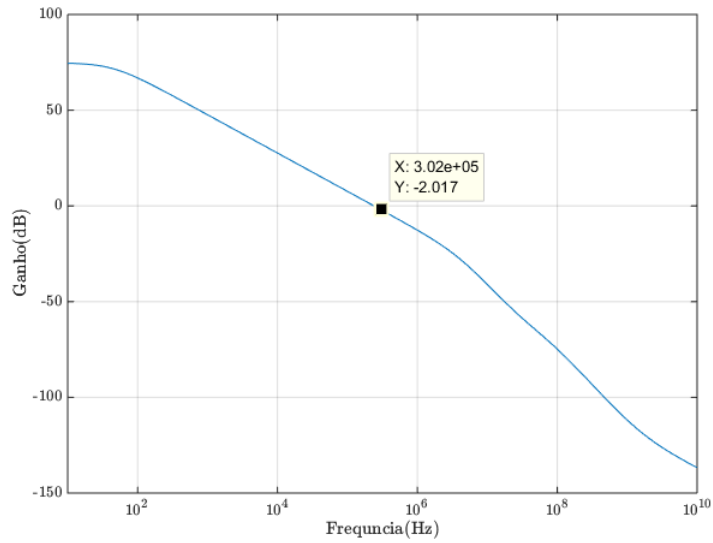


Figura 5.23: Gráfico da curva de ganho (dB) do OTA atuando como integrador com o maior capacitor do filtro ($16 \mu\text{F}$).

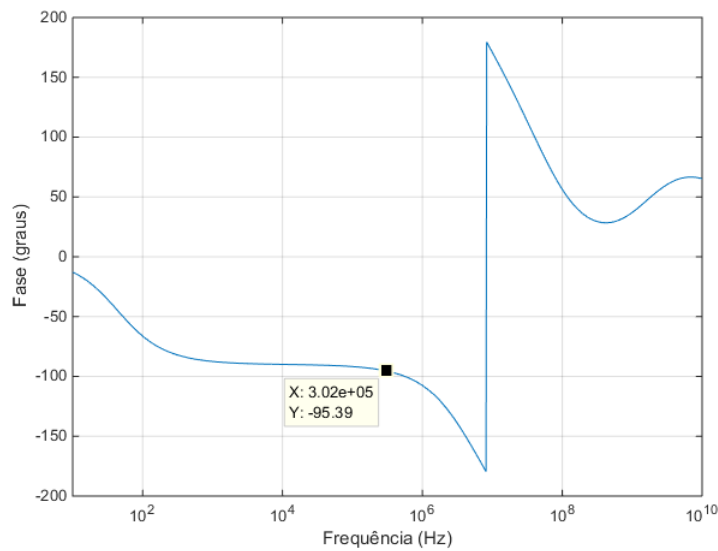


Figura 5.24: Gráfico da curva de fase (em graus) do OTA atuando como integrador com o maior capacitor do filtro.

Nos gráficos obtidos nas Figuras 5.23 e 5.24, podemos observar que a estrutura do OTA apresenta dois polos dominantes, sendo o de mais alta frequência em aproximadamente 2,70 MHz. Na Figura 5.24 podemos ver que a frequência de corte estipulada no projeto (300 kHz) encontra-se no limite da faixa em que o OTA, junto com o capacitor de carga, opera como um integrador, pois nessa frequência, a fase é de aproximadamente -95° . É válido lembrar que essa foi a razão de ter sido escolhida a frequência de corte de 300 kHz para o filtro desenvolvido nesse trabalho.

Para calcular a margem de ganho, devemos verificar o quanto abaixo de 0 dB será o ganho do circuito na frequência em que a fase atinge -180° . A margem de ganho obtida é de 38,90 dB.

A margem de fase é dada pelo ângulo de fase que falta para que a resposta de fase na frequência em que o ganho é 0 dB atinja os 180° . A margem de fase obtida é de aproximadamente $85,70^\circ$, que corresponde à máxima variação que a fase pode sofrer sem que o amplificador passe a ser instável quando realimentado negativamente.

Também foi realizada uma simulação para verificar a potência de ruído gerada pelo OTA. Na Figura 5.25 podemos verificar o gráfico que ilustra a densidade espectral de ruído ($\text{mV}/\sqrt{\text{Hz}}$).

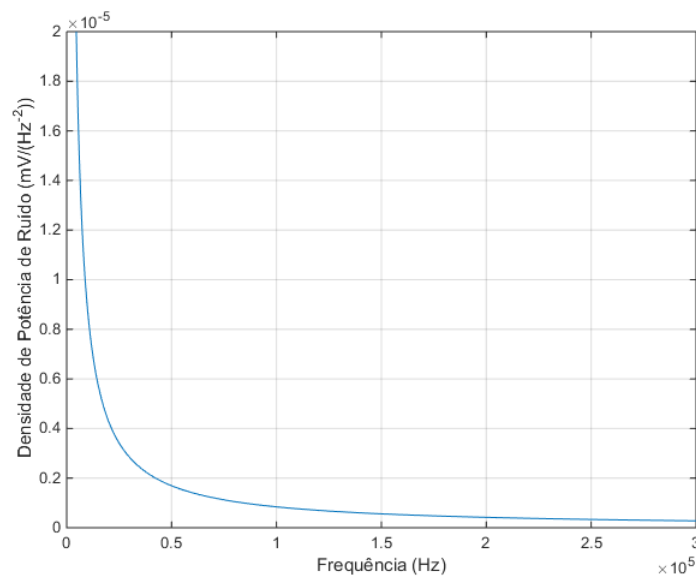


Figura 5.25: Densidade espectral de ruído na entrada do OTA atuando como integrador com o maior capacitor do filtro ($16 \mu\text{F}$).

No gráfico da Figura 5.25 é possível visualizar que esse tipo de curva é característico da densidade espectral de potência predominantemente do tipo *flicker*, que é mais alta em baixas frequências. É possível perceber que isso se mantém até algumas centenas de kHz. Acima disso, começa a predominar um ruído com densidade espectral constante do tipo térmico. A potência de ruído obtida é de $1,01 \cdot 10^{-5} \text{ V}^2$ e a potência de ruído obtida em relação a entrada é de $1,10 \cdot 10^{-7} \text{ V}^2$.

5.3.4 *Common Mode Rejection Ratio* (CMRR)

É muito importante analisar a capacidade que o OTA tem de rejeitar a tensão de modo comum em seus terminais de entrada, chamada de *Common Mode Rejection Ratio* (CMRR) [3]. O CMRR de um amplificador diferencial é definida como a razão entre o ganho diferencial e o módulo do ganho de modo comum. A Figura

5.26 apresenta o gráfico com as simulações de Monte Carlo (50 simulações) de CMRR para o OTA desenvolvido nesse trabalho, utilizando $I_{bias} = 5 \mu A$.

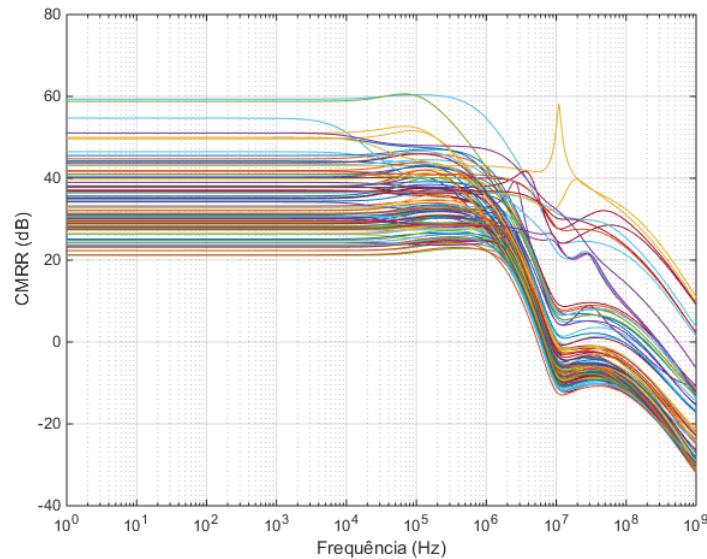


Figura 5.26: Simulações de Monte Carlo para o CMRR utilizando a corrente de polarização típica ($I_{bias} = 5 \mu A$).

O pior caso de CMRR obtido no gráfico da Figura 5.26 é de 21,16 dB e o melhor caso é de 59,34 dB.

5.3.5 Tensão de *Offset* Diferencial na Saída

Um grande problema recorrente em OTAs, principalmente os de baixa transcondutância, a tensão de *offset* causada pelo descasamento entre os transistores do par diferencial na entrada do OTA e dos espelhos de corrente que polarizam o estágio de saída. Se juntarmos esses descasamentos das correntes de polarização com a elevada impedância de saída do OTA, teremos, na saída do amplificador, tensões DC que podem até mesmo saturá-lo. Uma solução para esse problema consiste em realimentar negativamente o OTA, de forma que a tensão diferencial na saída resulte em uma amostra proporcional aplicada à entrada. A tensão copiada para a entrada produzirá um desequilíbrio nas correntes de polarização do par diferencial que compensará as assimetrias nas correntes de polarização, compensando os erros causados pelos descasamentos. Apesar disso, essa compensação não será perfeitamente eficaz, restando uma tensão DC na saída no OTA, denominada de *offset* diferencial. Essa tensão é diretamente proporcional ao erro de descasamento nas correntes de polarização. Além disso, quanto maior for a transcondutância do OTA, menor é o *offset* diferencial. Isso ocorre, pois com uma maior transcondutância, menor será a tensão diferencial necessária para compensar os mesmos erros de descasamento nas

correntes de saída.

Para medir o *offset* diferencial do OTA, suas saídas foram realimentadas negativamente na entrada. Então, foram realizadas 500 simulações de Monte Carlo, considerando variações de parâmetros do processo de fabricação e descasamento de componentes. Foram feitas simulações para $I_{bias} = 1 \mu A$, $I_{bias} = 5 \mu A$ e $I_{bias} = 10 \mu A$, com o objetivo de verificar como varia o *offset* diferencial de acordo com a corrente de referência.

Foram gerados os gráficos das Figuras 5.27, 5.28 e 5.29 que apresentam os histogramas obtidos a partir dessas das simulações.

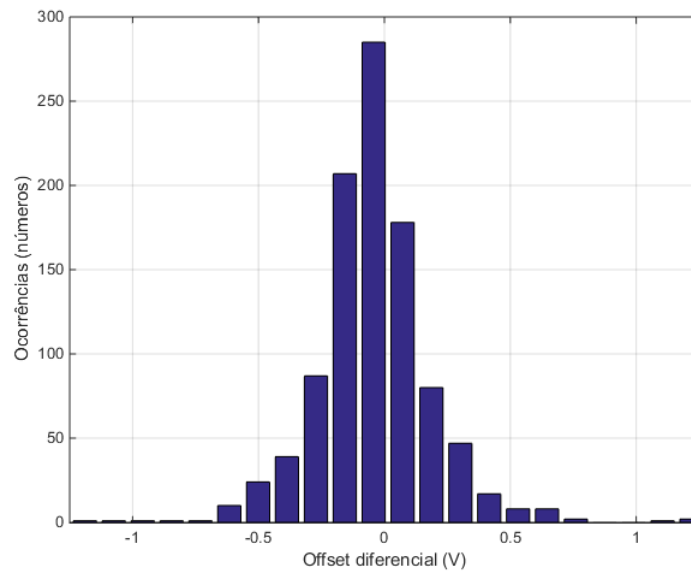


Figura 5.27: Histograma de *offset* diferencial para $I_{bias} = 1 \mu A$.

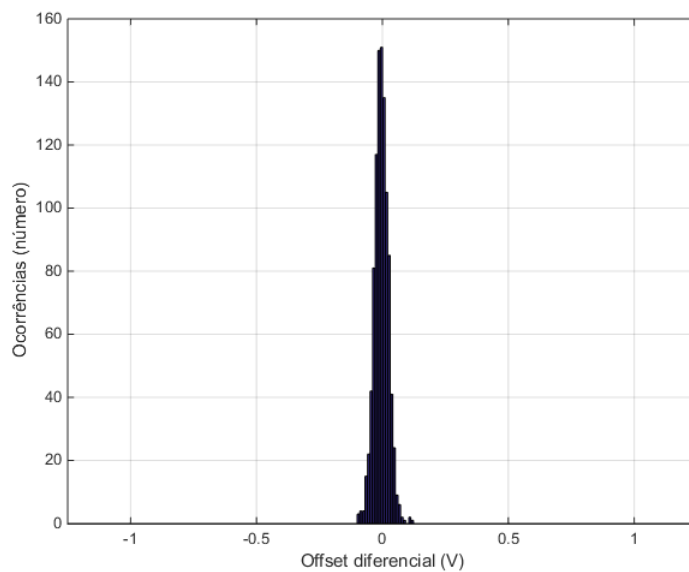


Figura 5.28: Histograma de *offset* diferencial para $I_{bias} = 5 \mu A$.

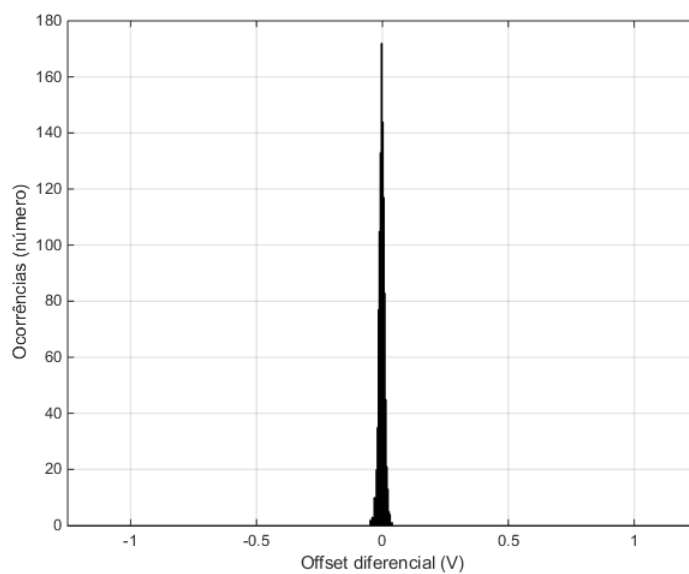


Figura 5.29: Histograma de *offset* diferencial para $I_{bias} = 10 \mu A$.

A Tabela 5.4 apresenta o valor médio e o desvio padrão do *offset* diferencial para os gráficos obtidos acima.

Tabela 5.4: Valor médio e desvio padrão do *offset* diferencial.

I_{bias}	Erro médio	Desvio padrão
$1 \mu A$	12,72 mV	228,10 mV
$5 \mu A$	835,12 μV	28,23 mV
$10 \mu A$	97,22 μV	10,88 mV

Como era o esperado, para $I_{bias} = 10 \mu A$ o resultado foi melhor do que para $I_{bias} = 5 \mu A$ e este foi melhor do que para $I_{bias} = 1 \mu A$. Isso ocorre pois, como foi mencionado anteriormente, quanto menor for a transcondutância, maior será a tensão diferencial necessária na entrada do OTA para compensar os erros de descasamento.

5.3.6 Offset de Modo Comum na Saída

Foram realizadas 500 simulações de Monte Carlo para medir a tensão de *offset* de modo comum, oriunda do descasamento dos transistores NMOS e PMOS do *cascode* dobrado da saída do OTA, e verificar se o circuito de CMFB está compensando a mesma com eficácia. Assim como para a simulação em que foi medido o *offset* diferencial, as saídas do OTA são realimentadas negativamente na entrada.

Os histogramas dessas simulações são apresentados nas Figuras 5.27, 5.28 e 5.29

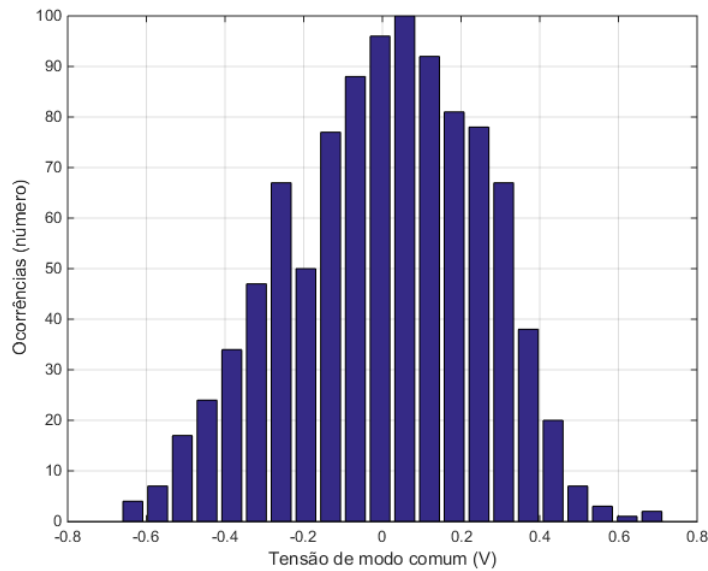


Figura 5.30: Histograma da tensão de *offset* de modo comum para $I_{bias} = 1 \mu A$.

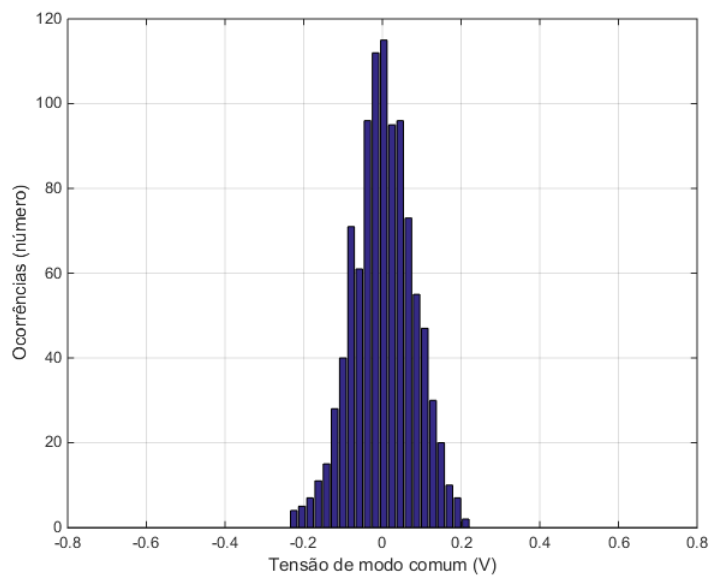


Figura 5.31: Histograma da tensão de *offset* modo comum para $I_{bias} = 5 \mu A$.

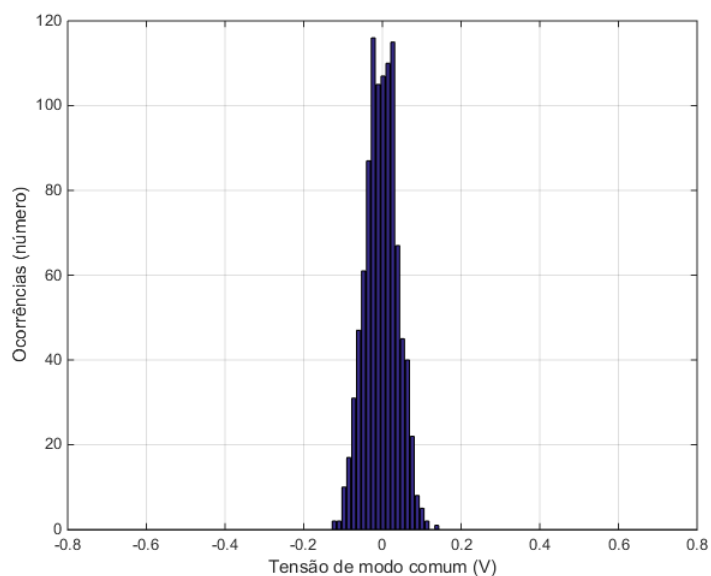


Figura 5.32: Histograma da tensão de *offset* de modo comum para $I_{bias} = 10 \mu A$.

Na Tabela podemos visualizar o valor médio e o desvio padrão da tensão de *offset* de modo comum para os gráficos obtidos acima.

Tabela 5.5: Valor médio e desvio padrão da tensão de *offset* de modo comum.

I_{bias}	Valor médio	Desvio padrão
$1 \mu A$	34,11 mV	243,00 mV
$5 \mu A$	13,06 mV	77,39 mV
$10 \mu A$	7,87 mV	42,38 mV

Na Tabela 5.5, foi possível observar que quanto maior for I_{bias} melhor é a compensação da tensão de modo comum feita pelo CMFB.

Apesar dos resultados serem aceitáveis, eles não são tão bons quanto os obtidos para as simulações de *offset* diferencial e isso se deve à presença de um *offset* estrutural do OTA. Isso ocorre pois, como é possível observar na Figura 3.12, o ideal seria que as tensões V_D de M_{3A} e M_{3B} fossem iguais às tensões V_D de M_{8A} e M_{8B} , fazendo com que o espelhamento de corrente seja perfeito. Entretanto, na prática, é impossível garantir que as tensões de V_{DS} dos transistores dos espelhos sejam idênticas nessa estrutura de OTA. Sendo assim, o circuito de CMFB trabalha para compensar esse descasamento nas tensões V_{DS} , acarretando em uma parcela sistemática de *offset* na tensão de modo comum na saída.

5.4 Filtro

5.4.1 Resposta em frequência do filtro com OTAs ideais

Aqui é apresentada a simulação obtida para o filtro com o OTAs ideais, o que torna dispensável o uso do compensador de modo comum. O objetivo é obter uma referência para a resposta em frequência do filtro idealizado de acordo com os parâmetros especificados no Capítulo 2. Para implementar os OTAs ideais, foi utilizado um modelo de transcondutor ideal, que nada mais é do que uma fonte de corrente controlada por tensão. Este é apresentado na Figura 5.33.

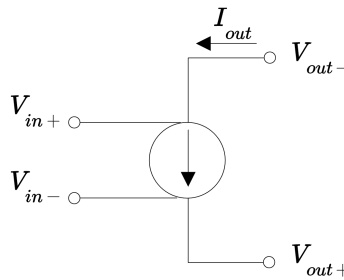


Figura 5.33: Modelo de um transcondutor ideal, usando uma fonte de corrente controlada por sua tensão diferencial de entrada.

Um transcondutor ideal deve possuir impedâncias de entrada Z_{in} e de saída Z_{out} infinitas. A relação entre a corrente de saída I_{out} e a tensão diferencial de entrada ($V_{in+} - V_{in-}$) é apresentada na Equação 5.1.

$$I_{out} = G_m(V_{in+} - V_{in-}) \quad (5.1)$$

A Figura 5.34 apresenta o gráfico de resposta em frequência do filtro $Gm - C$, implementado por OTAs ideais. O ganho de transcondutância foi ajustado em

7,5 $\mu\text{A}/\text{V}$. Este valor foi escolhido por ser uma estimativa do valor médio de transcondutância do OTA para a corrente de polarização típica do circuito ($I_{bias} = 5 \mu\text{A}$).

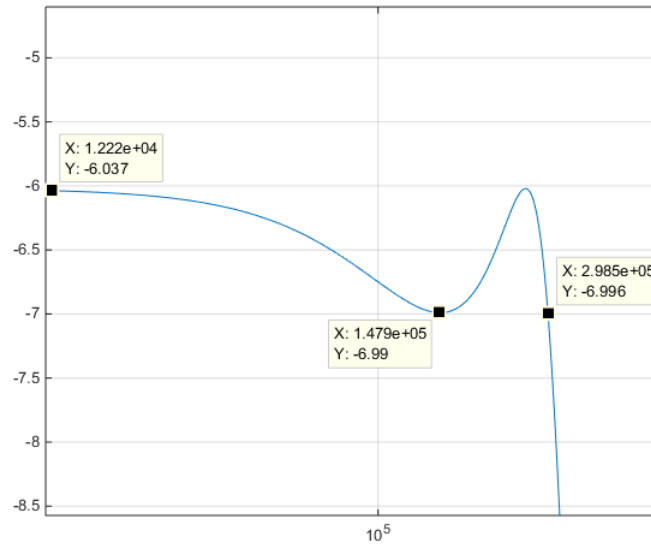


Figura 5.34: Resposta em frequência do filtro composto por OTAs ideais para frequência de corte de 300 kHz.

Como é possível ver na Figura 5.34, a frequência de corte do filtro ideal para os capacitores calculados no Capítulo 2 é de 300 kHz e o *ripple* na banda passante é de 1 dB. Esta simulação é a referência para a resposta em frequência desejada para $I_{bias} = 5 \mu\text{A}$.

5.4.2 Resposta em frequência do filtro implementado com o OTA projetado

Esta seção apresenta o resultado da simulação de resposta em frequência do filtro realizado neste trabalho utilizando o OTA aqui projetado. Para realização dessa simulação, foi aplicado à entradas do filtro um sinal senoidal com amplitude de 1 V.

Na Figura 2.6, é possível perceber, olhando da esquerda para a direita, que as saídas do primeiro, segundo e quarto OTAs compartilham o mesmo nó. O mesmo ocorre com o terceiro e o sexto OTAs e também com o quinto e o sétimo OTAs. Desta forma, foi utilizado um bloco de CMFB para cada nó no qual estão conectadas as saídas dos OTAs que as compartilham. Sendo assim, é gerada a tensão de controle V_{CMFB} e esta é conectada a todos os OTAs que compartilham os mesmos nós de saída.

Nessa seção também são apresentadas todas as curvas obtidas dentro da variação unitária de I_{bias} (1 μA a 10 μA). Além disso, foram realizadas simulações de Monte

Carlo, analisando o desempenho do filtro para variações nos parâmetros do processo de fabricação, descasamento de componentes e ambos simultaneamente.

As Figuras 5.35 e 5.36 apresentam os resultados da simulação de resposta em frequência.

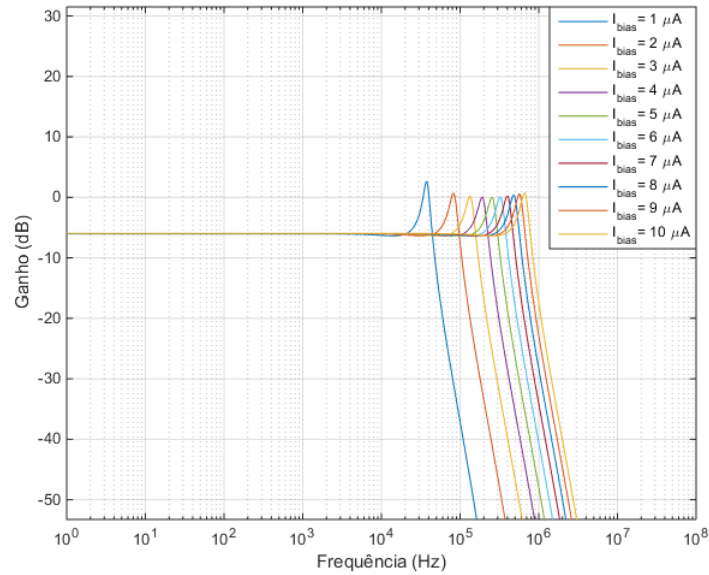


Figura 5.35: Curvas de resposta em frequência do filtro implementado com o OTA projetado.

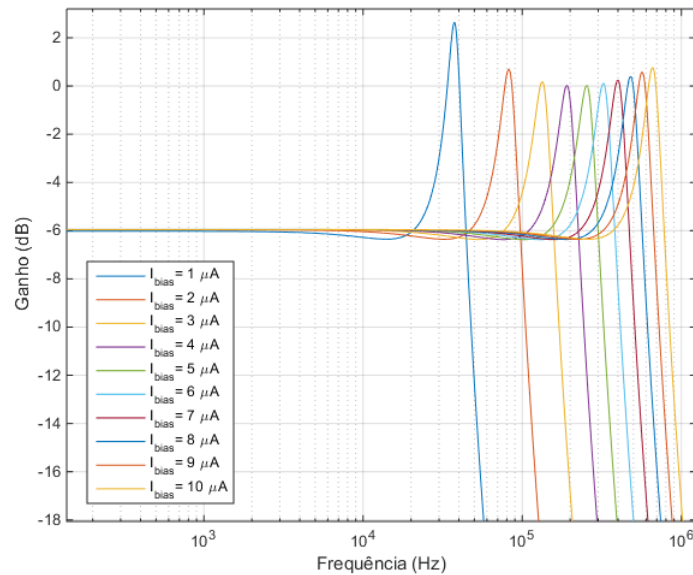


Figura 5.36: Curvas ampliadas da resposta em frequência do filtro implementado com o OTA projetado.

Para a corrente de referência $I_{bias} = 5 \mu A$, foi obtida uma frequência de corte de 302 kHz, uma atenuação de 0,43 dB e um ganho de banda passante de -5,95 dB.

Além disso, é possível visualizar nas Figuras 5.35 e 5.36 que a curva não apresentou um formato ideal como o apresentado na Figura 5.34. O motivo disso se deve ao que foi explicado anteriormente, nas simulações onde o OTA atua como integrador. A estrutura do FFVF apresenta um nó de alta impedância no dreno de M_{1A} e M_{1B} , que origina o segundo polo dominante, que pode ser visualizado nas Figuras 5.23 e 5.24. Este polo limita a faixa do OTA na qual ele pode atuar como um integrador.

Para a corrente mínima de referência $I_{bias} = 1 \mu A$, foi obtida uma frequência de corte de 44,6 kHz, uma atenuação de 0,34 dB e um ganho de banda passante de -6,02 dB.

Para a corrente de referência máxima $I_{bias} = 10 \mu A$, foi obtida uma frequência de corte de 785,1 kHz, uma atenuação de 0,4 dB e um ganho de banda passante de -5,95 dB.

O intervalo total de ajuste de frequência obtido é de 740,5 kHz.

Nas Figuras 5.37 e 5.38 são apresentados os gráficos resultantes das 50 simulações de Monte Carlo, considerando apenas as variações nos parâmetros do processo de fabricação e utilizando $I_{bias} = 5 \mu A$.

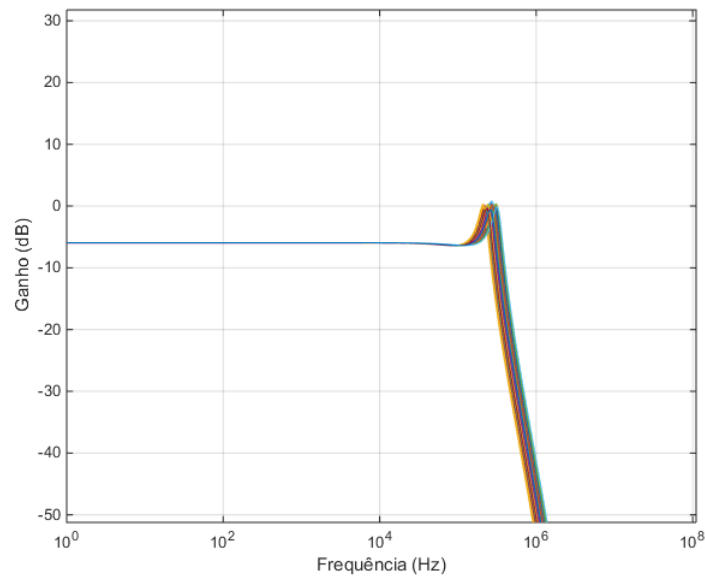


Figura 5.37: Simulações de Monte Carlo da resposta em frequência do filtro, considerando apenas variações de parâmetros de processo.

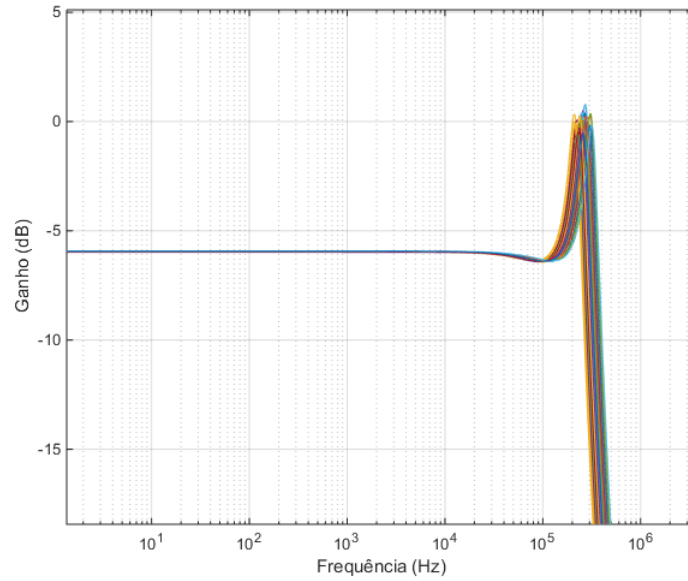


Figura 5.38: Curvas ampliadas das simulações de Monte Carlo da resposta em frequência do filtro, considerando apenas variações de parâmetros de processo.

Ao realizar uma comparação das Figuras 5.37 e 5.38 com as Figuras 5.35 e 5.36, é possível ver que a variação a frequência de corte causada pelas variações de parâmetros do processo de fabricação é menor do que a faixa de frequência ajustável para o filtro. Isso mostra que ajuste de transcondutância do OTA através da corrente I_{bias} compensa de maneira muito satisfatória os efeitos causados por variações nos parâmetros de processo.

Nas Figuras 5.39 e 5.40 são apresentados os gráficos obtidos a partir das 50 simulações de Monte Carlo, considerando apenas descasamentos nos transistores e utilizando $I_{bias} = 5 \mu A$.

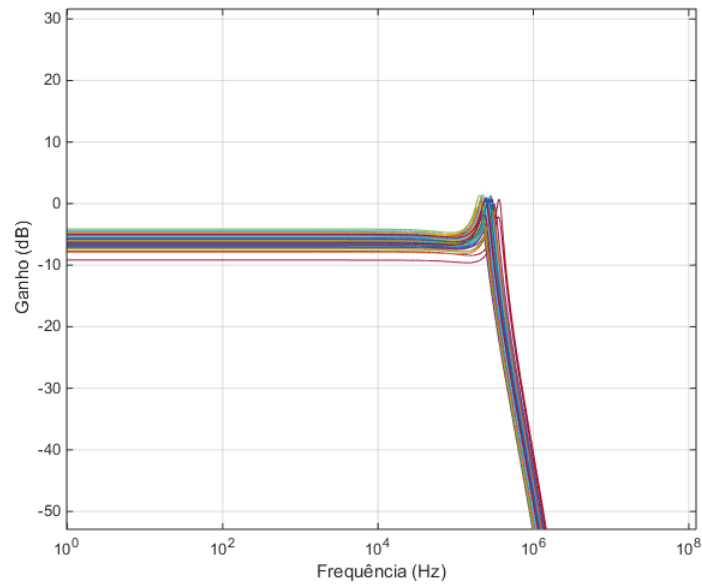


Figura 5.39: Simulações de Monte Carlo da resposta em frequência do filtro, considerando o descasamento de componentes.

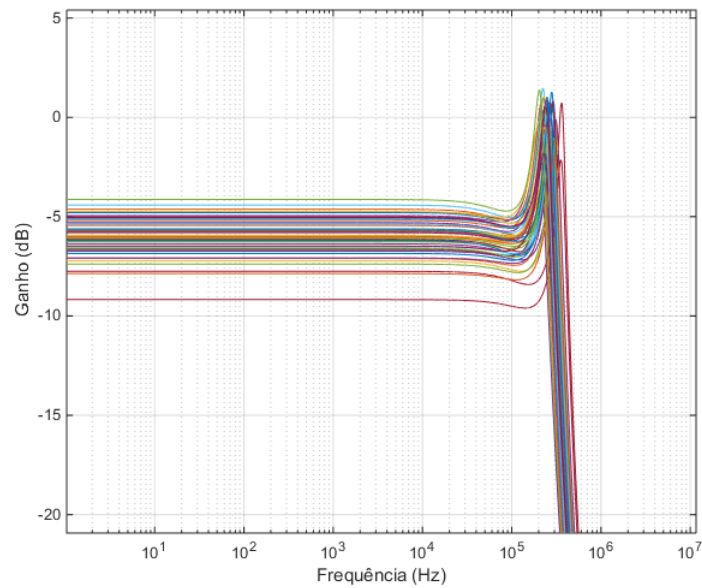


Figura 5.40: Curvas ampliadas das simulações de Monte Carlo da resposta em frequência do filtro, considerando o descasamento de componentes.

Nas curvas obtidas nas Figuras 5.39 e 5.39, é possível notar que o descasamento de componentes afeta muito o ganho de banda passante do filtro, pois este depende diretamente do casamento entre as transcondutâncias dos OTAs, as quais são diretamente afetados pelo descasamento de componentes.

E, por fim, as Figuras 5.41 e 5.42 apresentam 50 simulações de Monte de Carlo considerando variações de parâmetros de processo e descasamento de componentes

simultaneamente, onde é possível notar os efeitos ocorrendo simultaneamente.

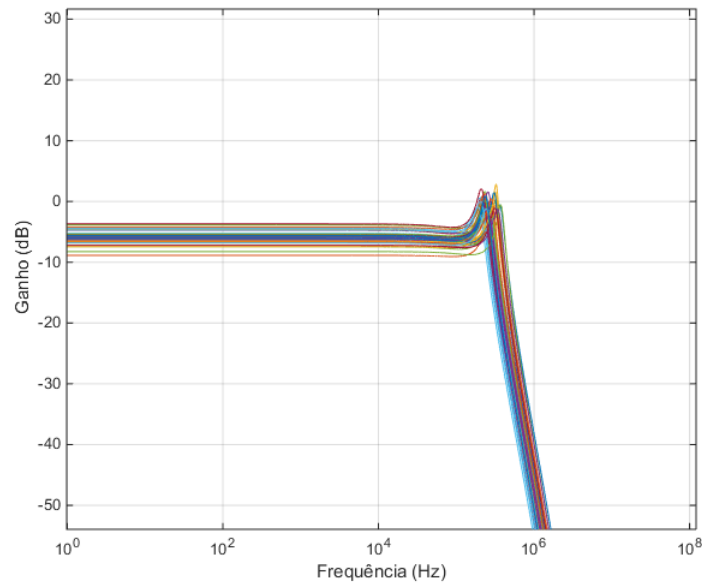


Figura 5.41: Simulações de Monte Carlo da resposta em frequência do filtro, considerando a variação de parâmetros de processo e o descasamento de componentes.

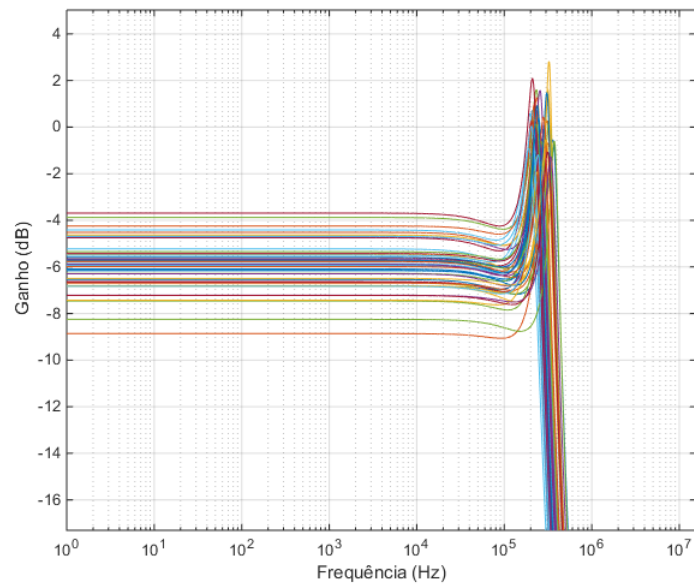


Figura 5.42: Curvas ampliadas das simulações de Monte Carlo da resposta em frequência do filtro, considerando a variação de parâmetros de processo e o descasamento de componentes.

5.4.3 THD do Filtro

Por fim, aqui é apresentada a simulação de THD para o sinal diferencial na saída do filtro, com o objetivo de verificar o quanto está distorcido em função da amplitude

da tensão diferencial de entrada. Foi utilizada a frequência de 20 kHz e amplitude variando de 10 mV a 1 V no sinal de entrada. A Figura 5.43 mostra os resultados desta simulação.

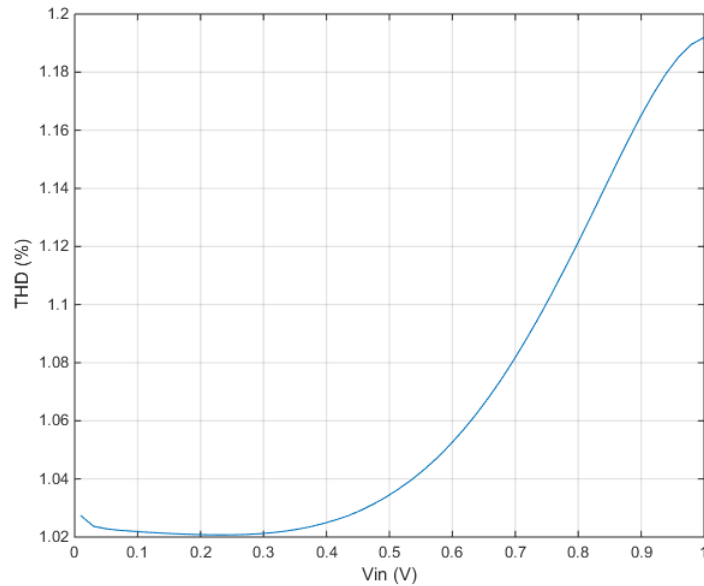


Figura 5.43: THD do sinal diferencial na saída do filtro em função da amplitude da tensão diferencial de entrada.

Os resultados apresentados na Figura 5.43 são satisfatórios. O sinal diferencial na saída do filtro apresenta 1,19% de THD para 1 V de amplitude na tensão de entrada.

Capítulo 6

Conclusões

Neste capítulo final, é apresentada uma análise geral para o projeto do OTA proposto, o circuito de CMFB que foi aplicado ao OTA e o filtro utilizado como aplicação para o teste dos blocos desenvolvidos neste trabalho. Além disso, também são apresentadas as vantagens e desvantagens do OTA aqui desenvolvido e ideias para trabalhos futuros.

6.1 O Filtro G_m -C

O filtro $G_m - C$ contínuo no tempo apresentou um ótimo resultado em relação à frequência de corte obtida (302 kHz) para $I_{bias} = 5 \mu A$, se comparado com o filtro ideal. A atenuação (0,43 dB) e o formato da curva não se mostraram tão próximos do filtro ideal, devido ao polo de baixa frequência existente na estrutura no FFVF, na qual foi baseado o OTA aqui desenvolvido. Uma solução prática seria projetar os capacitores C_1 e C_3 , da Figura 2.6 para uma frequência de corte menor do que 300 kHz, porém isso acarretaria em capacitâncias muito grandes e inviáveis de serem implementadas na tecnologia CMOS. Apesar disso, a resposta em frequência do filtro atende à proposta deste trabalho.

O ajuste de transcondutância, realizado através da corrente I_{bias} , abrange um intervalo de frequência (740,5 kHz) maior do que a variação de frequência obtida através da variação dos parâmetros do processo de fabricação CMOS e descasamento de componentes (204 kHz).

O ganho de banda passante obtido foi de -5,95 dB, sendo, então, bem próximo do filtro ideal (-6,02 dB).

6.2 Controle de Modo Comum proposto

O controle de modo comum proposto para ser aplicado ao OTA desenvolvido nesse trabalho mostrou-se eficiente na compensação da tensão de modo comum na saída, causada pelo descasamento entre as fontes de corrente PMOS e NMOS. O histograma apresentado na Figura 5.31 mostra que o controle de modo comum aqui desenvolvido atenuou significativamente a tensão de modo comum, preservando o desempenho do OTA.

Além disso, o CMFB apresentou uma sensibilidade adequadamente baixa à tensão diferencial de saída do OTA, conforme como na Figura 5.14, além de ter apresentado curvas com considerável linearidade.

Em relação à tensão de modo comum presente na saída, o CMFB apresentou um ganho adequado com razoável linearidade, como pode ser visualizado na Figura 5.7, tendo suas curvas praticamente centradas em 0 V quando não há descasamento entre os transistores.

6.3 Amplificador Operacional de Transcondutância proposto

O desenvolvimento de uma topologia de OTA totalmente diferencial, com alta linearidade foi a principal proposta desse trabalho. Na Figura 5.19 é possível visualizar que o OTA proposto apresenta uma excelente linearidade e uma ampla faixa de excursão da tensão diferencial de entrada de ± 1 V. Além disso, podemos concluir através da Figura 5.22, que a transcondutância do OTA pouco varia com o descasamento de componentes. Considerando as variações nos parâmetros do processo de fabricação, a transcondutância acaba variando, o que é, esperado, já que, ao variar parâmetros de processo, as características físicas dos elementos de transcondutância M_{3A} e M_{3B} são alterados simultaneamente. Apesar disso, o resultado é aceitável e isso pode ser visualizado melhor nas Figuras 5.37 e 5.38, que mostram que a frequência de corte do filtro pouco variou, mesmo com a variação dos parâmetros de processo.

O THD do sinal de saída do OTA projetado também é baixo, sendo de 0,95% para uma tensão diferencial de entrada com amplitude de 1 V, que é aproximadamente o máximo de transcondutância de sinal de entrada que o OTA consegue excursionar. Consequentemente o THD do sinal de saída do filtro também foi muito baixo, sendo de 1,19 % para um sinal de entrada com amplitude de 1 V.

A desvantagem da estrutura do transcondutor proposto pode ser vista nas Figuras 5.23 e 5.24, que mostram que há um limite de frequência em que o OTA consegue atuar de fato como integrador. Essa limitação se deve à presença de um

nó de alta impedância na estrutura do FFVF, mais especificamente no nó de *gate* dos transistores M_{1A} e M_{1B} , o que gera um polo em baixa frequência.

De maneira geral, podemos concluir que o OTA, o circuito de CMFB e o filtro foram projetados com sucesso.

6.4 Trabalhos Futuros

Como ideia para um trabalho futuro, a proposta seria implementar uma solução na topologia do OTA, para compensar o segundo polo dominante gerado pelo nó de *gate* de M_{1A} e M_{1B} , fazendo com que o OTA atue como integrador para frequências acima de 300 kHz.

Uma outra sugestão seria tentar implementar uma solução para aumentar a transcondutância do OTA, de forma que ele atenda às aplicações de filtros com frequências de corte acima de 300 kHz.

Outra ideia interessante seria desenvolver o *layout* do filtro $Gm - C$ projetado nesse trabalho e posteriormente fabricá-lo, para que seja possível a realização de medidas experimentais com o objetivo de avaliar o desempenho do circuito real.

Referências Bibliográficas

- [1] GRAY, P., MEYER, R. *Analysis and Design of Analog Integrated Circuits*.
- [2] PADILLA, I., RAMIREZ-ANGULO, J., CARVAJAL, R., et al. “Compact implementation of linear weighted CMOS transconductance adder based on the flipped voltage follower”. pp. 4 pp. – 4284, 06 2006. doi: 10.1109/ISCAS.2006.1693575.
- [3] SOARES, C. F. T. *Métodos para Aprimorar o Projeto e o Layout de Filtrros Analógicos em Circuitos Integrados CMOS*. Tese de Doutorado, COPPE/UFRJ, 2009.
- [4] KAR, S. K., SEN, S. “Linearity Improvement of Source Degenerated Transconductance Amplifiers”, *Analog Integr. Circuits Signal Process.*, v. 74, n. 2, pp. 399–407, fev. 2013. ISSN: 0925-1030. doi: 10.1007/s10470-012-9948-y.
- [5] KUMAR, R., SHARMA, S., GOYAL, R. “A Low Power Low-Noise Low-Pass Filter for Portable ECG Detection System”, v. 9, pp. 95–103, 01 2016.
- [6] SHARAN, T., CHETRI, P., BHADAURIA, V. “Ultra-low-power bulk-driven fully differential subthreshold OTAs with partial positive feedback for Gm-C filters”, *Analog Integrated Circuits and Signal Processing*, v. 94, n. 3, pp. 427–447, Mar 2018. ISSN: 1573-1979. doi: 10.1007/s10470-017-1065-5.
- [7] AND E. SANCHEZ-SINENCIO, SILVA-MARTINEZ, J. “Frequency-dependent harmonic-distortion analysis of a linearized cross-coupled CMOS OTA and its application to OTA-C filters”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 53, n. 3, pp. 499–510, March 2006. ISSN: 1549-8328. doi: 10.1109/TCSI.2005.859575.
- [8] WU, X., WANG, Y., CHEN, Q., et al. “Design of Low Power and High Linearity Gm-C Low Pass Filters”. In: *2016 International Conference on Communications, Information Management and Network Security*. Atlantis Press, 2016/09. ISBN: 978-94-6252-247-3. doi: <https://doi.org/10.>

2991/cimns-16.2016.7. Disponível em: <<https://doi.org/10.2991/cimns-16.2016.7>>.

- [9] CALVO, B., CELMA, S., SANZ, M. T., et al. “A Versatile Low-voltage CMOS Pseudo-Differential Transconductor with Improved Linearity”. In: *2006 49th IEEE International Midwest Symposium on Circuits and Systems*, v. 2, pp. 453–457, Aug 2006.
- [10] GIUSTOLISI, G., GRASSO, A., PENNISI, S. “High-Drive and Linear CMOS Class-AB Pseudo-Differential Amplifier”, *Circuits and Systems II: Express Briefs, IEEE Transactions on*, v. 54, pp. 112 – 116, 03 2007. doi: 10.1109/TCSII.2006.886239.
- [11] DARYANANI, G. *Principles of Active Network Synthesis and Design*. 1976. ISBN: 978-0-471-19545-0.
- [12] RAZAVI, B. *Design of analog CMOS integrated circuits*. McGraw-Hill, 2001.
- [13] FLACH, R., MORENO, L. “Estruturas Para Ocas De Baixa Transcondutância E Elevada Excursão De Sinal De Entrada Para Filtros Gm-C De Baixa Frequência”. 2011.
- [14] CARVAJAL, R., RAMIREZ-ANGULO, J., LOPEZ-MARTIN, A., et al. “The flipped voltage follower: A useful cell for low-voltage low-power circuit design”, *Circuits and Systems I: Regular Papers, IEEE Transactions on*, v. 52, pp. 1276 – 1291, 08 2005. doi: 10.1109/TCSI.2005.851387.
- [15] PEDRO, M., GALAN, J., SÁNCHEZ-RODRÍGUEZ, T., et al. “A Linear Compact Tunable Transconductor for Gm-C Applications”, *Analog Integrated Circuits and Signal Processing*, v. 72, pp. 351–361, 07 2012. doi: 10.1007/s10470-011-9807-2.
- [16] KINGET, P. R. “Device mismatch and tradeoffs in the design of analog circuits”, *IEEE Journal of Solid-State Circuits*, v. 40, n. 6, pp. 1212–1224, 2005.
- [17] DUQUE-CARRILLO, J. F. “Control of the Common-mode Component in CMOS Continuous-time Fully Differential Signal Processing”, *Analog Integr. Circuits Signal Process.*, v. 4, n. 2, pp. 131–140, set. 1993. ISSN: 0925-1030. doi: 10.1007/BF01254864.
- [18] PASCH, T., KLEINE, U., KLINKE, R. “A low voltage differential op amp with novel common mode feedback”. In: *1998 IEEE International Conference on Electronics, Circuits and Systems. Surfing the Waves of Science and*

Technology (Cat. No.98EX196), v. 2, pp. 345–348 vol.2, Sep. 1998. doi:
10.1109/ICECS.1998.814896.

- [19] GON, A., PROJETO, S., ELETR, E. “Operacionais Totalmente Diferenciais”.
2016.