

Universidade Federal do Rio de Janeiro
Escola Politécnica
Departamento de Eletrônica e de Computação

**Estimação de Razões de Capacitâncias Usando Filtros
Estruturalmente Passa-Tudo a Capacitores Chaveados**

Autor:

Gustavo dos Santos de Campos

Orientador:

Prof. Antonio Petraglia

Co-Orientador:

Prof. Carlos Fernando Teodósio Soares

Examinador:

Prof. Jose Gabriel Rodriguez Carneiro Gomes

Examinador:

Prof. Fernando A. P. Baruqui

DEL

Agosto de 2010

UNIVERSIDADE FEDERAL DO RIO DE JANEIRO
Escola Politécnica – Departamento de Eletrônica e de Computação
Centro de Tecnologia, bloco H, sala H-212A, Cidade Universitária
Rio de Janeiro – RJ CEP 21949-900

Este exemplar é de propriedade da Universidade Federal do Rio de Janeiro, que poderá incluí-lo em base de dados, armazenar em computador, microfilmar ou adotar qualquer forma de arquivamento.

É permitida a menção, reprodução parcial ou integral e a transmissão entre bibliotecas deste trabalho, sem modificação de seu texto, em qualquer meio que esteja ou venha a ser fixado, para pesquisa acadêmica, comentários e citações, desde que sem finalidade comercial e que seja feita a referência bibliográfica completa.

Os conceitos expressos neste trabalho são de responsabilidade do(s) autor(es) e do(s) orientador(es).

DEDICATÓRIA

Dedico esta obra aos meus pais, familiares e amigos.

AGRADECIMENTO

Primeiramente, agradeço aos meus pais, Rubinstein Pereira de Campos e Maria de Fátima dos Santos de Campos, que sempre me apoiaram mesmo nos momentos mais difíceis e estiveram presentes comigo ao longo desta etapa. Gostaria também de agradecer a todos os meus familiares que desde o início do meu período de estudos sempre depositaram muita confiança em mim e acreditaram na minha capacidade. Agradeço também aos professores Antonio Petraglia e Carlos Fernando Teodósio Soares pela confiança e oportunidade no desenvolvimento de um projeto na área de microeletrônica, além de todo suporte fornecido. Não poderia deixar de agradecer aos meus amigos, que foram fundamentais ao longo dessa caminhada e que, com sua ajuda e apoio, me auxiliaram a superar diversos desafios.

RESUMO

Uma importante classe de circuitos eletrônicos realizados em circuitos integrados (CIs) para desempenhar funções fundamentais em instrumentação - filtros, conversores analógico-digital e digital-analógico – requer razões de capacitâncias com elevada precisão. Tipicamente, os erros devem ser menores que 1%. Portanto, além da investigação de métodos para minimizar tais erros, há também interesse em disponibilizar um método de verificação da precisão obtida após a fabricação do CI.

Neste trabalho, um procedimento preciso de medida de razões de capacitâncias está sendo desenvolvido, com a utilização de filtros a capacitores chaveados estruturalmente passa-tudo de segunda ordem. A técnica é baseada no fato de que a resposta em freqüência da soma de dois desses filtros produz zeros de transmissão em freqüências pré-determinadas, que dependem diretamente da razão entre duas capacitâncias [2], [3].

O projeto consistirá, primeiramente, na análise teórica da estrutura de medidas e, posteriormente, no projeto dos componentes do filtro – chaves analógicas e amplificadores. No desenvolvimento das chaves analógicas serão considerados efeitos típicos como a injeção de carga e o *clock feedthrough*. Já nos amplificadores, o projeto levará em consideração o tempo de estabilização e a carga total vista pelo amplificador. O projeto seguirá com o teste individual dos componentes e com o teste da estrutura de medidas. Após a comparação entre os valores simulados e teóricos, serão desenvolvidos os *Layouts* para a fabricação do circuito integrado.

A partir das diferenças entre as freqüências esperadas e medidas no CI, serão obtidos os erros de realização das razões. A principal vantagem desta técnica está relacionada com a propriedade dos filtros estruturalmente passa-tudo produzirem zeros bem definidos mesmo na ocorrência de variações no processo de fabricação.

Palavras-Chave: Microeletrônica, Circuitos Integrados, Chaves Analógicas, Filtros a Capacitores Chaveados, Filtros Estruturalmente Passa-Tudo, Amplificadores de Transcondutância.

ABSTRACT

An important group of electronic circuits that can be implemented in an integrated circuit, to be used in instrumentation applications – filters, analog - digital converters and digital – analog converters – have to present capacitance ratios with a high precision. In general, these errors must be lower than 1% to maintain the circuit operation correctly. Besides the investigation of methods to minimize these errors, there is a desire to offer a new method of verification the precision after the integrated circuit fabrication.

In this document will be showed a new procedure to measure the capacitance rates. The technique is based on switched-capacitors filters and structurally allpass filters. The frequency response given by a sum of two filters is like a Notch filter. The Notch frequency depends only the capacitance rates.

This Project will begin with theoretical analyses of the circuit and then will continue with the project of its components, analogs keys and amplifiers. In the analog keys project, will be considered effects like charge injection and clock feedthrough. To determine the amplifiers will be used stabilization time and its charge. Some simulations will be done to verify the components individually and then the circuit can be tested. After compare the results of the simulations with the theoretical analyses, the layouts will be made considering a possible fabrication of this circuit.

Considering the difference of the theoretical frequency and the measured frequency, will be obtained the capacitance rate errors. The main advantage of this technique is related to the fact that these filters can produce Notch frequency well defined even if occurs some process variations.

Key-words: Microelectronic, Integrated Circuits, Analog Keys, Switched-Capacitors Filters, Structurally Allpass Filters, OTAs.

SIGLAS

UFRJ – Universidade Federal do Rio de Janeiro

CI – Circuito Integrado

CMOS – *Complementary metal-oxide-semiconductor*

PIB – Produto Interno Bruto

S/H – Circuito *Sample and Hold*

RC – Circuitos contendo Resistores e Capacitores

RLC – Circuitos contendo Resistores, Capacitores e Indutores

OTA – *Operational Transconductance Amplifier*

NMOS – *n-channel MOSFET*

PMOS – *p-channel MOSFET*

W – *Width*

L – *Length*

SR – *Slew Rate*

THD – *Total Harmonic Distortion*

DR – *Dynamic Range*

GBW – *Gain-Bandwidth*

PSS – *Periodic Steady- State*

PAC – *Periodic AC*

DFT – *Discrete Fourier Transform*

SNR – *Signal-to-noise Ratio*

Sumário

1	Introdução	1
1.1	- Tema	1
1.2	- Delimitação	1
1.3	- Justificativa	2
1.4	- Objetivos	3
1.5	- Metodologia	3
1.6	- Descrição	4
2	Filtros a Capacitores Chaveados	5
2.1	- Tipos de Sinais	5
2.2	- Análise de Filtros a Capacitores Chaveados	7
2.3	- Projeto dos Atrasadores	11
2.4	- Projeto dos Somadores	12
2.5	- Integrador a Capacitores Chaveados	15
3	Filtros Passa-Tudo	17
3.1	- Filtros Passa -Tudo e Estruturalmente Passa -Tudo	18
3.2	- Representação de Funções de Transferência pela Soma de Blocos Passa-Tudo	23
2.3	- Filtros <i>Notch</i>	25

4	Estrutura de Medidas	27
4.1	- Filtro Passa – Tudo a Capacitores Chaveados	28
4.2	- Simulação com o Software de Circuitos Integrados	33
5	Projeto dos Componentes do Filtro	40
5.1	- Projeto das Chaves Analógicas	41
5.2	- Projeto dos Amplificadores de Transcondutância	47
5.3	- Resultado das Simulações da Estrutura de Medidas	65
6	Conclusão	72
	Bibliografia	74

Lista de Figuras

2.1 – Representação dos Sinais	7
2.2 – Idéia geral dos filtros a capacitores chaveados	8
2.3 – Atrasadores, seção em cascata	11
2.4 – Atrasadores utilizando multiplexação no tempo	11
2.5 – Análise do Somador a Capacitor Chaveado	13
2.6 – Análise do Somador com Chaves Invertidas	14
2.7 – Outra Estrutura de um Somador	14
2.8 – Análise do Integrador a Capacitor Chaveado	16
3.1 – Diagrama de blocos resultante de um sistema de equalização de fase, onde A(z) representa o equalizador passa-tudo	18
3.2 – Diagrama de blocos de um filtro passa-tudo de primeira ordem	21
3.3 – Diagrama de blocos de um filtro estruturalmente passa-tudo	22
3.4 – Diagrama de Pólos e Zeros usados para determinação dos passa-tudo	24
3.5 – Diagrama de Blocos do Filtro <i>Notch</i>	26
4.1 – Diagrama de Blocos da Função H(z)	29

4.2 – Resposta em Freqüência para diferentes valores de a	30
4.3 – Circuito a Capacitores Chaveados, estruturalmente passa-tudo, que realiza a função $A(z)$	31
4.4 – Circuito a Capacitores Chaveados que representa a função $H(z)$	32
4.5 – Resposta transitória em circuitos a capacitores chaveados, evidenciando o tempo de <i>slew-rate</i> e tempo de acomodação linear	34
4.6 – Circuito <i>sample-and-hold</i>	35
4.7 – Amplificador OTA em uma configuração buffer e seu modelo de pequenos sinal ideal	36
5.1 – Topologias de chaves analógicas simples com transistores MOS de canal N (a) e de canal P (b)	41
5.2 – Chave analógica complementar	42
5.3 – Chave analógica simples tipo N com capacitância parasita C_{gs}	43
5.4 – Topologia de chave utilizada no projeto com transistores <i>dummy</i>	43
5.5 – Circuito de teste da chave analógica	44
5.6 – Resultado da Simulação do tempo de estabilização para valores de W distintos	45
5.7 – <i>Layout</i> das chaves analógicas	46
5.8 – Modelo do amplificador de transcondutância (OTA)	47

5.9 – Esquemático do amplificador de transcondutância (OTA)	48
5.10 – Circuito para dimensionamento dos transistores dos OTAs	51
5.11 – Circuito para dimensionamento do transistor M_{18}	52
5.12 – Gráfico resultante da simulação do transistor M_{18}	52
5.13 – Esquema de Simulação da Resposta em Freqüência	58
5.14 – Resultado da análise em freqüência para os amplificadores projetados para as cargas de 300 fF (a), 1.8 pF (b) e 30 pF (c)	59
5.15 – Resultado da análise no tempo para 300 fF (a), 1.8 pF (b) e 30 pF (c) ..	60
5.16 – Resultado do THD para 300 fF (a), 1.8 pF (b) e 30 pF (c)	61
5.17 – <i>Layout</i> dos OTAs para as cargas de 300 fF(a), 1.8 pF (b) e 30 pF (c) ..	64
5.18 – Resposta em freqüência da estrutura de medidas para razão de interesse ..	65
5.19 – Análise no tempo da estrutura de medidas	66
5.20 – Análise no tempo e DFT para sinais com amplitudes de entrada 1 V (a), 100 mV (b) e 10 mV (c)	68
5.21 – Efeito de <i>Clock Feedthrough</i> na análise no tempo para amplitude de 100 mV de entrada	69
5.22 – Análise de Monte Carlo da Estrutura de Medidas	71

Lista de Tabelas

4.1 – Valores de a e suas respectivas freqüências de <i>Notch</i>	30
4.2 – Valores de C_a/C_b e suas respectivas freqüências dos zeros de transmissão.	33
4.3 – Valores dos parâmetros do OTA para cargas distintas.	37
4.4 – Valores de C_a/C_b e suas freqüências de <i>Notch</i> para o modelo Verilog-A.	39
5.1 – Dimensionamento dos transistores da chave analógica.	45
5.2 – Dimensionamento dos transistores do OTA carga 300 fF.	53
5.3 – Dimensionamento dos transistores do OTA carga 1.8 pF.	54
5.4 – Dimensionamento dos transistores do OTA carga 30 pF.	54
5.5 – Polarização dos transistores do OTA carga 300 fF.	55
5.6 – Polarização dos transistores do OTA carga 1.8 pF.	56
5.7 – Polarização dos transistores do OTA carga 30 pF.	57
5.8 – Parâmetros obtidos por simulação dos diferentes amplificadores.	62
5.9 – Comparação do posicionamento dos zeros por diferentes simuladores.	66
5.10 – Resultado da análise de ruído da estrutura de medidas.	67
5.11 – Resultados do nível de THD da estrutura de medidas.	67
5.12 – Resultados da relação sinal-ruído da estrutura de medidas.	70

Capítulo 1

Introdução

1.1 – Tema

Uma importante classe de circuitos eletrônicos realizados em circuitos integrados (CIs) - filtros, conversores analógico-digital e digital-analógico -, para desempenhar funções fundamentais em instrumentação, requerem razões de capacitâncias com elevada precisão.

Portanto, há a necessidade de disponibilizar um método de verificação da precisão obtida após a fabricação do circuito integrado. Para tal, neste trabalho serão utilizados filtros estruturalmente passa-tudo a capacitores chaveados.

1.2 – Delimitação

Uma vez que os sinais no mundo físico são analógicos, é necessário convertê-los em sinais digitais e vice-versa sempre que se torna necessário o processamento digital do sinal. Para isso é indispensável o uso de conversores analógico-digital e digital-analógico. Contudo, as empresas que fornecem esse tipo de conversor necessitam de um produto cujo erro de realização nas razões de capacitâncias seja inferior a 1% para que o dispositivo funcione adequadamente.

No projeto de filtros analógicos, como, por exemplo, filtros a capacitores chaveados, os coeficientes do filtro devem ser implementados com excelente precisão, de forma a atender às especificações fornecidas. No processo de fabricação CMOS, usualmente ocorrem erros aleatórios que podem promover variações de até 40% nos valores absolutos de capacitores [1].

Todavia, uma das características do processo de fabricação é a capacidade de fabricar elementos bem casados. Dessa forma, mesmo que o processo de fabricação seja responsável por variações nos valores absolutos das capacitâncias, em média, todos os capacitores sofrerão variações semelhantes. Como os coeficientes dos filtros a capacitores chaveados são exclusivamente expressos em função de razões entre capacitores [2], [3], ou seja, valores

relativos de capacitores, técnicas de *layout* devem ser empregadas de forma a promover o melhor casamento dos componentes.

Portanto, a aplicação de um método que seja capaz de mensurar a precisão obtida nas razões entre capacitâncias seria essencial para determinar a qualidade do produto fornecido pelas empresas, e se esse produto também atende às especificações inicialmente impostas.

1.3 – Justificativa

Os projetistas são os grandes responsáveis pelo casamento dos capacitores em um circuito integrado, fato esse que despende grande quantidade de tempo. Essa nova forma de medição viabiliza o estudo de novas estratégias para a organização dos capacitores em um circuito integrado, de maneira a reduzir os erros de fabricação inerentes ao processo CMOS. Atualmente, em virtude das técnicas de layout mais utilizadas, tipicamente a centróide comum, a precisão gira em torno de 0.1% [1].

A utilização dos filtros estruturalmente passa-tudo a capacitores chaveados nas medições também proporcionará certas vantagens. A principal delas está relacionada ao fato desses filtros terem a capacidade de produzir zeros de transmissão muito bem definidos, mesmo na ocorrência de variações no processo, possibilitando uma medição bastante precisa. Como o posicionamento do zero de transmissão será função de uma razão entre capacitâncias, a partir do valor medido para a freqüência do zero de transmissão, será possível determinar o erro de realização das razões.

Tendo em vista o grande número de aplicações, especialmente na área de instrumentação, esse novo método proporcionará uma maior eficiência, precisão e agilidade na medição das razões de capacitâncias. Além disso, poderá ser utilizado como ferramenta de teste experimental para o desenvolvimento de novas estratégias que possibilitariam a redução dos erros típicos apresentados pelo processo de fabricação CMOS.

1.4 – Objetivo

O trabalho proposto visa atender a uma das principais dificuldades no projeto de circuitos analógicos: manter as especificações inicialmente fornecidas, mesmo que existam erros aleatórios que irão promover variações nos valores absolutos dos componentes.

Após a fabricação do circuito integrado de medição das razões de capacitâncias, espera-se que este apresente resultados satisfatórios, ou seja, tenha a capacidade de fornecer os erros de implementação das razões de capacitâncias de maneira simples e com alta precisão. Além disso, que possibilite a sua utilização no estudo de novas formas de organização dos capacitores para compensar erros inerentes ao processo de fabricação. Isso iria auxiliar os projetistas de circuitos analógicos de maneira a oferecer um produto mais robusto a variações no processo e que atenda às especificações de forma eficaz.

1.5 – Metodologia

A pesquisa foi realizada de forma que as topologias das estruturas escolhidas - chaves analógicas e amplificadores - forneçam o menor erro possível para que, assim, se possa determinar o valor real dos erros de implementação.

No caso dos amplificadores, será apresentado inicialmente um modelo Verilog-A, que descreve o comportamento funcional do amplificador. Assim, a partir da sua resposta, será possível dimensionar os transistores. Essa estratégia é responsável por agilizar o projeto dos amplificadores, poupando tempo.

Além disso, outra importante escolha foi no tipo de filtro que seria utilizado. A estrutura de medição será composta por um arranjo de filtros estruturalmente passa-tudo. Essa composição possibilitará o aparecimento de zeros de transmissão muito bem definidos e que dependerão unicamente dos valores relativos de capacitâncias. Esse tipo de filtro, conhecido como filtro *Notch*, é amplamente utilizado em aplicações onde se torna necessária a remoção de um componente de freqüência do sinal.

Durante o trabalho serão vistas as diferentes topologias de chaves analógicas, incluindo as vantagens e possíveis desvantagens ao serem empregadas. Também serão mostradas simulações que comprovam a sua eficiência.

1.6 – Descrição

No Capítulo 2 será apresentada uma introdução aos tipos de sinais e aos filtros a capacitores chaveados, visando explicar melhor suas principais vantagens, aplicações e formas de análise.

O Capítulo 3 apresenta os filtros passa-tudo e filtros estruturalmente passa-tudo esclarecendo as suas diferenças básicas e a parte teórica envolvida.

Com a parte teórica já bem desenvolvida, no Capítulo 4 o assunto se estenderá aos filtros de 2^a ordem passa-tudo a capacitores chaveados culminando no filtro que será utilizado no projeto.

No Capítulo 5, será iniciado o projeto dos componentes do filtro resultante. Esse será concentrado no projeto das chaves analógicas e dos amplificadores. Inicialmente, serão mostradas as diferentes topologias de chaves analógicas e suas características. Logo após, serão tratados os amplificadores. O capítulo será encerrado com o desenvolvimento dos *layouts* e resultados obtidos fazendo uma comparação com os resultados teóricos já anteriormente apresentados.

Assim, será elaborada uma conclusão tendo em vista o propósito inicial do projeto e os resultados.

Capítulo 2

Filtros a Capacitores Chaveados

Os filtros a capacitores chaveados se tornaram extremamente populares na implementação de circuitos analógicos para processamento de sinais. O fato de apresentarem uma resposta em freqüência bastante precisa [5] e possibilitarem a implementação de circuitos que antes seriam inviáveis devido às dimensões dos componentes - especialmente resistores e capacitores -, proporcionaram um aumento significativo na sua utilização.

Como neste projeto será empregado um filtro a capacitores chaveados, esse capítulo será unicamente destinado a um estudo mais elaborado deste tipo de estrutura. Serão apresentadas as vantagens na sua utilização além de uma análise dos principais tipos de circuitos.

Os filtros a capacitores chaveados irão processar sinais analógicos a dados amostrados, ou seja, diferentemente dos filtros digitais, não irão operar com sinais discretos em amplitude. Com a finalidade de esclarecer essas diferenças, a subseção seguinte irá tratar dos diferentes tipos de sinais fornecendo, portanto, uma base teórica sólida para a análise dos circuitos que serão apresentados a seguir.

2.1 – Tipos de Sinais

Um sinal pode ser definido como uma função e pode ser classificada nos três tipos apresentados na Fig. 2.1. A variável no eixo vertical, a variável dependente, é uma quantidade física – temperatura, voltagem, corrente, carga elétrica, etc.- enquanto a variável no eixo horizontal, conhecida como independente, é na maioria das vezes o tempo. Porém, pode apresentar outras dimensões.

Um sinal contínuo no tempo será aquele que poderá apresentar quaisquer valores em um intervalo continuamente definido no eixo horizontal. Pode ser descrito por uma função contínua, onde a variável independente geralmente é o tempo.

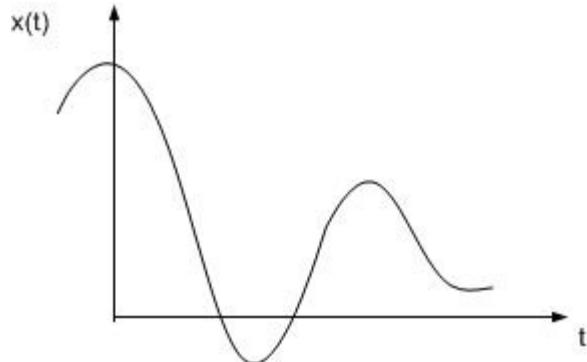
$$x(t) \quad (2.1)$$

Um sinal discreto no tempo é representado matematicamente por uma seqüência de números reais, sendo definidos apenas em instantes de tempo específicos. Nos demais instantes esse sinal não possui valores definidos. Suas aplicações podem ser vistas em diferentes áreas e situações – consumo mensal ou diário de energia, temperatura em uma região, PIB anual dos países. Esses sinais são comumente obtidos amostrando os sinais contínuos em intervalos de tempo constantes.

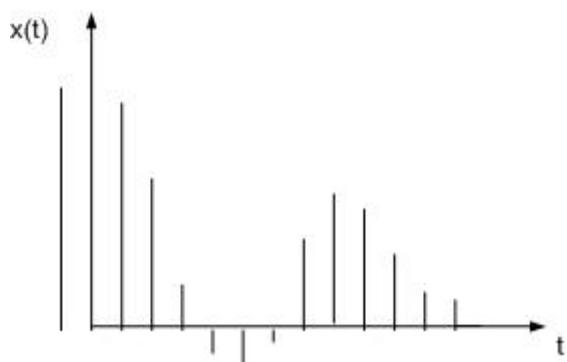
$$x[n] = x(nT), \text{ onde } n = 0, 1, 2, 3, \dots \quad (2.2)$$

Onde T , responsável pelo espaçamento entre as amostras, é conhecido como período de amostragem. Um exemplo de sinal discreto é exibido na Fig. 2.1(b).

Existe ainda outro tipo de sinal que pode ser considerado um caso intermediário entre os sinais contínuos e discretos. Os sinais *sampled-and-held*, também conhecidos na literatura como sinais amostrados e retidos, são caracterizados por descontinuidades periódicas produzidas por um circuito *sample-and-hold* (S/H), amplamente utilizados em instrumentação eletrônica.



(a) Sinal Contínuo no Tempo.



(b) Sinal Discreto no Tempo.

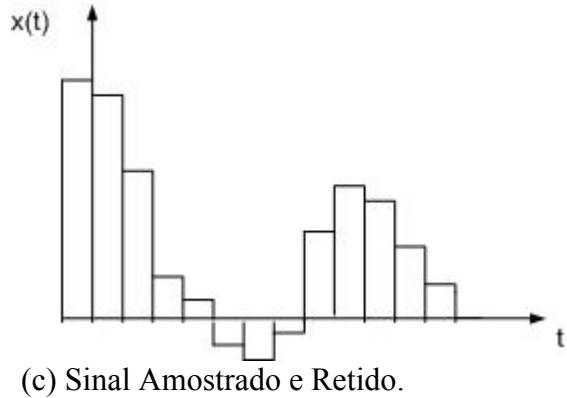


Figura 2.1-Representação dos Sinais.

Além dessa classificação, os sinais podem ainda ser classificados como analógicos ou digitais.

Os sinais analógicos são definidos como funções que podem assumir qualquer valor real em qualquer instante de tempo dentro de um intervalo continuamente definido. Alguns exemplos de sinais analógicos são voz, áudio, radar e sinais de instrumentação gerados por transdutores, dentre outros. Em todos os casos, é necessário um processamento de forma a eliminar o ruído inerente aos sinais para que seja possível extrair alguma informação relevante.

Os sinais digitais são sinais discretos no tempo, obtidos a partir da discretização em amplitude e representação em um código binário, onde o número de bits depende da acurácia desejada, de um sinal discreto no tempo. Portanto, o sinal digital é caracterizado por ser discreto não só no tempo, como também na amplitude.

2.2 – Análise de Filtros a Capacitores Chaveados

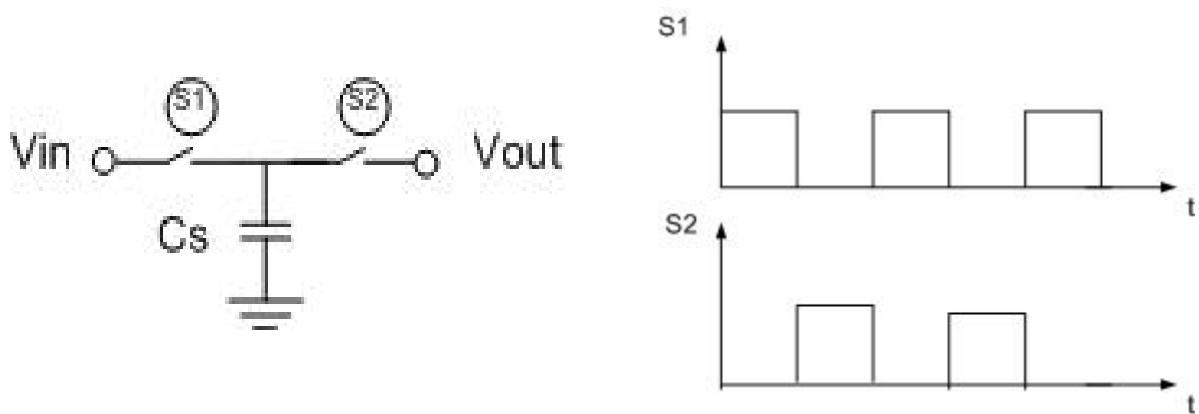
Inicialmente, o projeto de filtros analógicos consistia na utilização de elementos passivos, ou seja, resistores, capacitores e indutores. Contudo, algumas características dos indutores como a dificuldade em projetá-los de forma a apresentar baixas perdas em baixas freqüências e o tamanho que viriam a apresentar [7] impediram a sua aplicação a circuitos integrados. Com isso, os filtros analógicos passaram a ser fabricados utilizando elementos RC.

Uma grande vantagem da aplicação de filtros utilizando elementos RC foi a redução considerável do tamanho do circuito, em relação ao correspondente RLC. Todavia, este tipo de filtro ainda iria apresentar algumas desvantagens.

Como exemplo, pode ser considerado o caso de processamento de voz (0 – 4 kHz) [5]. Para a obtenção dos pólos os capacitores necessários seriam da ordem de 10 pF, já considerados de valor elevado, porém ainda de implementação viável, e resistores da ordem de 10 M Ω . Estes ocupariam uma área extremamente grande inviabilizando a fabricação do circuito integrado em aplicações comerciais.

Além disso, uma das principais dificuldades, quando é considerado o processo de fabricação CMOS, é a obtenção de valores absolutos dos componentes com precisão. Em um circuito desse tipo, o erro devido ao processo de fabricação pode promover uma variação de cerca de 20% da constante de tempo RC do circuito, o que dificilmente seria tolerado em um projeto de circuito analógico.

Baseado nessas desvantagens, era necessária a elaboração de um novo método capaz de atender as especificações de forma correta e viabilizar o projeto de filtros analógicos em circuito integrado. Um dos métodos capazes de solucionar esse problema surgiu em alguns trabalhos publicados a partir dos anos 70 por Young [12], Caves [11], Fried [10], dentre outros. A idéia, ilustrada na Fig. 2.2(a), é baseada na utilização de capacitores e chaves analógicas.



(a) Representação de capacitores e chaves.

(b) Período de fechamento das chaves.

Figura 2.2-Idéia geral dos filtros a capacitores chaveados.

As chaves analógicas são construídas a partir de transistores MOS. No entanto, alguns efeitos como injeção de carga e *clock feedthrough* podem influenciar no resultado final levando a valores incorretos. Esses efeitos, bem como a forma de resolvê-los serão discutidos com mais profundidade no Capítulo 5.

Quanto ao período de fechamento das chaves, deve ser garantido que as chaves atuem de forma complementar, ou seja, quando a chave S_1 estiver fechada, a chave S_2 estará aberta e vice versa. Em nenhuma hipótese deve-se permitir o acionamento das duas chaves de forma simultânea.

Agora, cabe analisar o circuito mostrado na Fig. 2.2(a) de forma a compreender o método de solução empregado. A análise é baseada na transferência de carga elétrica promovida pelo capacitor C_s . Durante o fechamento da chave S_1 , o capacitor será carregado com a tensão presente na entrada

$$q_i = C_s V_{in}. \quad (2.3)$$

Logo após, durante o fechamento da chave S_2 , a carga final do capacitor será dada pela relação entre a capacitância e a tensão de saída

$$q_f = C_s V_{out}. \quad (2.4)$$

Com isso, a variação de carga elétrica será dada pela capacitância C_s e pela diferença de tensão

$$\Delta Q = q_f - q_i = C_s (V_{out} - V_{in}). \quad (2.5)$$

Como a corrente elétrica é definida pela relação entre as variações de carga e tempo, a corrente média que flui pelo circuito é dada por

$$i = \frac{\Delta Q}{T} = \frac{C_s (V_{out} - V_{in})}{T}. \quad (2.6)$$

Considerando agora um simples caso de um resistor em um circuito a corrente pode ser definida pela expressão

$$i = \frac{(V_{out} - V_{in})}{R_{eq}}. \quad (2.7)$$

Portanto, caso a igualdade

$$R_{eq} = \frac{T}{C_s} \quad (2.8)$$

seja confirmada, o circuito composto apenas por capacitores e chaves pode substituir um resistor em um circuito integrado. Isto é, os circuitos resultantes poderiam ser empregados utilizando apenas chaves analógicas, capacitores e amplificadores operacionais.

Algumas vantagens podem ser observadas ao utilizar essa implementação. A primeira delas é relacionada à precisão da constante de tempo do circuito. Anteriormente, foi visto que em um circuito composto por elementos passivos a constante de tempo era dada por RC . Porém, a dificuldade na fabricação de componentes com valores absolutos precisos produzia uma variação que poderia não atender as especificações fornecidas.

Com a utilização dos filtros a capacitores chaveados, a constante de tempo do circuito será dada por TC/C_s , ou seja, o valor dependerá do período de chaveamento e da razão entre capacitores. Como a razão entre capacitâncias pode ser implementada com uma precisão de até 0.1% [1], dependendo da estratégia adotada pelo projetista, o filtro se tornaria mais robusto a erros aleatórios promovidos pelo processo.

Além disso, outra vantagem está relacionada ao tamanho final do circuito. Ao substituir os resistores por chaves analógicas e capacitores, que ocupam área de silício menor, haverá uma redução da área necessária para fabricação. Como o custo do projeto está diretamente relacionado à área de silício ocupada, esse possuiria menor custo e, consequentemente, o produto se tornaria mais barato ao ser comercializado.

Porém, os filtros a capacitores chaveados também possuem desvantagens, como, por exemplo, a injeção de cargas [7], que deve ser contornada para que o circuito atenda as expectativas e funcione de maneira adequada. A estratégia comumente utilizada é a aplicação de transistores *dummy* que voltarão a ser mencionados durante o projeto.

A seguir serão mostrados os principais blocos que compõem os circuitos a capacitores chaveados. Além disso, serão apresentadas suas respectivas análises, com auxílio da Transformada Z, visando uma maior compreensão do filtro que será apresentado posteriormente.

2.3 – Projeto dos Atrasadores

Os atrasadores constituem um bloco indispensável no projeto dos filtros a capacitores chaveados. Durante o projeto, foi utilizado o bloco presente na Fig. 2.3. Esse bloco, também conhecido como seções em cascata, é caracterizado pela presença de dois *buffers*, com capacitações iguais, capazes de promover um atraso de $T/2$ no circuito, onde T é o período de chaveamento.

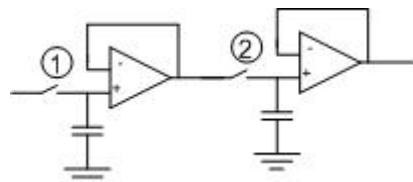


Figura 2.3- Atrasadores, seção em cascata.

Todavia, existem outras estruturas capazes de gerar atrasos, uma delas é mostrada na Fig. 2.4. O fato de essa estrutura ser baseada numa técnica de multiplexação no tempo proporcionará uma redução de até 50% no número de amplificadores, em comparação com as seções em cascata. Além disso, esse bloco também é capaz de apresentar dois atrasos distintos, dependendo da fase que será aplicada na saída.

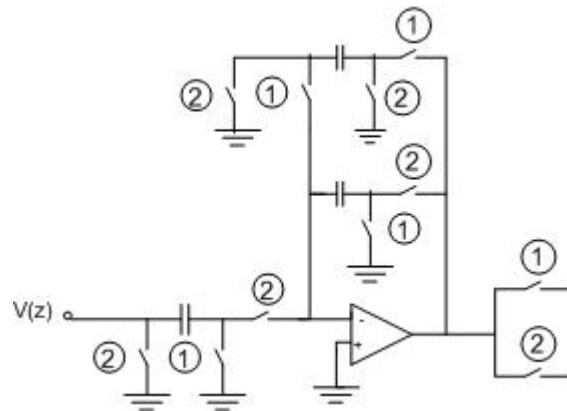


Figura 2.4-Atrasadores utilizando multiplexação no tempo.

2.4 – Projeto dos Somadores

Os somadores são blocos que desempenham uma função fundamental para obtenção de uma função de transferência em um filtro a capacitores chaveados. Na Fig. 2.5(a) é mostrado um somador típico utilizado em projetos.

Durante a fase 1, que pode ser vista na Fig. 2.5(b), a tensão no capacitor C_a será dada pela soma da tensão na entrada com um valor de tensão previamente obtido durante a fase 2

$$V_{Ca}^{''1''} = V_{in} + V_{Ca}^{''2''} z^{-1/2}. \quad (2.9)$$

Porém, durante a fase 2 o capacitor C_a será totalmente descarregado e, como consequência, esse termo será nulo

$$V_{Ca}^{''2''} z^{-1/2} = 0. \quad (2.10)$$

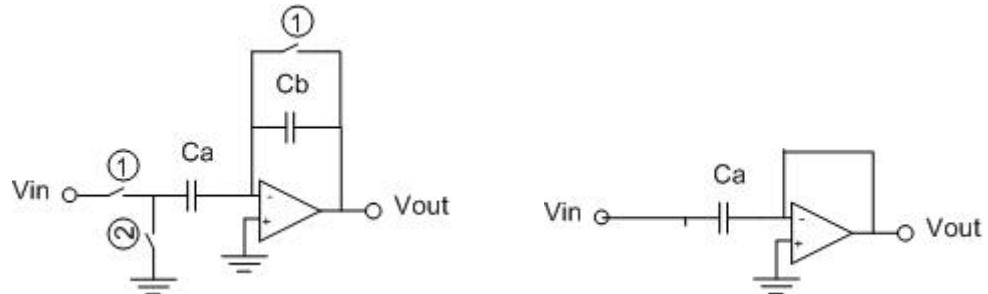
Ao analisar a saída pode-se perceber que durante a fase 1 há um curto com o terra virtual fornecendo, portanto, uma saída nula

$$V_{out}^{''1''} = 0. \quad (2.11)$$

Durante a fase 2, o capacitor C_a está inicialmente carregado. De forma a facilitar a análise, C_a será representado por um modelo de uma fonte de tensão e um capacitor descarregado, conforme pode ser visto na Fig. 2.5(c). Com isso, a tensão presente no capacitor C_b , e consequentemente na saída, será dada pela tensão previamente obtida durante a fase 1 pelo capacitor C_a , ou seja,

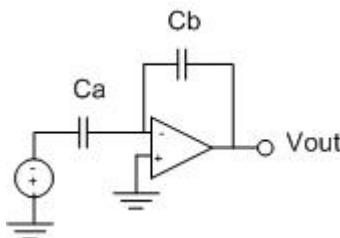
$$V_{Cb}^{''2''} = V_{out}^{''2''} = \frac{C_a}{C_b} V_{Ca}^{''1''} z^{-1/2}, \quad (2.12)$$

$$V_{out}^{''2''} = \frac{C_a}{C_b} V_{in} z^{-1/2}. \quad (2.13)$$



(a) Somador a Capacitor Chaveado.

(b) Somador Durante a Fase 1.



(c) Somador Durante a Fase 2.

Figura 2.5-Análise do Somador a Capacitor Chaveado.

Dessa forma, podem ser obtidos os coeficientes de um filtro através da relação C_a/C_b . Contudo, alguns filtros irão apresentar coeficientes negativos, impossibilitando a utilização dessa estrutura. Quando há apenas a troca das chaves iniciais, conforme ilustrado na Fig. 2.6(a), a fase 1 será responsável pelo descarregamento do capacitor C_a e novamente fornecerá uma saída zero em virtude do terra virtual, Fig. 2.6(b). Durante a fase 2, o circuito apresentará uma tensão na saída que será dada por

$$V_{out}^{''2''} = -\frac{C_a}{C_b} V_{in}, \quad (2.14)$$

gerando, portanto, os coeficientes negativos do filtro, como visto na Fig. 2.6(c).

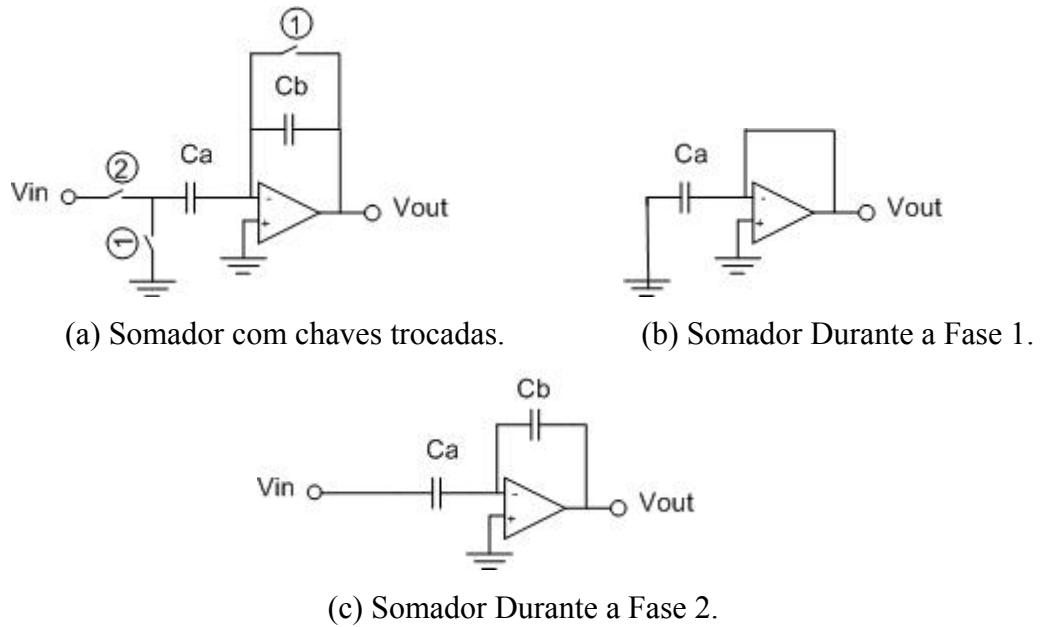


Figura 2.6-Análise do Somador com Chaves Invertidas.

Esse tipo de estrutura não é exclusiva para a implementação dos somadores. Na Fig. 2.7 é mostrado outro circuito capaz de realizar as mesmas funções desempenhadas pelos circuitos anteriores. Da mesma forma que o somador da Fig. 2.5(a), nessa estrutura o efeito do descasamento entre os capacitores também irá provocar alterações na banda de rejeição do filtro. Porém, no circuito mostrado abaixo o efeito do descasamento é bastante pequeno na faixa de passagem [8], tornando esse circuito mais robusto a variações de processo.

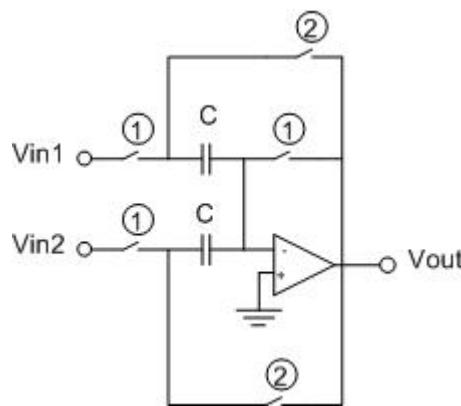


Figura 2.7- Outra Estrutura de um Somador.

2.5 – Integrador a Capacitores Chaveados

Os integradores a capacitores chaveados são estruturas básicas no estudo desse tipo de circuito. Inicialmente mostrado na Fig. 2.8(a) está a sua formação tradicional, com resistores e capacitores. Conforme já foi mostrado, é possível a substituição do resistor por chaves analógicas e capacitores. A Fig. 2.8(b) mostra a versão a capacitores chaveados do mesmo integrador na Fig. 2.8(a).

A fase 1 será responsável pelo carregamento do capacitor C_a . Durante essa fase, representada na Fig. 2.8(c), a tensão presente nesse capacitor será dada pela tensão da entrada somada com uma tensão pré-existente

$$V_{Ca}^{''1''} = V_{in} + V_{Ca}^{''2''} z^{-1/2}. \quad (2.15)$$

Contudo, esse capacitor será totalmente descarregado durante a fase 2 anulando esse termo

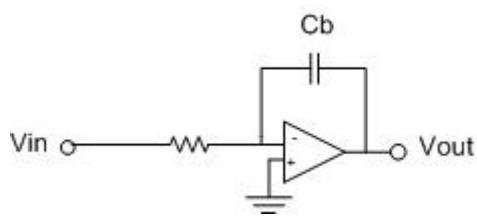
$$V_{Ca}^{''2''} z^{-1/2} = 0. \quad (2.16)$$

A tensão presente no capacitor C_b será o valor previamente obtido na fase 2

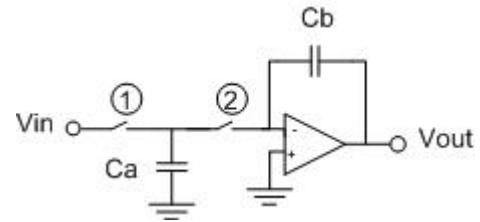
$$V_{Cb}^{''1''} = V_{Cb}^{''2''} z^{-1/2}. \quad (2.17)$$

Durante a fase 2, como pode ser visto na Fig. 2.8(d), a carga presente no capacitor C_a será totalmente transferida para o capacitor C_b . O valor da tensão presente no capacitor C_b durante a fase 2 será dado pela subtração da tensão já existente da fase anterior com o valor contido em C_a , multiplicado pela razão entre os capacitores do circuito:

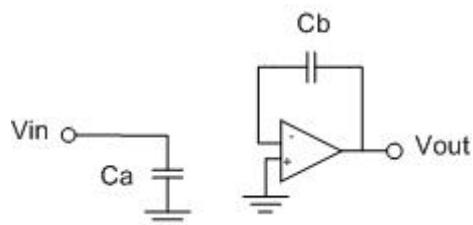
$$V_{Cb}^{''2''} = V_{Cb}^{''1''} z^{-1/2} - \frac{C_a}{C_b} V_{Ca}^{''1''} z^{-1/2}. \quad (2.18)$$



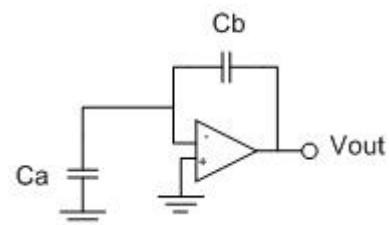
(a) Integrador utilizando resistor.



(b) Integrador a Capacitor Chaveado



(c) Integrador durante a Fase 1.



(d) Integrador durante a Fase 2.

Figura 2.8- Análise do Integrador a Capacitor Chaveado.

Combinando (2.15) - (2.18) e concluindo que a tensão na saída será dada pela tensão no capacitor C_b durante a fase 2, obtém-se

$$V_{Cb}^{''2''} = V_{out} = -\frac{C_a}{C_b} \frac{z^{-1}}{1 - z^{-1}} V_{in}. \quad (2.19)$$

A partir disso pode ser confirmado que a função de transferência dada pelo circuito corresponde a de um integrador discreto no tempo.

Portanto, este capítulo foi responsável por fornecer uma base teórica que será extremamente útil quando for apresentado o filtro utilizado no projeto. Foram consideradas as principais estruturas a capacitores chaveados de forma a familiarizar o leitor não só com o tipo de circuito, como também com a maneira correta de analisá-los. O capítulo a seguir também possui esse objetivo. Serão tratados os filtros passa-tudo para que, no Capítulo 4, seja apresentado o filtro resultante.

Capítulo 3

Filtros Passa-Tudo

Em diversas aplicações voltadas para processamento de sinais, o projetista deve determinar a função de transferência de um filtro baseado em restrições como seletividade e sua resposta de fase. Após determinar a função de transferência, cabe também ao projetista a escolha da estrutura que será adotada na realização do filtro.

Um tipo de estrutura que passou a ser bastante utilizada foi o bloco que desempenha a função passa-tudo. Este bloco é caracterizado por possuir valor de magnitude unitária para todas as freqüências, pequenas perdas, além de um baixo coeficiente de sensibilidade [6]. Essas características possibilitaram a sua aplicação na solução de diversos problemas relacionados ao projeto de filtros digitais.

Uma das suas principais aplicações está relacionada à equalização de fase. Em muitos casos, durante o projeto de filtros, há certa omissão relacionada à resposta de fase do filtro resultante. Parte dessa omissão é justificada pelo fato do ouvido humano ser pouco sensível a variações na fase. Contudo, em transmissão digital, as variações na fase causadas pelos filtros empregados na extração da informação contida no sinal irão provocar uma distorção de fase que não poderá ser ignorada [9].

De forma a equalizar o atraso, blocos passa-tudo são amplamente utilizados. Quando conectados em série com o filtro, conforme visto na Fig. 3.1, a resposta de magnitude no domínio da freqüência,

$$|H(e^{j\omega})| = |G(e^{j\omega})| |A(e^{j\omega})|, \quad (3.1)$$

permanecerá inalterada, pois

$$|A(e^{j\omega})| = 1, \quad (3.2)$$

resultando

$$|H(e^{j\omega})| = |G(e^{j\omega})|. \quad (3.3)$$

No entanto, a simples inserção do bloco, cuja resposta de fase será determinada pelos coeficientes do passa-tudo, proporcionará um atraso de grupo aproximadamente constante na faixa de freqüência de interesse [13].



Figura 3.1 - Diagrama de blocos resultante de um sistema de equalização de fase, onde $A(z)$ representa o equalizador passa-tudo.

Além da equalização de fase, os filtros passa-tudo possuem outras aplicações que merecem destaque. Por exemplo, podem ser citadas a capacidade de implementação de funções de transferência, de ordem ímpar¹, a partir da soma de funções passa-tudo e a elaboração de funções de transferência complementares [13].

Este capítulo será totalmente destinado a uma análise teórica dos filtros passa-tudo. Serão tratadas suas principais propriedades além de esclarecer as diferenças entre os filtros passa-tudo e os estruturalmente passa-tudo. Posteriormente, serão vistos com mais detalhes os filtros *Notch* e a implementação de filtros a partir da soma de blocos passa-tudo, que servirão como base para a compreensão do filtro que será apresentado no Capítulo 4.

3.1 – Filtros Passa-Tudo e Estruturalmente Passa-Tudo

Um filtro passa-tudo pode ser caracterizado pela sua resposta em freqüência $A(e^{j\omega})$. Sua principal característica é o fato de possuir um valor de magnitude unitário para todas as freqüências, isto é,

$$|A(e^{j\omega})|^2 = 1, \quad \text{para todo } \omega. \quad (3.4)$$

Outro fato que merece destaque é o posicionamento dos pólos e zeros da sua função de transferência. A função que descreve um passa-tudo é dada por:

¹ Em funções de transferência de ordem par também pode ser aplicada essa técnica, desde que sejam permitidos coeficientes complexos nos polinômios do numerador e denominador.

$$A(z) = \frac{a_0 + a_1 z^{-1} + \cdots + a_n z^{-n}}{a_n + a_{n-1} z^{-1} + \cdots + a_0 z^{-n}}. \quad (3.5)$$

Considerando apenas o denominador da função $A(z)$,

$$D(z) = a_n + a_{n-1} z^{-1} + \cdots + a_0 z^{-n}, \quad (3.6)$$

a seguinte igualdade pode ser obtida:

$$A(z) = \frac{z^{-n} D(z^{-1})}{D(z)}. \quad (3.7)$$

Portanto, os coeficientes do numerador e do denominador de funções passa-tudo são os mesmos, porém ocorrem de forma invertida, isto é, caso um coeficiente seja, por exemplo, o termo independente no numerador será o termo que multiplicará o maior atraso no denominador. Como consequência, seus pólos e zeros ocorrem em pares conjugados recíprocos.

Para uma estrutura típica da função passa-tudo (3.5), pode ser demonstrado que a sua resposta em magnitude é unitária para todas as freqüências. Considerando o caso particular de um filtro passa-tudo de primeira ordem

$$A(z) = \frac{a_1 + a_0 z^{-1}}{a_0 + a_1 z^{-1}}, \quad (3.8)$$

a sua resposta em freqüência é dada por:

$$A(e^{j\omega}) = \frac{a_1 + a_0 e^{-j\omega}}{a_0 + a_1 e^{-j\omega}}. \quad (3.9)$$

Agora, cabe determinar a resposta em freqüência para o conjugado da função $A(z)$. Contudo, a partir da igualdade

$$A(e^{-j\omega}) = A^*(e^{j\omega}), \quad (3.10)$$

Assumindo que os coeficientes a_0 e a_1 são reais, então a resposta em freqüência do conjugado da função será

$$A(e^{-j\omega}) = \frac{a_1 + a_0 e^{j\omega}}{a_0 + a_1 e^{j\omega}}. \quad (3.11)$$

Ao realizar a multiplicação entre (3.9) e (3.11), obtém-se

$$|A(e^{j\omega})|^2 = \frac{a_0^2 + a_0 a_1 (e^{j\omega} + e^{-j\omega}) + a_1^2}{a_0^2 + a_0 a_1 (e^{j\omega} + e^{-j\omega}) + a_1^2} = 1, \quad (3.12)$$

confirmando, portanto, a validade de (3.4).

Já apresentadas as principais características das funções passa-tudo, cabe abordar algumas de suas propriedades. A primeira delas pode ser obtida a partir da definição de funções passa-tudo (3.5). Como uma função passa-tudo estável possui todos os pólos no interior do círculo de raio unitário e todos os zeros fora desse círculo e, além disso, apresenta valor de magnitude unitário ao longo do círculo, pode ser deduzido que

$$|A(z)| = \begin{cases} < 1 & \text{para } |z| > 1 \\ = 1 & \text{para } |z| = 1 \\ > 1 & \text{para } |z| < 1. \end{cases} \quad (3.13)$$

Outra propriedade é baseada na variação da resposta de fase nos filtros passa-tudo ao longo da faixa de freqüência de interesse $\omega \in [0, \pi]$. O atraso de grupo da função passa-tudo $A(z)$, pode ser definido por

$$\tau(\omega) = -\frac{d}{d\omega}[\theta_c(\omega)], \quad (3.14)$$

onde $\theta_c(\omega)$ é uma função contínua de fase obtida a partir da relação $\theta(\omega) = \arg \{A(e^{j\omega})\}$. Como a função de fase $\theta_c(\omega)$ é uma função monotonicamente decrescente de ω , então $\tau(\omega)$ é sempre positiva no intervalo $0 < \omega < \pi$ [13]. Com isso, a função de transferência de um filtro passa-tudo estável de enésima ordem satisfaz à propriedade

$$\int_0^\pi \tau(\omega) d\omega = N\pi. \quad (3.15)$$

Ou seja, a variação total de fase de uma função passa-tudo de enésima ordem, quando ω está no intervalo entre 0 e π , é dada por $N\pi$ radianos.

Tendo em vista as definições e as propriedades dos filtros passa-tudo, será agora abordada a topologia estruturalmente passa-tudo. De forma a compreender melhor as vantagens dessa forma de representação, a análise será feita a partir do exemplo apresentado em (3.8). Considerando o filtro com valor $a_0 = 1$,

$$A(z) = \frac{V_{out}(z)}{V_{in}(z)} = \frac{a + z^{-1}}{1 + az^{-1}}, \quad (3.16)$$

onde o valor de a será implementado, neste projeto, a partir de uma razão entre capacitâncias. A realização dessa função de transferência é apresentada no diagrama de blocos da Fig. 3.2.

Como pode ser observado na Fig. 3.2, há dois elementos de ganho distintos com o mesmo valor a , ou seja, os coeficientes do numerador e denominador, apesar de possuírem o mesmo valor, não são implementados pela mesma razão de capacitâncias. Devido a variações no processo de fabricação, essas razões irão apresentar erros aleatórios, tornando ligeiramente diferentes os coeficientes do numerador e do denominador e fazendo com que o filtro não se comporte como um filtro passa-tudo.

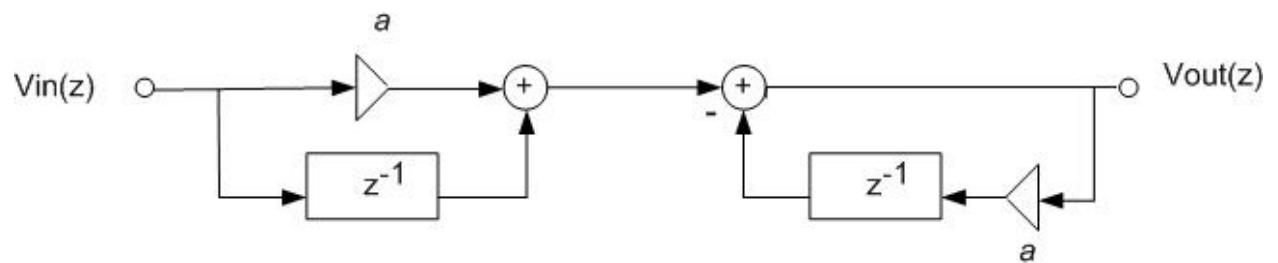


Figura 3.2 – Diagrama de blocos de um filtro passa-tudo de primeira ordem.

A topologia estruturalmente passa-tudo tem como objetivo fazer com que o valor dos coeficientes seja fornecido por uma única razão entre capacitâncias, ou seja, por um único elemento de ganho. A idéia geral é baseada no rearranjo da função de transferência. A partir de (3.16), pode ser feita a seguinte mudança:

$$V_{out}(z) + aV_{out}(z)z^{-1} = aV_{in}(z) + V_{in}(z)z^{-1}. \quad (3.17)$$

Representando a equação acima a partir de sua equação a diferenças e colocando o coeficiente a em evidência:

$$V_{out}[n] + aV_{out}[n-1] = aV_{in}[n] + V_{in}[n-1], \quad (3.18)$$

$$V_{out}[n] = a(V_{in}[n] - V_{out}[n-1]) + V_{in}[n-1]. \quad (3.19)$$

Obtém-se o diagrama de blocos da Fig. 3.3 com a nova topologia estruturalmente passa-tudo. Pode ser visto que os coeficientes do numerador e do denominador são obtidos a partir de um único multiplicador, ou seja, uma única razão entre capacitâncias. Dessa forma, mesmo que ocorram erros de implementação na razão de capacitâncias, tanto o numerador quanto o denominador sofrerão variações iguais, promovendo a manutenção das características do filtro passa-tudo.

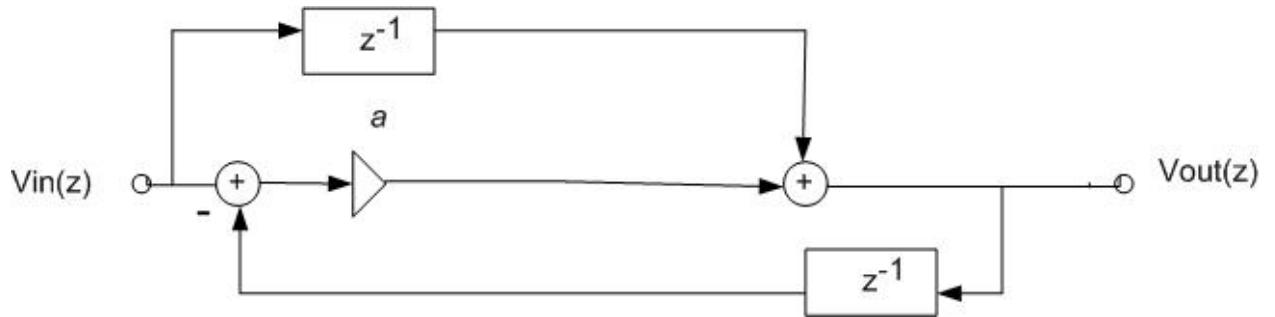


Figura 3.3 – Diagrama de blocos de um filtro estruturalmente passa-tudo.

Portanto, a técnica consiste no rearranjo das funções de transferências de forma que os termos que dependem de um mesmo coeficiente sejam colocados separados dos demais. A partir daí, esses coeficientes serão dados por uma única razão entre capacitâncias, preservando as características esperadas de um filtro passa-tudo mesmo na ocorrência de variações no processo de fabricação.

3.2 – Representação de Funções de Transferência pela Soma de Blocos Passa-Tudo

Uma das aplicações mais interessantes dos filtros passa-tudo, com coeficientes reais, é a sua capacidade de implementar filtros passa-baixa de *Butterworth*, *Chebyshev* tipos I e II, e elíptico, desde que sejam de ordem ímpar. A técnica consiste na decomposição da função a partir da soma de dois filtros passa-tudo, ou seja,

$$H(z) = \frac{1}{2}(A_1(z) + A_2(z)), \quad (3.20)$$

onde a ordem de $A_1(z)$ somada com a ordem de $A_2(z)$ resulta na ordem do filtro inicial. Vale ressaltar que a diferença entre as ordens de $A_1(z)$ e $A_2(z)$ deve ser igual a um.

Para realizar a decomposição, serão necessários o diagrama de pólos e zeros e a estrutura típica de um filtro passa-tudo apresentada em (3.5). Considerando o caso de um filtro de ordem cinco, este poderá ser dividido em um filtro de ordem três e outro de ordem dois

$$A_1(z) = \frac{a_0 + a_1z^{-1} + a_2z^{-2} + a_3z^{-3}}{a_3 + a_2z^{-1} + a_1z^{-2} + a_0z^{-3}}, \quad (3.21)$$

$$A_2(z) = \frac{b_0 + b_1z^{-1} + b_2z^{-2}}{b_2 + b_1z^{-1} + b_0z^{-2}}. \quad (3.22)$$

Na Fig. 3.4(a) é ilustrado um diagrama de pólos e zeros de um filtro elíptico de quinta ordem.

Sejam p_1 , p_1^* , p_2 , p_2^* , p_3 os pólos da função $H(z)$, a técnica é ilustrada nas Figs. 3.4(b) e (c). Para o filtro $A_1(z)$, serão utilizados os pólos p_1 , p_1^* e p_3 , enquanto que para o filtro $A_2(z)$, os pólos p_2 , p_2^* . Assim, os filtros serão obtidos a partir dos pólos da função inicial, porém com a sua utilização de forma intercalada.

Portanto, a função de transferência do filtro passa-tudo de ordem dois será dado pela expressão:

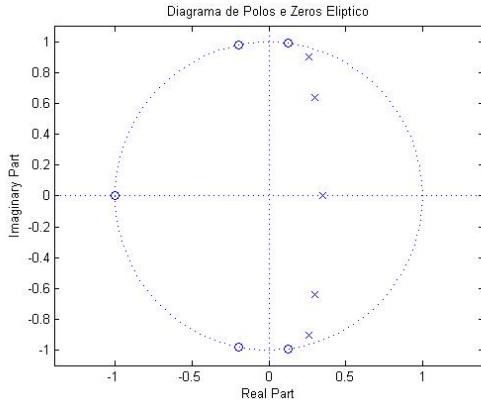
$$A_2(z) = \frac{Num(z)}{Den(z)}. \quad (3.23)$$

Como os pólos da função já são conhecidos, o denominador de $A_2(z)$ será

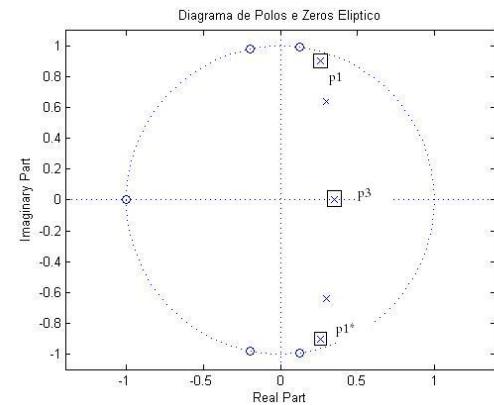
$$A_2(z) = \frac{Num(z)}{(1 - p_2 z^{-1})(1 - p_2^* z^{-1})}. \quad (3.24)$$

Desenvolvendo a expressão obtida no denominador e, partindo da propriedade de filtros passa-tudo (3.7), pode-se determinar os coeficientes do numerador. Assim, o resultado obtido para o segundo filtro será dado por:

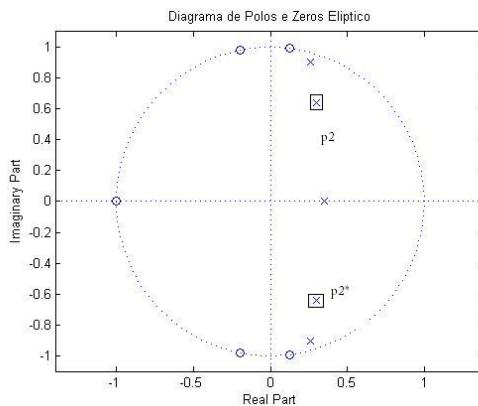
$$A_2(z) = \frac{|p_2|^2 - 2Re\{p_2\}z^{-1} + z^{-2}}{1 - 2Re\{p_2\}z^{-1} + |p_2|^2 z^{-2}}. \quad (3.25)$$



(a) Diagrama de Pólos e Zeros.



(b) Pólos utilizados para o filtro $A_1(z)$.



(c) Pólos utilizados para o filtro $A_2(z)$.

Figura 3.4 – Diagrama de Pólos e Zeros usados para determinação dos passa-tudo.

Procedimento semelhante será empregado para a obtenção do filtro de ordem três. Para $A_1(z)$, o denominador da expressão será,

$$Den(z) = (1 - p_1 z^{-1})(1 - p_1^* z^{-1})(1 - p_3 z^{-1}), \quad (3.26)$$

$$Den(z) = 1 - z^{-1}(2Re\{p_1\} + p_3) + z^{-2}(|p_1|^2 + 2Re\{p_1\}p_3) - |p_1|^2 p_3 z^{-3}. \quad (3.27)$$

Dessa forma, o filtro $A_1(z)$ é dado por:

$$A_1(z) = \frac{-|p_1|^2 p_3 + (|p_1|^2 + 2Re\{p_1\}p_3)z^{-1} - (2Re\{p_1\} + p_3)z^{-2} + z^{-3}}{1 - z^{-1}(2Re\{p_1\} + p_3) + z^{-2}(|p_1|^2 + 2Re\{p_1\}p_3) - |p_1|^2 p_3 z^{-3}}. \quad (3.28)$$

Dessa forma, a resposta em freqüência do filtro inicial e do filtro composto pela soma de dois passa-tudo é a mesma [13]. Como os filtros estruturalmente passa-tudo podem ser construídos em circuitos integrados com boa precisão, mesmo ocorrendo erros no processo de fabricação, essa técnica seria uma boa alternativa para a implementação de filtros precisos e que atendem às especificações impostas.

3.3 – Filtros *Notch*

Um caso particular da implementação descrita na seção anterior, e que merece destaque, é a utilização de filtros passa-tudo visando à construção de filtros *Notch*. Sua utilização é bastante comum quando se torna necessária a remoção de um componente de freqüência de um sinal. Uma forma de representar os filtros *Notch* é ilustrada na Fig. 3.5. Sua função de transferência é dada por

$$G(z) = \frac{1}{2}(1 + A(z)), \quad (3.29)$$

onde o bloco $A(z)$ é composto por um filtro passa-tudo de ordem dois.

Conseqüentemente, a variação de fase dada por $A(e^{j\omega})$ é de -2π radianos para valores de ω no intervalo entre 0 e π radianos. Portanto, a partir de (3.29), pode ser deduzido que

$$G(e^{j0}) = G(e^{j\pi}) = 1. \quad (3.30)$$

Assim, na freqüência angular w_0 , em que o filtro passa-tudo será responsável por uma variação de fase de π radianos, o resultado obtido será

$$G(e^{jw_0}) = 0. \quad (3.31)$$

Dessa forma, w_0 será a freqüência rejeitada pelo filtro *Notch*.

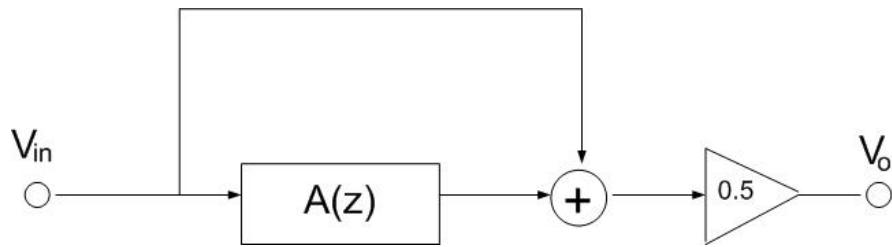


Figura 3.5 – Diagrama de Blocos do Filtro *Notch*.

Na aplicação de filtros *Notch*, um fator que merece total atenção é a estrutura que será adotada no projeto. De maneira a preservar as características do filtro, proporcionando uma resposta satisfatória, estruturas de baixas perdas devem ser utilizadas [6]. Com isso o filtro atenderá seu propósito e irá apresentar um zero muito bem definido na sua resposta em freqüência.

Capítulo 4

Estrutura de Medidas

Circuitos eletrônicos amplamente utilizados para instrumentação - filtros, conversores analógico-digital e digital-analógico – necessitam que as suas razões de capacitâncias sejam implementadas com uma elevada precisão. Tipicamente, esses dispositivos devem possuir erros de implementação nas razões inferiores a 1% [14], para que funcionem conforme o esperado.

Portanto, uma forma de medir a razão entre capacitâncias após o circuito ser fabricado desempenharia um papel importante na verificação da qualidade do produto que está sendo fornecido.

Dessa forma, foi criada uma estrutura de medição da razão de capacitâncias utilizando, como bloco principal, um filtro a capacitores chaveados de segunda ordem, onde seus coeficientes dependerão da razão de capacitâncias de interesse. A técnica explorada é baseada na decomposição de filtros de ordem ímpar, obtidos através da soma de dois filtros passa-tudo.

Além disso, a estrutura utilizada será baseada em uma topologia estruturalmente passa-tudo, visando obter resultados precisos, mesmo na ocorrência de erros decorrentes do processo de fabricação. A medição será feita através do posicionamento da freqüência do zero de transmissão, que dependerá exclusivamente da razão de capacitâncias de interesse.

A grande vantagem dessa técnica é o fato de que a soma de dois filtros passa-tudo produz zeros de transmissão muito bem definidos, que podem ser facilmente medidos em laboratório. Sendo assim, a partir da comparação entre os valores teóricos e os medidos experimentalmente, será obtido o erro na precisão nas razões.

Essa estrutura também será muito importante no estudo de novas formas de organização dos capacitores em circuitos integrados. Essas formas de organização ainda podem gerar avaliações divergentes, já que, para alguns casos, a forma tradicionalmente utilizada, a centróide comum, não poderá ser aplicada. Com isso, a estrutura de medidas desenvolvida neste trabalho poderá ser empregada no estudo de novas formas de organização dos capacitores, visando apresentar uma insensibilidade aos gradientes de processo. Através

da estrutura que será fabricada, pode-se ter uma idéia da real precisão desses novos arranjos e da sua viabilidade no projeto de circuitos integrados.

Neste capítulo, será abordada a estrutura de teste, suas principais características e os resultados teóricos obtidos utilizando dois simuladores distintos.

4.1 – Filtro Passa-Tudo a Capacitores Chaveados

Como já foi introduzido no Capítulo 3, filtros elípticos de ordem ímpar podem ser decompostos a partir da soma de seções passa-tudo:

$$H(z) = \frac{1}{2}(A(z^2) + z^{-1}B(z^2)) \quad (4.1)$$

onde $A(z)$ e $B(z)$ são seções passa-tudo. A Fig. 4.1 ilustra o diagrama de blocos típico para a função $H(z)$. Para o caso especial de um filtro elíptico de terceira ordem, as seções passa-tudo são dadas por

$$A(z) = \frac{z^{-1} + a}{1 + az^{-1}} \text{ e } B(z) = 1. \quad (4.2)$$

Agora, desenvolvendo a expressão dada por $H(z)$ a partir das seções passa-tudo do filtro elíptico de ordem três, o resultado obtido será

$$H(z) = \frac{1}{2} \left(\frac{z^{-2} + a}{1 + az^{-2}} + z^{-1} \right), \quad (4.3)$$

$$H(z) = \frac{1}{2} \frac{(a + z^{-1} + z^{-2} + az^{-3})}{1 + az^{-2}}, \quad (4.4)$$

$$H(z) = \frac{1}{2} \frac{(1 + z^{-1})(a + (1 - a)z^{-1} + az^{-2})}{1 + az^{-2}}. \quad (4.5)$$

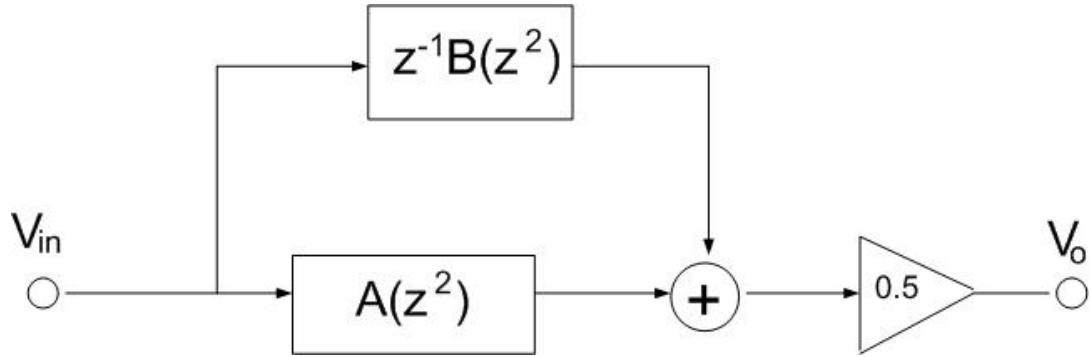


Figura 4.1 – Diagrama de Blocos da Função $H(z)$.

Analizando as expressões acima, pode-se concluir que o filtro irá apresentar pólos no eixo imaginário, localizados em $0, j\sqrt{a}$ e $-j\sqrt{a}$. Já os zeros serão encontrados no círculo unitário em $-1, e^{j\omega_n}$ e $e^{-j\omega_n}$, onde

$$\omega_n = \cos^{-1} \left(\frac{a-1}{2a} \right) \quad (4.6)$$

é a freqüência do zero de transmissão do filtro. Algumas restrições devem ser feitas de forma que o filtro $H(z)$ possua zeros complexos. Para isso, a deve satisfazer às seguintes restrições:

$$a \neq 1 \text{ e } a > 1/3. \quad (4.7)$$

Além disso, pode-se observar que à medida que o parâmetro a atinge valores bastante elevados, a freqüência ω_n tende para um valor constante

$$\lim_{a \rightarrow \infty} \cos^{-1} \left(\frac{a-1}{2a} \right) = \cos^{-1} \left(\frac{1}{2} \right) = \frac{\pi}{3}. \quad (4.8)$$

A Fig. 4.2 mostra uma série de valores de a e a resposta em freqüência do filtro correspondente. Como pode ser observado, há um deslocamento da freqüência do zero de transmissão de acordo com os valores utilizados. Isto pode ser melhor compreendido através da Tabela 4.1. Vale ressaltar que a freqüência de amostragem utilizada nesse projeto é de 1 MHz.

a	ω_n (kHz)
0.5	333.5
0.7	284.2
5.0	184.6
10.0	175.8
20.0	171.4
50.0	168.5

Tabela 4.1- Valores de a e suas respectivas freqüências de *Notch*.

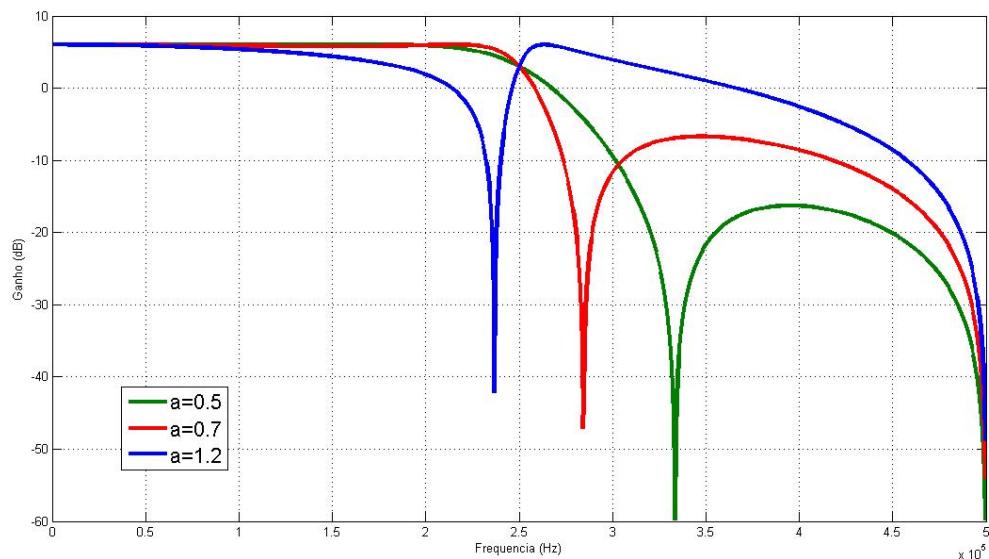


Figura 4.2 – Resposta em Freqüência para diferentes valores de a .

Após a análise da resposta em freqüência e posicionamento da freqüência do zero de transmissão, haverá a implementação da função de transferência através de um circuito a capacitores chaveados. Para a correta implementação da função $H(z)$, serão necessários blocos somadores e atrasadores. Os atrasadores que serão utilizados são os compostos por blocos em cascata, enquanto os somadores serão compostos pela estrutura apresentada na Fig. 2.5.

O filtro passa-tudo de primeira ordem $A(z)$ pode ser implementado a partir de um circuito a capacitores chaveados de duas fases. O circuito correspondente é mostrado na Fig. 4.3. Analisando apenas o circuito, pode-se concluir que sua função de transferência é

$$A(z) = \frac{z^{-1} + (C_a/C_b)}{1 + (C_a/C_b)z^{-1}}. \quad (4.9)$$

Portanto, a partir das equações (4.2) e (4.7), a seguinte relação é obtida:

$$a = \frac{C_a}{C_b}. \quad (4.10)$$

Também pode ser observado na Fig. 4.3 que o circuito possui uma topologia estruturalmente passa-tudo, já que tanto o coeficiente do numerador quanto o do denominador da função são obtidos a partir de uma única razão entre capacitâncias. A topologia estruturalmente passa-todo é essencial para manter as características do filtro mesmo na ocorrência de erros de implementação promovidos pelo processo de fabricação CMOS.

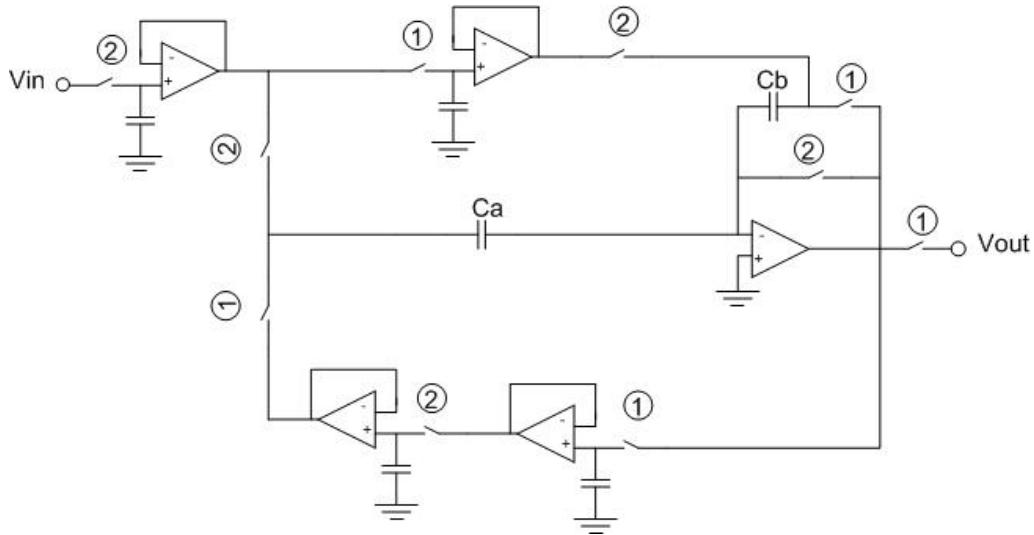


Figura 4.3 – Circuito a Capacitores Chaveados, estruturalmente passa-todo, que realiza a função $A(z)$.

Como a função $B(z)$ possui valor unitário, o atraso z^{-1} presente em (4.1) será realizado simplesmente por um conjunto de atrasadores. Com isso, ao utilizar as funções $A(z)$ e $B(z)$ para implementar $A(z^2)$ e $B(z^2)$ respectivamente, será possível obter a função de transferência $H(z)$, cujo circuito a capacitores chaveados final é ilustrado na Fig. 4.4.

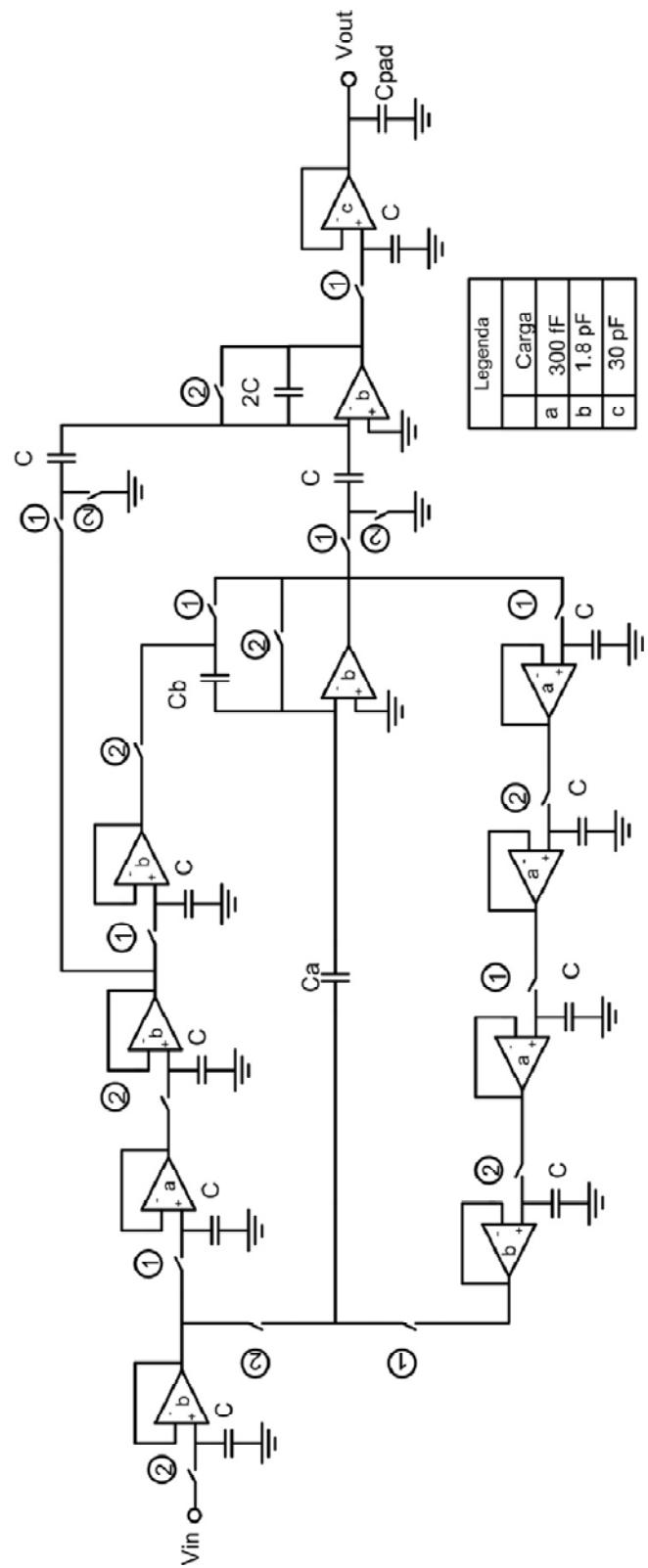


Figura 4.4 – Circuito a Capacitores Chaveados que representa a função $H(z)$.

De forma a observar a validade do circuito apresentado, diversas simulações foram realizadas com o simulador de circuitos chaveados Asiz versão estudante². Nessas simulações, foram considerados amplificadores e chaves ideais. Os valores obtidos para os zeros de transmissão para cada valor da razão C_a/C_b são mostrados na Tabela 4.2.

C_a/C_b	ω_n (kHz)
0.5	333.4
0.7	284.4
5.0	184.6
10.0	175.5
20.0	171.0
50.0	168.7

Tabela 4.2- Valores de C_a/C_b e suas respectivas freqüências dos zeros de transmissão.

Conforme pode ser observado, os resultados obtidos com o software de simulação de circuitos Asiz são bastante semelhantes aos obtidos pelo Matlab. A variação, oriunda da precisão numérica adotada pelos simuladores, possui um valor desprezível. Dessa forma, o circuito apresentado na Fig. 4.4 representa a função de transferência desejada (4.5). Tendo definido o circuito a capacitores chaveados, cabe agora realizar o projeto de seus componentes, ou seja, amplificadores, chaves analógicas e capacitores.

4.2 – Simulações com Software de Circuitos Integrados

Tendo apresentado os resultados considerando somente a função de transferência e, posteriormente, a sua implementação a capacitores chaveados utilizando componentes ideais, o projeto seguirá a partir de uma análise da estrutura de medidas utilizando o software de simulação de circuitos integrados *spectre*.

Contudo, antes de iniciar de fato o projeto dos componentes do filtro, serão realizadas simulações através de um modelo comportamental descrito em linguagem Verilog-A. Esse modelo realiza uma descrição do funcionamento do componente, utilizando os parâmetros

² Disponibilizado gratuitamente no site www.coe.ufrj.br/~acmq/

relevantes para a sua modelagem e, dessa forma, irá fornecer o resultado considerando os valores fornecidos.

Essa técnica de projeto é bastante interessante, pois o projetista é capaz de comprovar a validade dos parâmetros calculados sem necessitar projetar de fato os componentes. Caso os parâmetros tenham sido calculados de forma errada, o projetista pode observar os resultados na simulação e alterar o valor no modelo.

Nesse projeto cabe determinar o modelo Verilog-A para duas estruturas: as chaves analógicas e os amplificadores de transcondutância. Será demonstrado, inicialmente, o cálculo dos parâmetros relevantes para os amplificadores e, em seguida, o seu modelo comportamental. Para as chaves analógicas, por apresentarem uma descrição bastante simples, somente será apresentado seu modelo Verilog-A.

O dimensionamento dos amplificadores de transcondutância (OTAs) consiste no cálculo da corrente de polarização – obtida através da corrente máxima de saída I_{max} – e a transcondutância gm . Deve-se garantir que o tempo de estabilização da resposta transitória seja inferior ao tempo de duração de uma fase de chaveamento [5]. Na Fig. 4.5, é ilustrada a resposta transitória da tensão na saída de um OTA em um circuito a capacitores chaveados. Essa resposta pode ser dividida em duas partes distintas: o tempo de *slew-rate* e o tempo de acomodação linear.

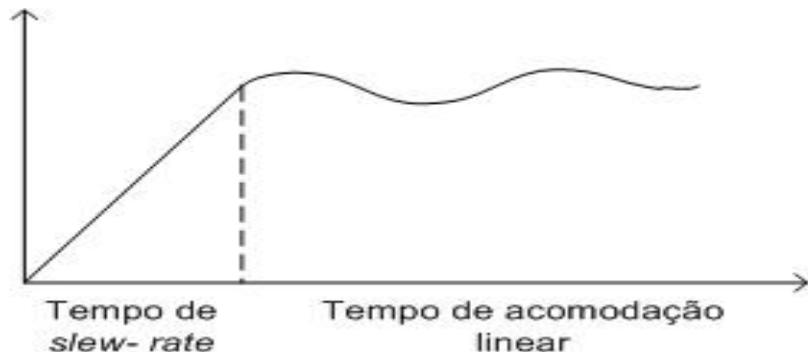


Figura 4.5– Resposta transitória em circuitos a capacitores chaveados, evidenciando o tempo de *slew-rate* e tempo de acomodação linear.

Para compreender as questões do *slew-rate* e da acomodação linear considera-se um simples circuito *sample-and-hold*, mostrado na Fig. 4.6. Quando a chave fecha, a tensão de entrada V_{in} é armazenada no capacitor de entrada C. Assim, a entrada diferencial do OTA fica submetida a um degrau de tensão. Esse degrau de tensão é suficientemente elevado para que toda a corrente de polarização seja deslocada para uma das entradas do par diferencial. Com

isso, o capacitor de saída começa a carregar linearmente. Este efeito é conhecido com *slew-rate*.

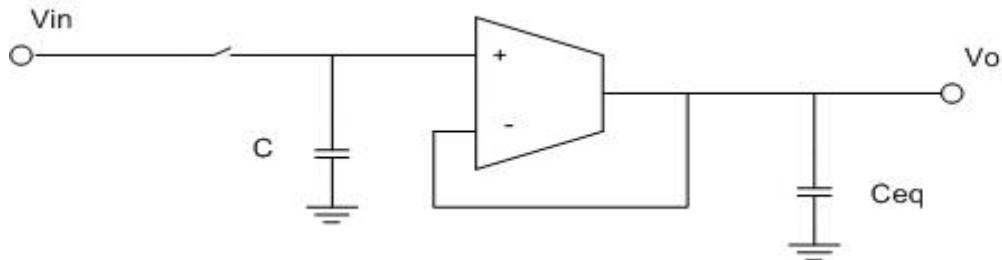


Figura 4.6 – Circuito *sample-and-hold*.

O tempo de acomodação linear se inicia quando a tensão diferencial do OTA é pequena o bastante de modo que o amplificador passe a atuar de forma razoavelmente linear. Isso irá ocorrer devido ao efeito de realimentação, que passa a atuar de forma a reduzir a tensão diferencial na entrada do amplificador. Como critério de projeto, foi definido que o tempo total de estabilização do circuito deveria ser em torno de 2/3 do período de chaveamento – 1/3 compondo o tempo de *slew-rate* e 1/3 o tempo de acomodação linear.

Para então definir a corrente máxima do circuito I_{\max} , duas expressões serão utilizadas. Considerando as duas expressões que determinam o *slew-rate*,

$$SR = \frac{I_{\max}}{C_{eq}}, \quad (4.11)$$

$$SR = \frac{\Delta V_o}{T_{SR}}, \quad (4.12)$$

e combinando (4.11) e (4.12), a seguinte relação é obtida:

$$I_{\max} = C_{eq} \frac{\Delta V_o}{T_{SR}}. \quad (4.13)$$

Como o tempo de *slew-rate* é conhecido, e a variação pico a pico do circuito será de 2 V, é possível determinar o parâmetro referente à corrente máxima de acordo com a carga equivalente vista pelo amplificador.

O segundo parâmetro que necessita ser calculado para o dimensionamento do OTA consiste no valor da transcondutância gm . Para isso, considere o circuito, juntamente com o seu modelo de pequenos sinais, apresentados nas Figs. 4.7 (a) e (b). Antes de iniciar o cálculo, seja ε definido como o erro relativo entre a tensão na saída no instante t e seu valor de regime permanente. Como critério de projeto, foi definido $\varepsilon = 0.1\%$.

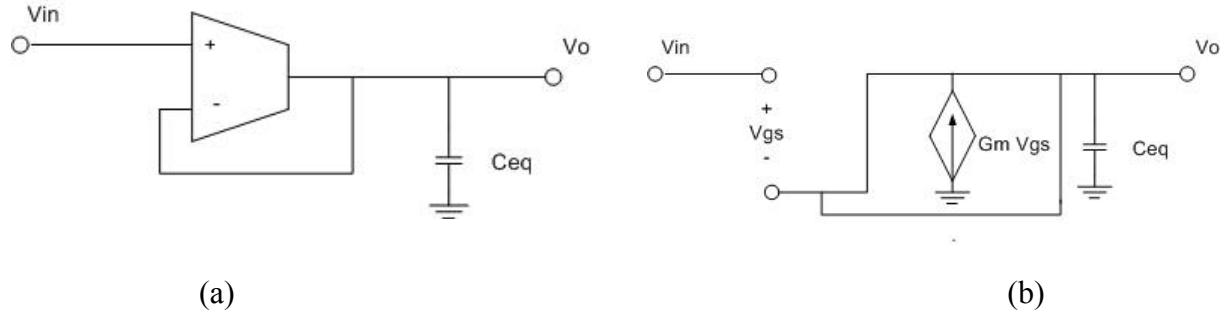


Figura 4.7– Amplificador OTA em uma configuração buffer e seu modelo de pequenos sinais ideal.

Extraindo a equação da tensão na saída do modelo de pequenos sinais:

$$V_o = \frac{gm V_{in}}{sC_{eq} + gm}, \quad (4.14)$$

onde V_{in} é um degrau com amplitude de 2 V representando a excursão máxima de sinal. Sendo assim, a expressão pode ser reescrita da forma

$$V_o = \frac{gm/C_{eq}}{s + gm/C_{eq}} \frac{V_{in}}{s}. \quad (4.15)$$

Utilizando frações, e aplicando a transformada de Laplace inversa para determinar a resposta no domínio do tempo, a expressão encontrada será:

$$V_o(t) = V_{in} \left(1 - e^{-\frac{gm}{C_{eq}} t} \right) u(t). \quad (4.16)$$

Sabendo que $\varepsilon = 0.1\%$ do valor em regime permanente, $V_o(t)$ pode ser substituído pela expressão,

$$(1 - \varepsilon)V_{in} u(t) = V_{in} \left(1 - e^{-\frac{gm}{C_{eq}} T_{LIN}} \right) u(t), \quad (4.17)$$

onde T_{LIN} é o tempo de acomodação linear. Simplificando a equação e calculando a transcondutância gm obtém-se:

$$gm = \frac{-\ln(\varepsilon)C_{eq}}{T_{LIN}}. \quad (4.18)$$

Com isso, é possível determinar os valores dos parâmetros necessários para o cálculo dos amplificadores de transcondutância da estrutura de medidas. Como ambos os parâmetros dependem da carga total vista pelo amplificador, é necessário rever a estrutura para determinar a carga que cada amplificador irá observar. Nesse caso, a partir do circuito da Fig. 4.4, foram obtidas três cargas distintas: C , $2C$ e $3C$, onde C é o valor da capacitância unitária que nesse projeto será de 100 fF . Além dessas três cargas, há ainda uma carga mais elevada, cerca de 30 pF , responsável pelo *pad* de saída, e outra de aproximadamente 1.8 pF , capaz de realizar a razão de capacitâncias de interesse – uma razão de $8/16$ realizada por um capacitor C_a com valor 800 fF e C_b de valor 1.6 pF . Na Tabela 4.3 são exibidos os valores das cargas observadas e os seus parâmetros relacionados.

Carga (F)	$I_{\max} (\mu\text{A})$	$Gm (\mu)$
100 f	1.2	4.1
200 f	2.4	8.2
300 f	3.6	12.4
1.8 p	21.6	74.0
30 p	360	1240

Tabela 4.3: Valores dos parâmetros do OTA para cargas distintas.

Há duas formas de prosseguir no projeto. A primeira consiste em realizar o projeto dos três amplificadores iniciais e dessa forma reduzir o tamanho final do circuito, enquanto a segunda, consiste em dimensionar todos os amplificadores a partir do pior caso, considerando uma carga de 300 fF , e reduzir o tempo de projeto necessário. Nesse projeto optou-se pela

segunda alternativa. Portanto, será necessário somente o projeto dos amplificadores para as três últimas cargas apresentadas na tabela acima.

De forma a observar a validade dos cálculos para os parâmetros do OTA, é feita uma simulação com um modelo Verilog-A dos amplificadores operacionais. Através da comparação entre a resposta em freqüência do modelo teórico e a obtida a partir da simulação com o modelo Verilog-A, pode ser observado se algum erro foi cometido antes de iniciar o dimensionamento dos transistores. A descrição comportamental dos OTAs, feita no modelo Verilog-A, é mostrada abaixo:

```
// VerilogA for OTAs, OTA_C300f, verilogA

`include "constants.vams"
`include "disciplines.vams"

module OTA_C300f(INp , INn , Outp);

// Ports:
inout INp, INn, Outp;
electrical INp, INn, Outp;

// Parameters:
parameter real Gm = 12.3e-6, Iout = 3.6e-6, Rout = 100G;

// Analog Behavioral Model:
analog begin

// Transconductance and Slew Rate:
I(Outp) <+ -Iout*tanh(Gm*(V(INp)-V(INn))/Iout);

// Output Resistance:
I(Outp) <+ V(Outp)/Rout;

end
endmodule
```

Para realizar a simulação é necessário o modelo comportamental das chaves analógicas. Este consistiria em um curto, quando a chave é fechada, e um circuito aberto, quando a chave abre. Contudo, analisando o modelo Verilog-A apresentado abaixo, pode ser observado que a chave irá possuir uma pequena resistência, cerca de 1Ω . Isto é feito para evitar problemas numéricos no simulador, em virtude da ligação de dois capacitores com cargas distintas através de um curto circuito.

```

module switch (a, b, ctrl);
  inout a, b;
  input ctrl;
  electrical a, b, ctrl;
  parameter real Ron = 1 exclude 0;
  parameter real Vth = 0;
  analog begin
    if ( V(ctrl) > Vth )
      I(a,b) <+ V(a,b)/Ron;
    else
      I(a,b) <+ 0;
  end
endmodule

```

A Tabela 4.4 fornece os resultados de simulação do modelo Verilog-A.

C_a/C_b	ω_n (kHz)
0.5	333.41
0.7	283.81
5.0	184.8
10.0	176.4
20.0	173.0
50.0	170.2

Tabela 4.4- Valores de C_a/C_b e suas freqüências de *Notch* para o modelo Verilog-A.

Os resultados obtidos pelo modelo Verilog-A foram bastante satisfatórios. Todos apresentaram um zero muito bem definido na resposta em freqüência, cujo valor apresenta uma pequena variação em relação ao modelo teórico, devido à resolução numérica do simulador de circuitos integrados. Constatando, portanto, a validade dos cálculos realizados, a próxima etapa consiste no projeto dos amplificadores e chaves analógicas, a partir das especificações de $I_{máx}$ e gm obtidas neste capítulo.

No Capítulo 5 serão apresentadas as topologias de chaves analógicas e amplificadores que serão utilizadas na estrutura de medidas. Será também apresentada a forma com que o projeto dos componentes foi realizada, os *layouts* desenvolvidos e os resultados obtidos.

Capítulo 5

Projeto dos Componentes do Filtro

Até este momento foram abordadas as questões teóricas e resultados de simulação, considerando componentes ideais, que envolvem a estrutura de medidas. Contudo, para comprovar sua funcionalidade, deve-se projetar os componentes dessa estrutura, ou seja, devem ser dimensionados os transistores que compõem as chaves analógicas e os amplificadores de transcondutância.

Com os componentes calculados, é possível obter uma real noção do funcionamento da estrutura, já que efeitos como injeção de carga, *clock feedthrough* e a influência de capacitâncias parasitas podem causar o mau funcionamento do circuito.

Nessa etapa, é interessante rever o objetivo do projeto. Como o seu principal propósito é a medição de razão de capacitâncias com elevada precisão, os componentes da estrutura de medidas devem ser projetados de forma a apresentar o menor erro possível, isto é, devem possuir uma configuração que permita minimizar os erros na resposta final. Dessa forma, chaves analógicas e amplificadores de transcondutância serão projetados considerando estruturas robustas, capazes de fornecer um resultado bastante preciso, de forma que o erro obtido na resposta final do circuito seja quase que inteiramente causado pela imprecisão na razão entre capacitâncias.

Este capítulo será totalmente destinado ao projeto dos componentes da estrutura de medidas. Inicialmente, serão apresentadas as chaves analógicas com suas diferentes topologias e os efeitos que podem influenciar no seu desempenho. A partir da análise de cada estrutura, será definida a topologia a ser utilizada, juntamente com seu dimensionamento e resultados de simulação. O capítulo segue com a definição e dimensionamento dos amplificadores, onde será apresentada a idéia de um algoritmo que irá auxiliar no cálculo dos parâmetros dos transistores por simulação.

Após apresentar toda a parte de projeto envolvida para cada componente, o capítulo ainda irá mostrar simulações envolvendo parâmetros como ruído, *Slew Rate*, THD (*Total Harmonic Distortion*), entre outros e o desenvolvimento dos *layouts* dos três amplificadores e das chaves analógicas para a futura fabricação do circuito integrado.

5.1 – Projeto das Chaves Analógicas

As chaves analógicas são constituídas por estruturas simples, porém de importância fundamental no desenvolvimento de filtros a capacitores chaveados. Durante o seu projeto, foram analisadas algumas topologias de chaves analógicas e os principais efeitos que podem ocorrer sobre elas. Serão discutidas as topologias de chaves analógicas, os efeitos de injeção de carga e *clock feedthrough*.

Considere o circuito apresentado na Fig. 5.1 (a). Este constitui uma chave composta por um transistor NMOS. A tensão V_g controla a abertura e o fechamento da chave. Quando a tensão no *gate* do transistor satisfizer a equação $V_{gs} < V_{th}$, a chave estará aberta, e quando $V_{gs} > V_{th}$, a chave estará fechada. Geralmente, utilizam-se como sinais de controle $V_g = V_{ss}$ e $V_g = V_{dd}$ para sua abertura e fechamento, respectivamente.

No caso da chave simples composta por um transistor PMOS, ilustrado na Fig. 5.1 (b), a forma de análise é bastante semelhante ao caso do NMOS. A tensão V_g continua sendo a responsável por controlar o fechamento e abertura da chave. De forma contrária ao caso NMOS, quando $V_g = V_{ss}$, a chave analógica estará fechada, e quando $V_g = V_{dd}$, a chave estará aberta.

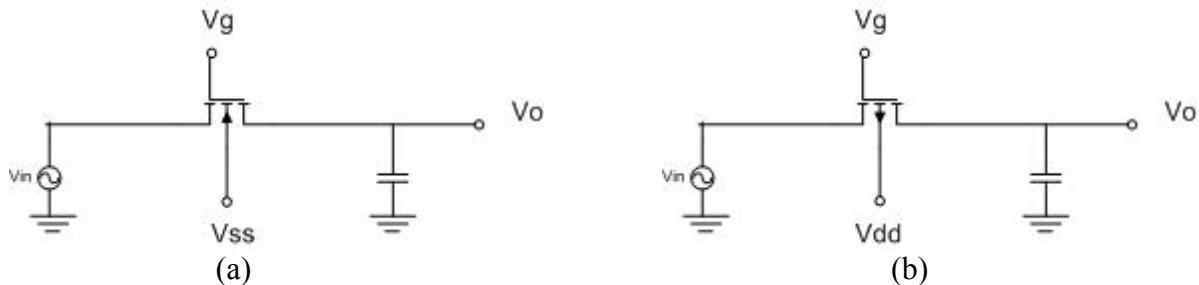


Figura 5.1 – Topologias de chaves analógicas simples com transistores MOS de canal N (a) e de canal P (b).

Contudo, há uma resistência quando a chave está fechada, que depende diretamente da largura e do comprimento de canal dos transistores utilizados, e que também tem relação com a tensão de entrada V_{in} .

Outros problemas encontrados nas chaves simples são as limitações relacionadas ao carregamento e descarregamento do capacitor de saída. Na chave NMOS, o capacitor de saída só poderá ser carregado até uma tensão $V_{omax} = V_{dd} - V_{th}$. Caso a tensão de entrada seja superior ao limite máximo, o transistor entrará em corte. Já no descarregamento, o limite

inferior é dado por V_{ss} , ou seja, o limite inferior é dado pela menor tensão permitida no circuito integrado. No caso das chaves PMOS, o limite máximo no qual o capacitor pode ser carregado é dado pela maior tensão permitida no circuito, isto é, V_{dd} . Contudo, a chave encontrará limitações para descarregar o capacitor de saída. A tensão no *source* deve ser sempre superior a soma da tensão no *gate* com a tensão de *threshold*. Dessa forma, o capacitor de saída não poderá ser descarregado até tensões inferiores a $V_{omin} = V_{ss} - V_{th}$.

Com o objetivo de melhorar a questão da resistência apresentada pelas chaves e evitar as limitações impostas pelas chaves simples, uma nova topologia foi implementada e é exibida na Fig. 5.2. Consiste simplesmente na utilização de transistores NMOS e PMOS em paralelo e ficou conhecida como chave analógica complementar.

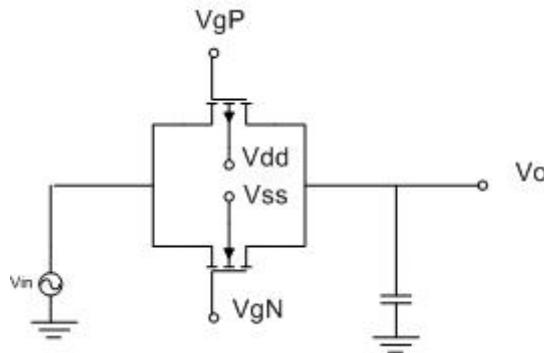


Figura 5.2 – Chave analógica complementar.

Da mesma forma que os casos das chaves simples tipo N e tipo P, os sinais de controle para fechamento e abertura estão relacionados com a tensão de *gate* nos transistores. Dessa forma, quando a tensão $V_{gP} = V_{ss}$ e $V_{gN} = V_{dd}$, a chave analógica estará fechada, e quando $V_{gP} = V_{dd}$ e $V_{gN} = V_{ss}$, a chave estará aberta. Dependendo da tensão de entrada V_{in} , as chaves conduzem simultaneamente ou isoladamente.

Além da resistência finita das chaves, dois efeitos típicos em chaves analógicas podem ocorrer e levar a resultados indesejados. Esses efeitos são conhecidos como injeção de carga e *clock feedthrough*.

Quando a chave está fechada, há certa quantidade de cargas acumuladas no canal do transistor, proporcionando a condução. No momento em que a chave é aberta, o canal será desfeito e parte dessas cargas será injetada no capacitor de saída, promovendo um erro na quantidade de carga acumulada por esse e resultando numa tensão indesejada na saída. Sendo assim, as chaves analógicas devem ser projetadas de forma a minimizar os efeitos promovidos pela injeção de cargas.

O segundo efeito, conhecido como *clock feedthrough*, ocorre principalmente devido à presença de capacitâncias parasitas dos próprios transistores. Observando o exemplo mostrado na Fig. 5.3, há uma capacitância entre o *gate* e o *source* do transistor, formando um divisor capacitivo. Com isso, uma parcela do sinal de controle acaba sendo transferida para a saída do circuito.

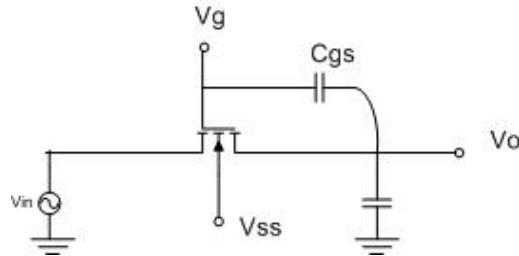


Figura 5.3 – Chave analógica simples tipo N com capacitância parasita C_{gs} .

Uma estratégia capaz de reduzir os efeitos indesejados é a utilização de transistores *dummy*, dimensionados de forma a possuir metade da área de canal dos transistores principais da chave [5]. Essa consideração é baseada na hipótese de que, quando os transistores que compõem a chave cortam, os transistores *dummy* entram em condução e metade das cargas que formavam o canal dos transistores da chave serão escoadas para a saída enquanto a outra metade para a entrada do circuito sendo, então, absorvidas pelos canais dos transistores *dummy*. A topologia final utilizada no projeto das chaves é exibida na Fig. 5.4. Esta consiste de uma chave analógica complementar cujos transistores principais são compostos por M_1 e M_2 , enquanto os transistores *dummy* são compostos por M_3 , M_4 , M_5 e M_6 .

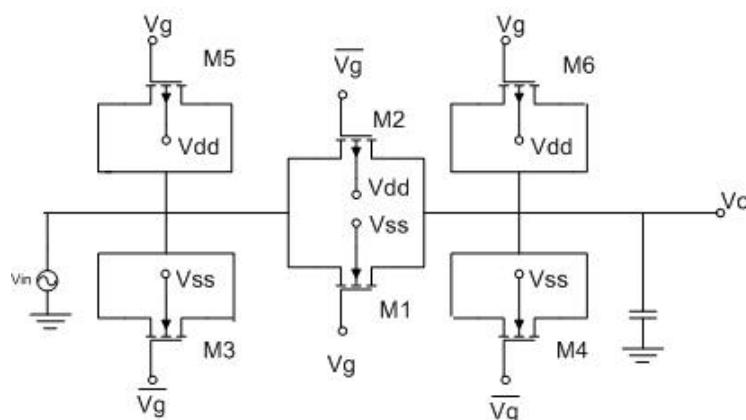


Figura 5.4 – Topologia de chave utilizada no projeto com transistores *dummy*.

Tendo escolhido a topologia a ser empregada, a próxima etapa do projeto das chaves analógicas irá consistir no dimensionamento dos transistores, levando em consideração o tempo de estabilização e a minimização dos efeitos de injeção de carga e do *clock feedthrough*.

A obtenção dos valores do comprimento e largura do canal dos transistores serão obtidos via simulação, com auxílio do software de projeto de circuitos integrados CADENCE. A idéia geral consiste numa análise paramétrica dos valores possíveis de W já que, de maneira a minimizar a área de *gate* dos transistores e, consequentemente, minimizar as capacitâncias parasitas, os valores de L foram mantidos fixos e iguais a 0.5 μm para todos os transistores, que é o menor valor de L permitido pelo processo CMOS considerado neste projeto.

Dessa forma, será considerado um circuito simples, ilustrado na Fig. 5.5, composto pela chave analógica, por um capacitor com capacitância de 100 fF e uma fonte. Os valores de W dos transistores serão atribuídos a uma variável, no caso Wx, que irá apresentar valores diferentes conforme a simulação e, com o resultado obtido, será analisado o tempo de estabilização – tempo que o capacitor leva pra se carregar de -1 V a 0.99 V. Como critério de projeto, foi considerado que a chave deve estabilizar em no máximo 10% do período de chaveamento, ou seja, como o período de amostragem consiste em 1 μs , o período de chaveamento será de 0.5 μs e, consequentemente, a chave deve estabilizar num tempo total de 50 ns.



Figura 5.5 – Circuito de teste da chave analógica.

O resultado da simulação é mostrado na Fig. 5.6. Há uma série de valores de W utilizados e, a partir daí, foi definido o valor de W que satisfaz às especificações mencionadas acima. De forma a observar melhor o tempo de estabilização, foi considerada na simulação uma fonte *vpulse* com período de 1 μs , largura de pulso 0.5 μs e atraso de 0.5 μs . Como pode ser observado, o valor mínimo W= 0.5 μm já é capaz de satisfazer às condições discutidas

com folga. Com isso, os valores de W para os transistores das chaves analógicas podem ser observados na Tabela 5.1.

Transistor	W (μm)	L (μm)
M ₁	1.0	0.5
M ₂	1.0	0.5
M ₃	0.5	0.5
M ₄	0.5	0.5
M ₅	0.5	0.5
M ₆	0.5	0.5

Tabela 5.1: Dimensionamento dos transistores da chave analógica.

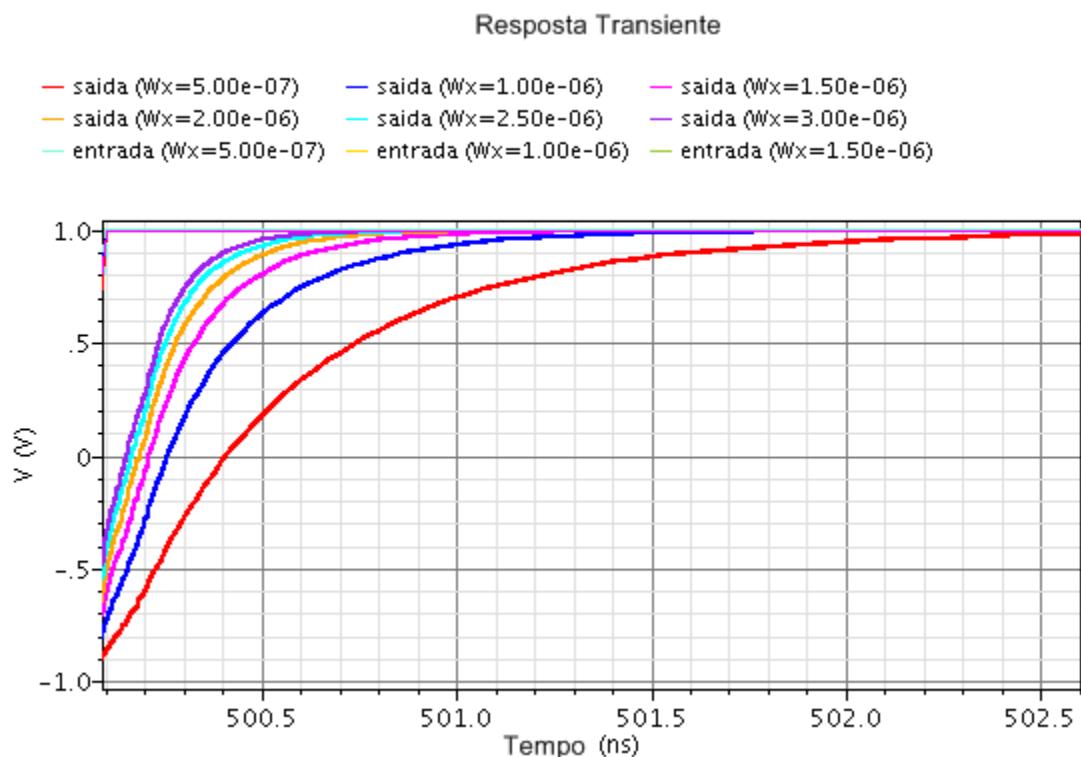


Figura 5.6 – Resultado da Simulação do tempo de estabilização para valores de W distintos.

Após o dimensionamento e testes das chaves analógicas, cabe apresentar o *layout* da estrutura para a futura fabricação do circuito integrado. O *layout* final é ilustrado na Fig. 5.7. Este, assim como os *layouts* dos OTAs, foi desenvolvido somente após o teste da estrutura

com todos os componentes projetados. Contudo, serão apresentados em cada subseção de maneira a facilitar o entendimento do projeto.

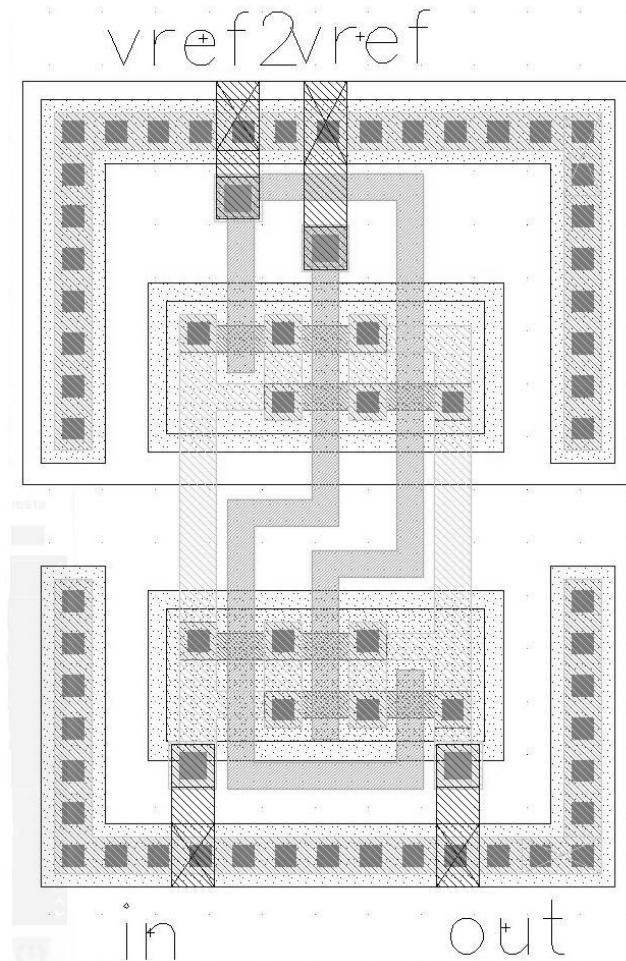


Figura 5.7 – Layout das chaves analógicas.

Com o projeto das chaves analógicas já finalizado, cabe agora realizar o projeto dos amplificadores de transcondutância. No Capítulo 4, foram definidos os parâmetros necessários para o seu dimensionamento. Contudo, em nenhum momento foi discutida a topologia que será adotada. A próxima seção segue com a definição da topologia e dimensionamento dos OTAs.

5.2 – Projeto dos Amplificadores de Transcondutância

Os amplificadores operacionais são fundamentais no projeto de filtros a capacitores chaveados. Através da sua utilização, podem ser implementados *buffers*, somadores, integradores, dentre outros. Porém, os amplificadores utilizados em filtros a capacitores chaveados possuem uma diferença. Nos projetos é comum trabalhar com amplificadores de transcondutância, também conhecidos como OTAs. A sua utilização se baseia no fato desses amplificadores não apresentarem uma necessidade de compensação da sua resposta em freqüência, para que seja garantida a estabilidade [1]. O OTA consiste basicamente em uma fonte de corrente controlada por uma tensão, em paralelo com uma resistência de saída bastante elevada, conforme pode ser ilustrado na Fig. 5.8.

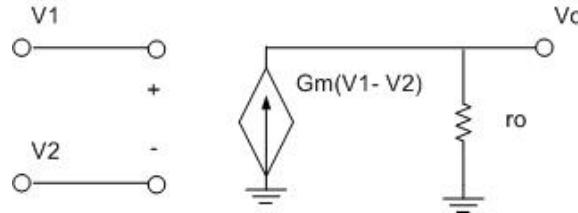


Figura 5.8 – Modelo do amplificador de transcondutância (OTA).

A topologia deste amplificador deve ser escolhida de forma a tentar minimizar os erros causados por esses componentes na resposta final. Sendo assim, foi escolhida uma estrutura em *cascode* dobrado regulado com saída simples. A configuração em *cascode* dobrado é bastante utilizada, pois é caracterizada por uma elevada impedância de saída, levando a um aumento no ganho do amplificador [18].

A necessidade da regulagem surge a partir da limitação no ganho dos amplificadores operacionais de um estágio e a dificuldade em utilizar amplificadores em dois estágios para altas velocidades. A idéia básica da regulagem consiste no aumento da impedância de saída através do uso da realimentação negativa e, consequentemente, o aumento do ganho, sem a adição de mais estágios em *cascode* [18].

Além dessas características, os amplificadores de transcondutância serão compostos por uma entrada em par diferencial e espelhos de corrente capazes de polarizar o circuito. A saída do amplificador será simples devido à complexidade do projeto dos buffers com estrutura diferencial.

O circuito resultante é apresentado na Fig. 5.9. Cabe agora dimensionar os transistores que compõem os amplificadores, de forma a apresentar a corrente máxima na saída e os valores da transcondutância especificados no Capítulo 4.

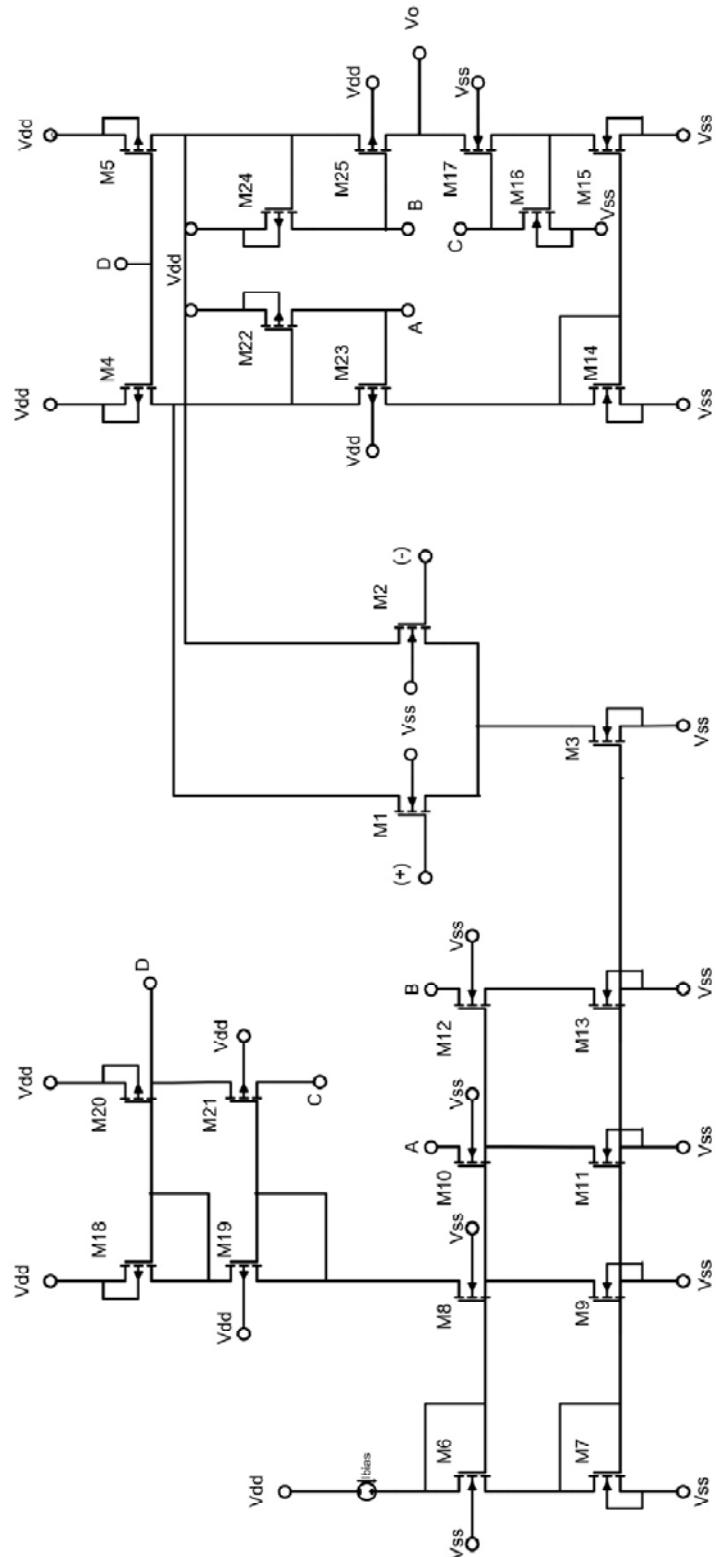


Figura 5.9 – Esquemático do amplificador de transcondutância (OTA).

O dimensionamento dos transistores será feito por simulação, através de uma análise de varredura DC no software de projeto de circuitos integrados da CADENCE, usando o modelo BSIM 3v3 para os transistores MOS. Todavia, algumas considerações devem ser feitas de maneira a realizar o projeto dos OTAs. A primeira consiste na manutenção do valor do comprimento de canal dos transistores igual a $1\mu\text{m}$. Esse valor proporcionará uma redução do tamanho final do circuito, além de evitar alguns problemas como o efeito de canal curto. Portanto, as simulações serão baseadas na determinação da largura de canal W dos transistores.

Para auxiliar o projeto, seja ΔV_{GS} definido por:

$$\Delta V_{GS} = V_{GS} - V_{th}, \quad (5.1)$$

onde V_{th} é a tensão de *threshold* do transistor.

O limite de excursão de sinal será dado pelos transistores M_{17} e M_{25} ilustrados na Fig. 5.9. Quando a tensão V_{DS} nesses transistores for menor, em módulo, que a tensão ΔV_{GS} , estes transistores estarão atuando na região de triodo, fazendo com que o circuito não se comporte da forma adequada.

A condição para a operação dos transistores MOS na região de saturação é dada por

$$V_{DS} > V_{GS} - V_{th}. \quad (5.2)$$

Caso fosse desejado o equacionamento do transistor PMOS, o sinal de maior em (5.2) seria invertido. No entanto, para o transistor M_{17} , a equação acima pode ser simplificada da seguinte maneira

$$V_D - V_S > V_G - V_S - V_{th}, \quad (5.3)$$

$$V_o > V_G - V_{th}. \quad (5.4)$$

A tensão no *gate* do transistor M_{17} pode ser dada por

$$V_G = V_{SS} + 2V_{GS}, \quad (5.5)$$

considerando que M_{17} e M_{16} serão dimensionados de forma a apresentar a mesma tensão V_{GS} . Substituindo a equação acima em (5.4), o resultado obtido será dado pela expressão

$$V_o > V_{SS} + 2V_{GS} - V_{th}, \quad (5.6)$$

$$V_o > V_{SS} + 2(\Delta V_{GS} + V_{th}) - V_{th}, \quad (5.7)$$

$$V_o > V_{SS} + 2\Delta V_{GS} + V_{th}. \quad (5.8)$$

Analogamente, para o caso do transistor M_{25} , a expressão final obtida foi:

$$V_o < V_{DD} + 2\Delta V_{GS} + V_{th}. \quad (5.9)$$

Como $V_o = \pm 1 V$, $V_{DD} = 2.5 V$, $V_{SS} = -2.5 V$ e o parâmetro V_{th} , incluindo o efeito de corpo, pode ser determinado a partir da análise DC do simulador, cabe determinar o valor de ΔV_{GS} capaz de satisfazer às equações (5.8) e (5.9). Para garantir que todos os transistores estejam polarizados em regime de inversão forte, ficou definido que

$$\Delta V_{GS} = 300 mV, \quad (5.10)$$

exceto para os transistores que compõem o par diferencial.

Uma vez definidas a topologia utilizada, suas vantagens e a questão da excursão de sinal, a próxima etapa consiste no dimensionamento dos transistores. A técnica de determinação dos valores por simulação é bastante simples, e é ilustrada na Fig. 5.10. É inserido um transistor, seja ele PMOS ou NMOS, juntamente com três fontes de tensão. Os valores das fontes de tensão são definidos inicialmente de forma a garantir que o transistor permaneça na região de saturação e apresente as tensões V_S e V_D desejadas.

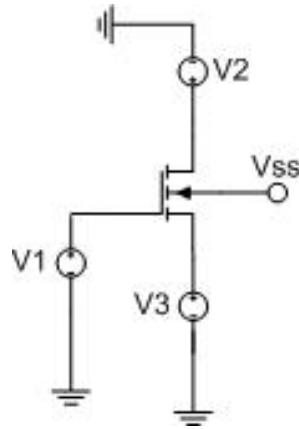


Figura 5.10 – Circuito para dimensionamento dos transistores dos OTAs.

O valor de L é mantido constante e, da mesma forma que as chaves analógicas, o valor de W é atribuído a uma variável qualquer, no caso W_x . Na simulação é feita uma análise DC, onde serão obtidos os diferentes parâmetros do transistor, entre eles o V_{GS} e o V_{th} , incluindo o efeito de corpo. Uma vez obtido o V_{th} , a tensão de polarização do *gate* é obtida através da soma da tensão do *source*, ΔV_{GS} e V_{th} , isto é

$$V_G = V_S + \Delta V_{GS} + V_{th}. \quad (5.11)$$

Com a obtenção de V_G , a próxima etapa consiste em uma análise paramétrica para diferentes valores de W com o objetivo de dimensionar o transistor para a corrente de dreno desejada. É feito um gráfico com a corrente de dreno do transistor em função dos valores de W , e o valor adotado é aquele cuja corrente de dreno é igual à corrente desejada.

Como exemplo, considere o transistor M_{18} da Fig. 5.9 sendo projetado para o OTA de carga de 300 fF. Sua fonte é ligada diretamente a V_{DD} , e dreno e *gate* irão apresentar o mesmo valor de tensão. Portanto, o circuito correspondente é da forma como está sendo exibido na Fig. 5.11.

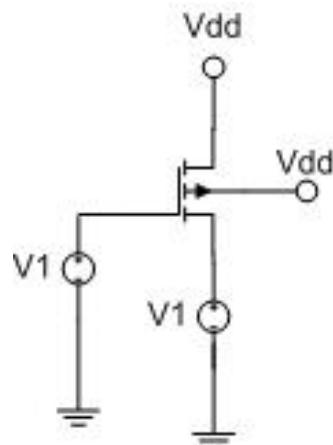


Figura 5.11 – Circuito para dimensionamento do transistor M_{18} .

É feita uma análise DC para determinar o valor de V_{th} e assim seguir no projeto. O resultado da análise DC para as fontes apresentando um valor 1.127 V foi de $V_{th} = 1.072\text{ V}$. Assim, utilizando (5.11), o resultado obtido é $\Delta V_{GS} = 301\text{ mV}$.

Nesse momento é feita uma análise paramétrica e exibido o gráfico que relaciona a corrente de dreno com os valores de W . Como a corrente desejada para M_{18} é de $3.6\text{ }\mu\text{A}$, o valor de W obtido pelo gráfico pode ser observado na Fig. 5.12.

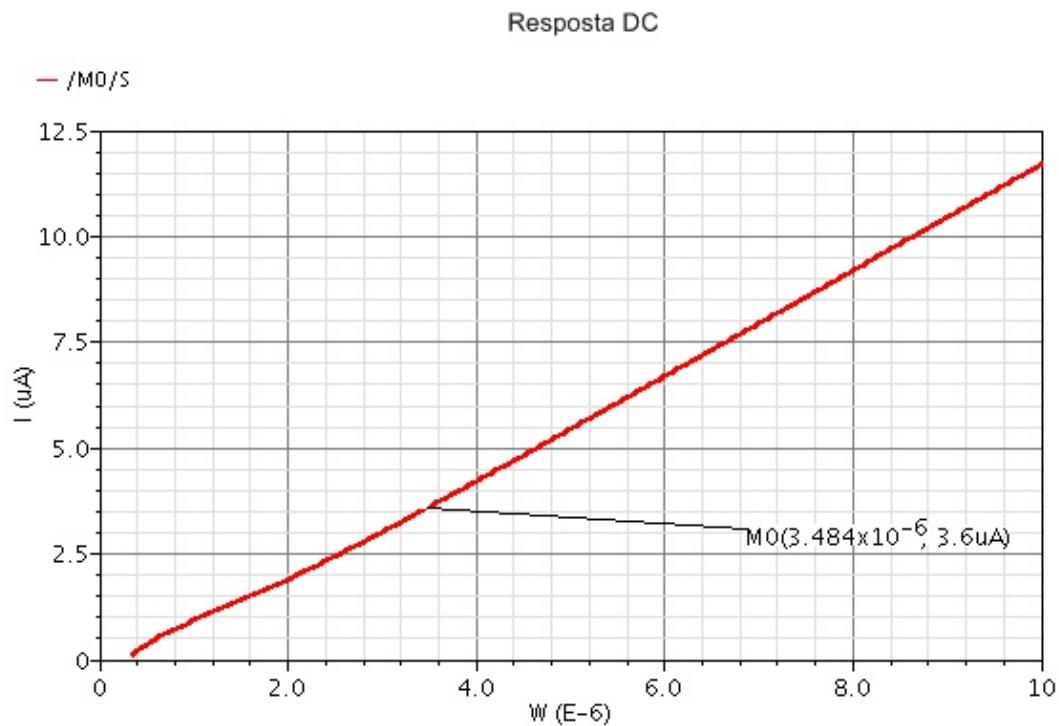


Figura 5.12 – Gráfico resultante da simulação do transistor M_{18} .

O valor encontrado pelo gráfico é utilizado no lugar da variável W_x e novamente é feita uma análise DC, de modo a verificar uma possível variação no valor de ΔV_{GS} . Realizadas as simulações, o valor da largura do transistor M_{18} escolhido foi de $W = 3.6 \mu\text{m}$, para o amplificador de carga de 300 fF . Este processo é repetido para os demais transistores que compõem o amplificador exceto aos pertencentes ao par diferencial.

Como o valor de gm é determinado pelos transistores do par diferencial, o seu dimensionamento é feito de forma distinta dos demais transistores do amplificador. Primeiramente, o valor da transcondutância pode ser definido pela expressão:

$$gm = \frac{2I_{max}}{\Delta V_{GS}}. \quad (5.12)$$

Dessa forma, calcula-se o valor de ΔV_{GS} que leva ao gm desejado e, em seguida, são feitos os mesmos procedimentos realizados para os transistores que não fazem parte do par diferencial. Com isso, pode-se dimensionar todos os transistores dos amplificadores de transcondutância. Os resultados do dimensionamento e da polarização são mostrados nas Tabelas 5.2 - 5.7 para as cargas de 300 fF , 1.8 pF e 30 pF , respectivamente.

Transistor	W (μm)	L (μm)
M_1, M_2	0.5	1.0
M_3	1.8	1.0
M_4, M_5	7.2	1.0
$M_6, M_7, M_8, M_9, M_{10}, M_{11},$ $M_{12}, M_{13}, M_{14}, M_{15}, M_{16}, M_{17}$	0.9	1.0
$M_{18}, M_{19}, M_{20}, M_{21}, M_{22},$ M_{23}, M_{24}, M_{25}	3.6	1.0

Tabela 5.2: Dimensionamento dos transistores do OTA carga 300 fF .

Transistor	W (μm)	L (μm)
M ₁ , M ₂ , M ₁₀ , M ₁₁ , M ₁₂ , M ₁₃ , M ₁₆	2.6	1.0
M ₃ , M ₂₀ , M ₂₁ , M ₂₂ , M ₂₄	10	1.0
M ₄ , M ₅	40	1.0
M ₆ , M ₇ , M ₈ , M ₉ , M ₁₄ , M ₁₅ , M ₁₇	5	1.0
M ₁₈ , M ₁₉ , M ₂₃ , M ₂₅	20	1.0

Tabela 5.3: Dimensionamento dos transistores do OTA carga 1.8 pF.

Transistor	W (μm)	L (μm)
M ₁ , M ₂	48	1.0
M ₃	216	1.0
M ₄ , M ₅	580	1.0
M ₆ , M ₇ , M ₈ , M ₉ , M ₁₄ , M ₁₅ , M ₁₇	108	1.0
M ₁₈ , M ₁₉ , M ₂₃ , M ₂₅	290	1.0
M ₁₀ , M ₁₁ , M ₁₂ , M ₁₃ , M ₁₆	11	1.0
M ₂₀ , M ₂₁ , M ₂₂ , M ₂₄	29	1.0

Tabela 5.4: Dimensionamento dos transistores do OTA carga 30 pF.

Transistor	I (µA)	V_{gs} (V)
M ₁	3.591	1.569
M ₂	3.591	1.569
M ₃	7.181	1.095
M ₄	7.195	-1.367
M ₅	7.195	-1.367
M ₆	3.6	1.561
M ₇	3.6	1.095
M ₈	3.6	1.562
M ₉	3.6	1.095
M ₁₀	3.6	1.562
M ₁₁	3.6	1.095
M ₁₂	3.6	1.562
M ₁₃	3.6	1.095
M ₁₄	3.604	1.095
M ₁₅	3.604	1.095
M ₁₆	3.599	1.092
M ₁₇	3.604	1.558
M ₁₈	3.6	-1.367
M ₁₉	3.6	-1.74
M ₂₀	3.599	-1.367
M ₂₁	3.599	-1.745
M ₂₂	3.6	-1.355
M ₂₃	3.604	-1.732
M ₂₄	3.6	-1.354
M ₂₅	3.603	-1.758

Tabela 5.5: Polarização dos transistores do OTA carga 300 fF.

Transistor	I (µA)	V_{gs} (V)
M ₁	21.51	1.632
M ₂	21.51	1.632
M ₃	43.01	1.132
M ₄	43.19	-1.359
M ₅	43.19	-1.359
M ₆	21.6	1.608
M ₇	21.6	1.132
M ₈	21.6	1.61
M ₉	21.6	1.132
M ₁₀	11.4	1.61
M ₁₁	11.4	1.132
M ₁₂	11.4	1.611
M ₁₃	11.4	1.132
M ₁₄	21.68	1.132
M ₁₅	21.67	1.132
M ₁₆	10.8	1.119
M ₁₇	21.68	1.603
M ₁₈	21.6	-1.359
M ₁₉	21.6	-1.729
M ₂₀	10.8	-1.359
M ₂₁	10.8	-1.735
M ₂₂	11.4	-1.356
M ₂₃	21.68	-1.723
M ₂₄	11.4	-1.355
M ₂₅	21.68	-1.9

Tabela 5.6: Polarização dos transistores do OTA carga 1.8 pF.

Transistor	I (µA)	V_{gs} (V)
M ₁	358.7	1.614
M ₂	358.7	1.614
M ₃	717.3	1.094
M ₄	719.3	-1.383
M ₅	719.3	-1.383
M ₆	360	1.557
M ₇	360	1.094
M ₈	360	1.558
M ₉	360	1.094
M ₁₀	36.69	1.558
M ₁₁	36.69	1.094
M ₁₂	36.69	1.558
M ₁₃	36.69	1.094
M ₁₄	360.5	1.094
M ₁₅	360.5	1.094
M ₁₆	37.66	1.094
M ₁₇	360.5	1.65
M ₁₈	360	-1.383
M ₁₉	360	-1.758
M ₂₀	37.66	-1.383
M ₂₁	37.66	-1.763
M ₂₂	36.69	-1.365
M ₂₃	360.5	-1.748
M ₂₄	36.69	-1.365
M ₂₅	360.5	-1.748

Tabela 5.7: Polarização dos transistores do OTA carga 30 pF.

Além das simulações envolvendo a polarização dos amplificadores, também foram realizadas simulações como resposta em freqüência, resposta no tempo, distorção harmônica e ruído para cada um dos amplificadores da estrutura de medidas.

A simulação envolvendo a resposta em freqüência dos amplificadores fornecerá parâmetros importantes como o ganho do amplificador, a freqüência de corte, o produto ganho banda e a margem de fase. O circuito utilizado na simulação, exibido na Fig. 5.13, consiste basicamente em uma fonte AC, o amplificador a ser analisado, a carga vista pelo amplificador e um *balun* ideal.

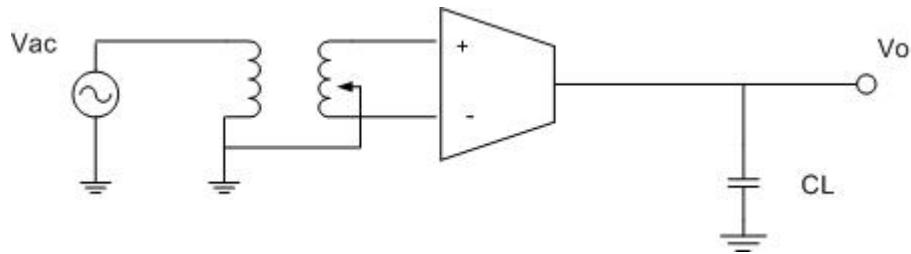
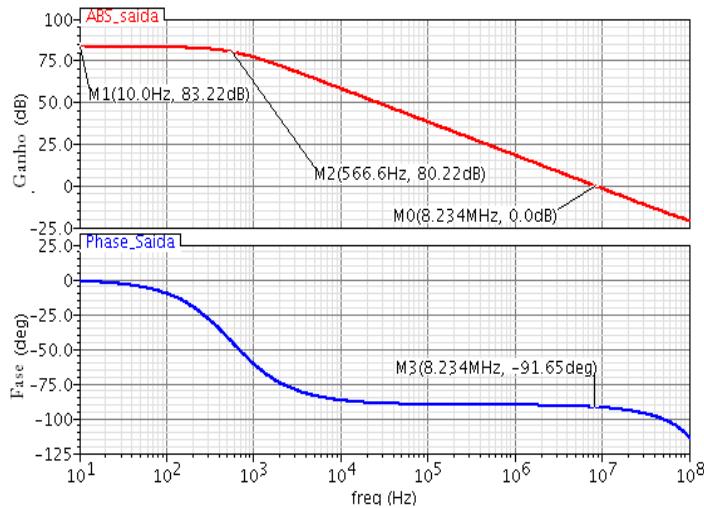
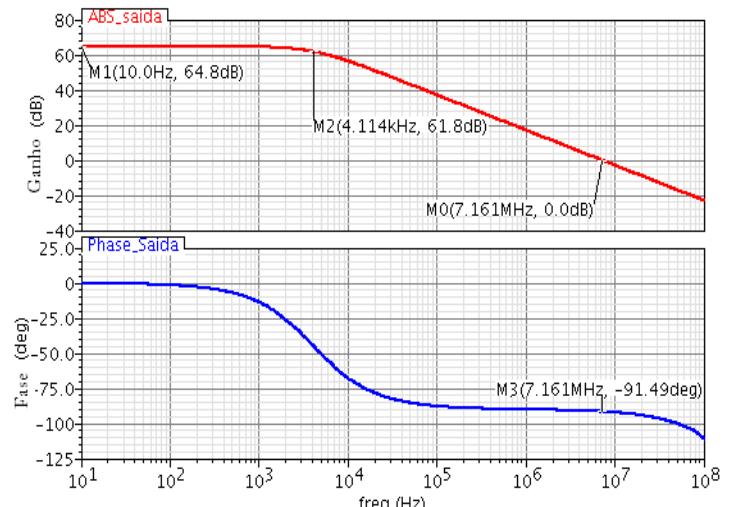


Figura 5.13 – Esquema de Simulação da Resposta em Freqüência.

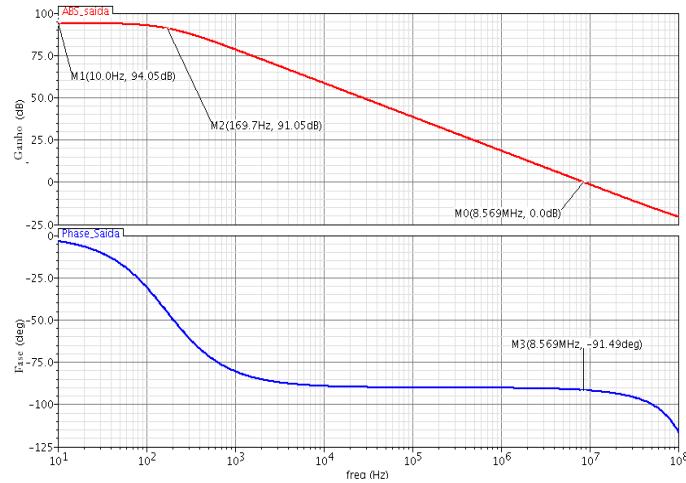
Os resultados obtidos pela análise na freqüência são mostrados nas Figs. 5.14 (a), (b) e (c), para cada um dos amplificadores projetados.



(a)



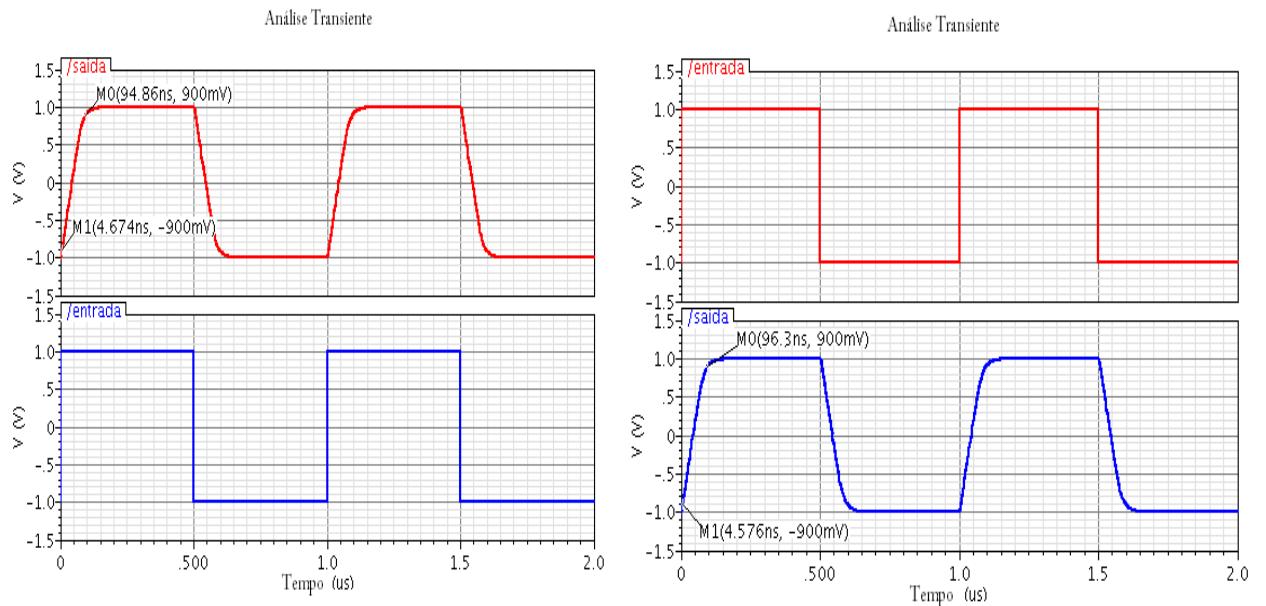
(b)



(c)

Figura 5.14 – Resultado da análise em freqüência para os amplificadores projetados para as cargas de 300 fF (a), 1.8 pF (b) e 30 pF (c).

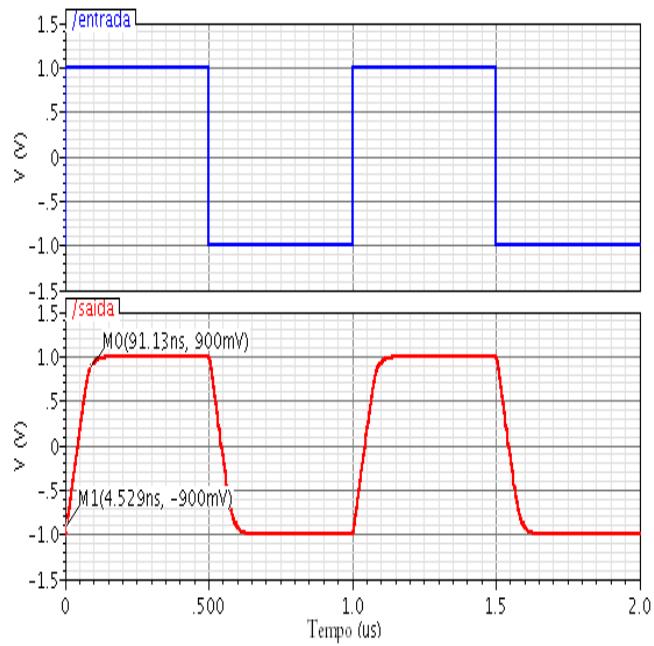
A simulação no tempo tem como principal objetivo analisar parâmetros como *Slew-Rate* e tempo de subida do amplificador. O circuito utilizado para a simulação consiste em um *buffer* com a saída conectada à carga para a qual o amplificador fora inicialmente projetado. A simulação foi feita considerando o pior caso possível, isto é, o capacitor inicialmente carregado com o limite mínimo da excursão de sinal. Os resultados obtidos para cada amplificador são ilustrados nas Figs. 5.15 (a), (b) e (c).



(a)

(b)

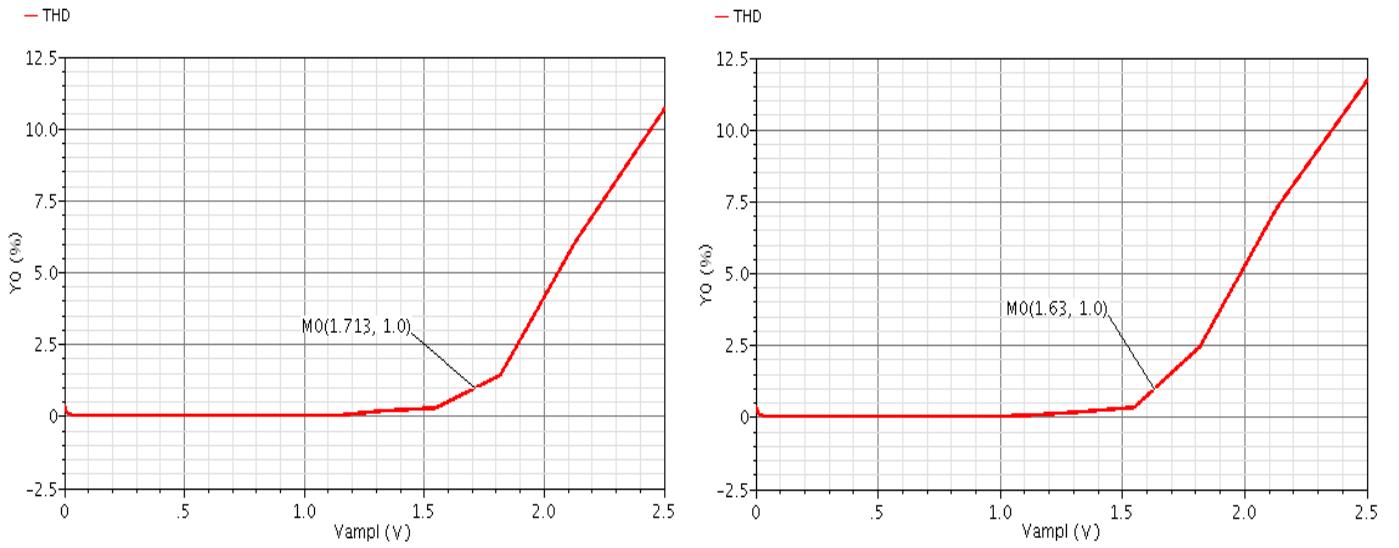
Analise Transiente



(c)

Figura 5.15 – Resultado da análise no tempo para 300 fF (a), 1.8 pF (b) e 30 pF (c).

A próxima análise a ser feita consiste na distorção harmônica, onde foi determinado o nível de THD em função da amplitude do sinal de entrada. Novamente foi utilizada uma configuração em *buffer* e os resultados obtidos são apresentados nas Figs. 5.16 (a), (b) e (c).



(a)

(b)

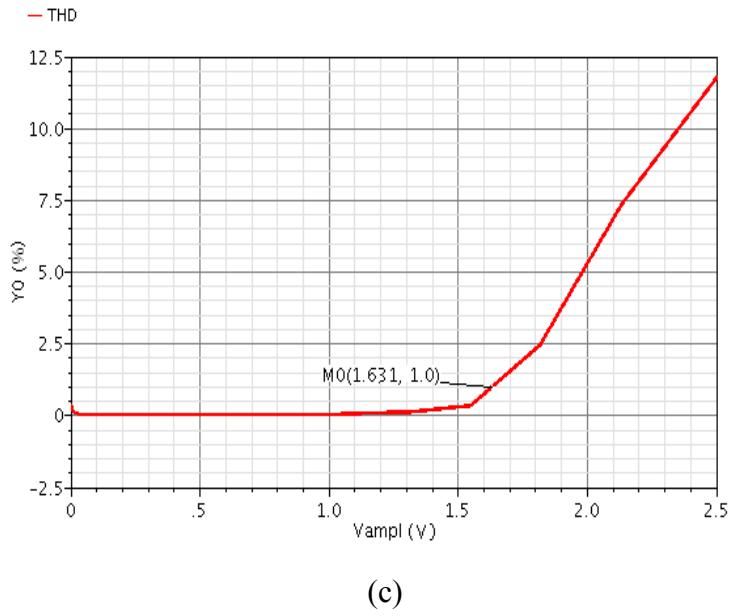


Figura 5.16 – Resultado do THD para 300 fF (a), 1.8 pF (b) e 30 pF (c).

Para determinar a potência de ruído produzida pelo amplificador, será utilizado o mesmo circuito da resposta em freqüência, Fig. 5.13. Nessa simulação foram analisados parâmetros como potência de ruído na entrada e a faixa dinâmica. Esta pode ser determinada a partir da expressão

$$DR = 20 \log \left(\frac{A_{THD=1\%}}{A_N} \right), \quad (5.13)$$

onde A_N é a amplitude do ruído e $A_{THD=1\%}$ é obtido a partir do gráfico do THD.

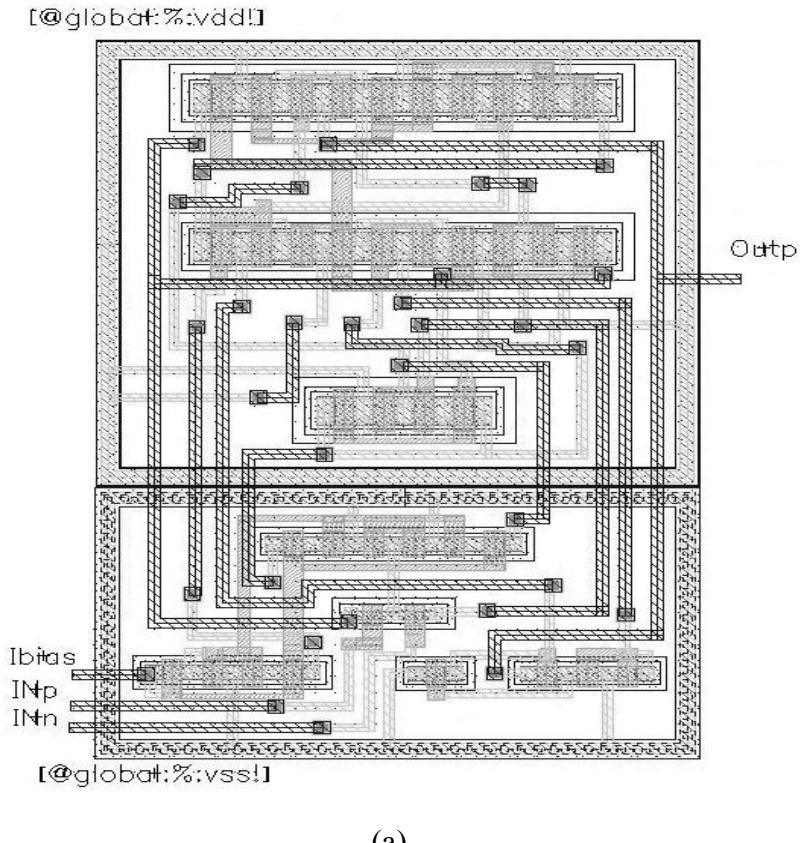
Para a análise da potência de ruído na entrada foi considerada uma banda no intervalo de 1 kHz até 100 kHz. A escolha dessa banda está relacionada à banda da estrutura de medidas. A Tabela 5.8 apresenta os resultados dos parâmetros simulados para cada amplificador da estrutura de medidas.

Os valores obtidos pela análise de ruído foram considerados elevados, contudo este resultado pode ser explicado pela saída não diferencial da estrutura de medidas. Quanto aos demais resultados, todos apresentaram um valor dentro do esperado.

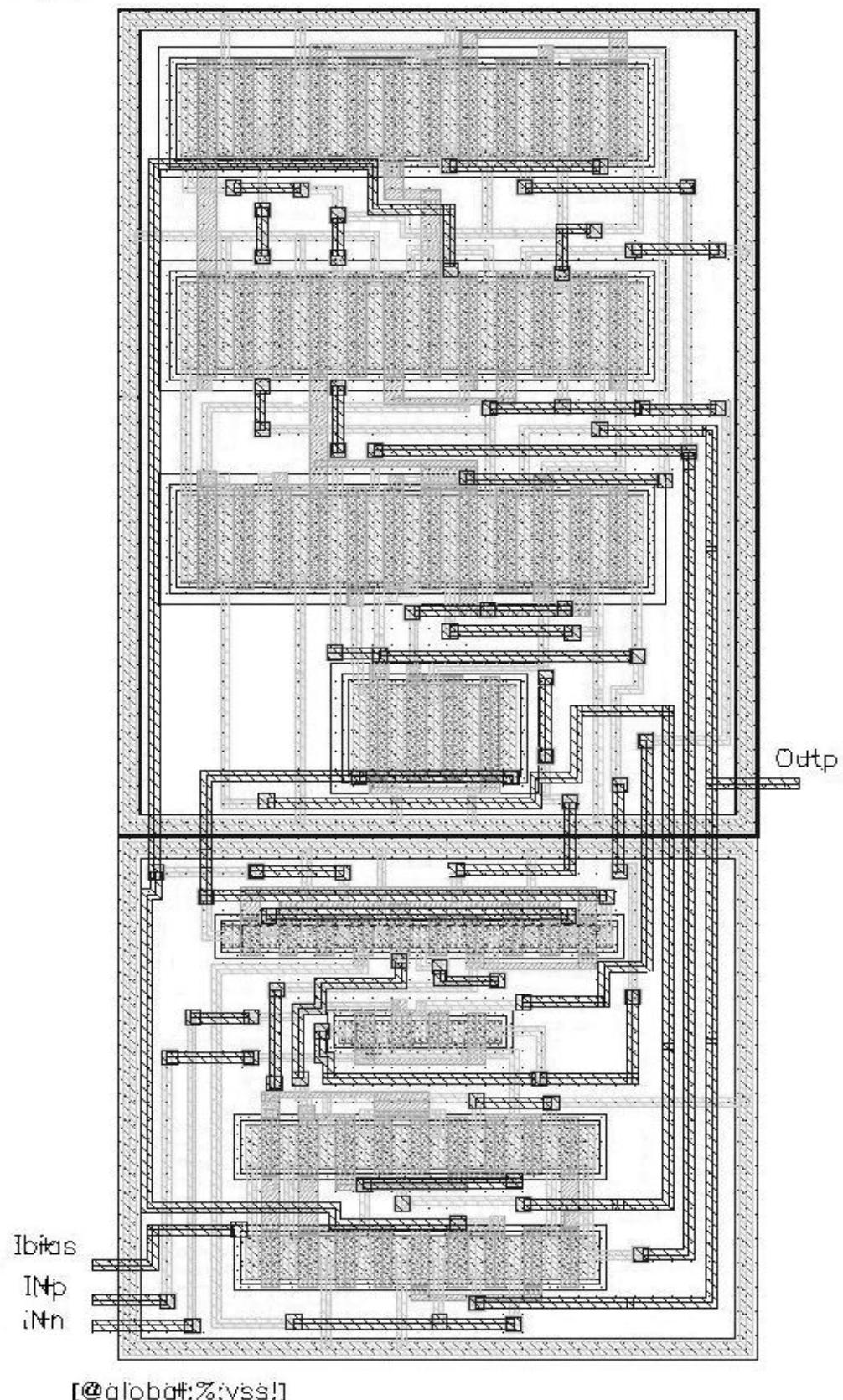
Parâmetros\ OTA	OTA Carga 300 fF	OTA Carga 1.8 pF	OTA Carga 30 pF
Ganho (dB)	83.22	64.8	94.05
Freqüência de Corte (Hz)	566.6	4.114 k	169.7
GBW (MHz)	8.209	7.149	8.554
Margem de Fase (°)	88.35	88.51	88.51
<i>Slew Rate</i> (V/μs)	19.95	19.62	20.78
Ruído equivalente na entrada ($\times 10^{-9} \text{ V}^2$)	60.6562	11.1643	0.4829
Faixa Dinâmica (dB) (@THD = 1%)	8.868	24.06	28.54

Tabela 5.8: Parâmetros obtidos por simulação dos diferentes amplificadores.

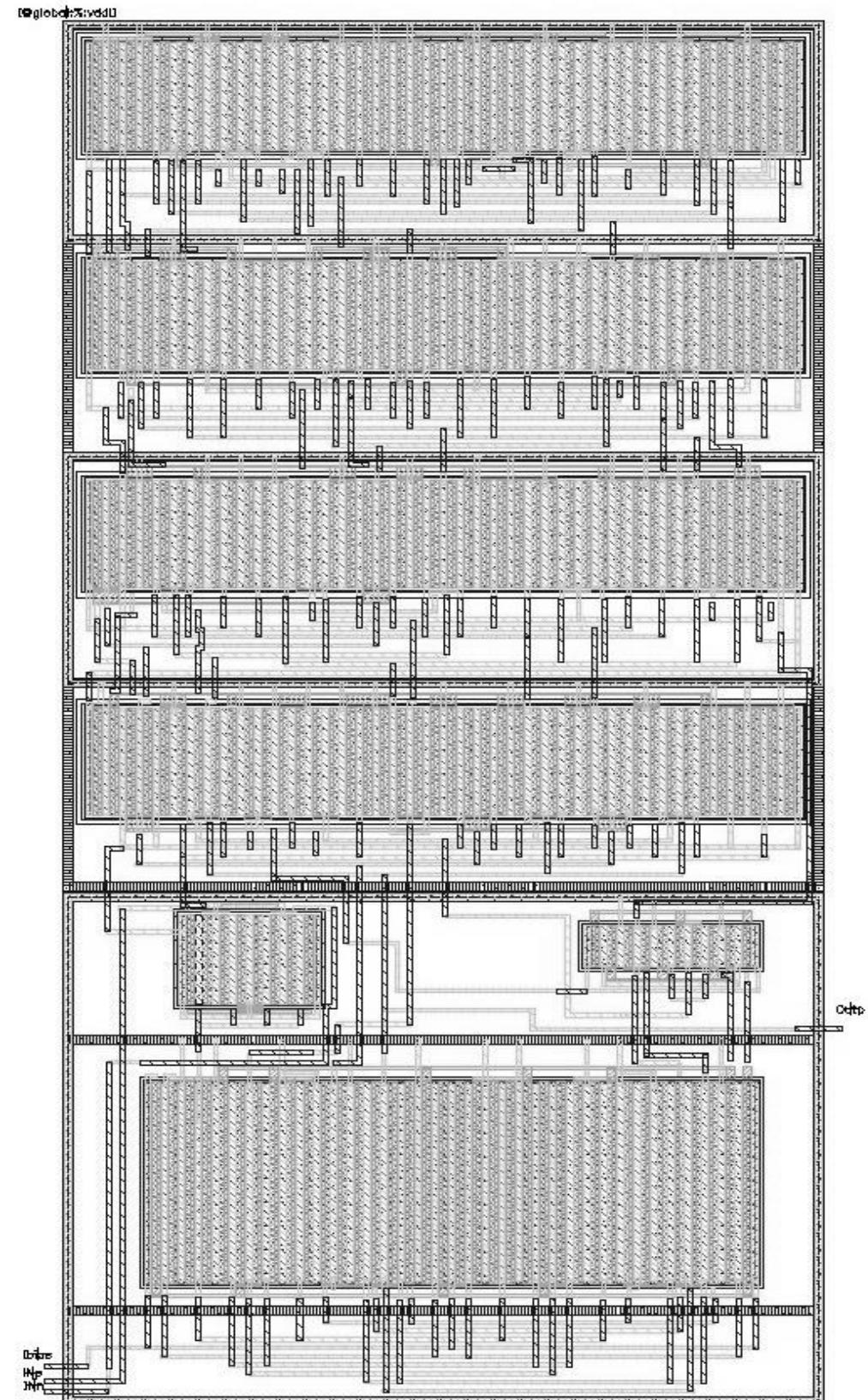
Após realizar as diversas simulações, cabe apresentar os *layouts* dos três amplificadores projetados. Nas Figs. 5.16 (a), (b), (c) são exibidos os *layouts* dos amplificadores de carga 300 fF, 1.8 pF e 30 pF, respectivamente.



[@global;%vdd!]



(b)



(c)

Figura 5.17 – *Layout* dos OTAs para as cargas de 300 fF(a), 1.8 pF (b) e 30 pF (c).

5.3 – Resultados das Simulações da Estrutura de Medidas

Com o projeto das chaves analógicas e amplificadores já finalizados, cabe realizar as simulações para verificar os resultados obtidos e a validade do projeto dos componentes da estrutura de medidas. As simulações foram concentradas na medição do zero de transmissão para a razão de capacitâncias de interesse, 8/16, com capacitâncias de 800 fF e 1.6 pF, respectivamente. Além dessas simulações, foi apresentada uma análise de Monte Carlo que verificou a robustez do circuito, quando submetido a variações no processo e descasamento dos componentes, e simulações envolvendo resposta no tempo, ruído e THD.

A análise no simulador foi feita considerando um número bastante elevado de pontos de maneira a melhorar a precisão do resultado final. Um número pouco significativo de pontos poderia levar a um erro de resolução numérica que proporcionaria uma medida incorreta ou pouco precisa, do zero de transmissão.

Além dessas considerações, os resultados apresentados enfatizaram à região de interesse, ou seja, os resultados consideraram uma determinada faixa de freqüência de modo a verificar o posicionamento do zero de transmissão.

As Figs. 5.18 (a) e (b) exibem o resultado da resposta em freqüência da estrutura de medidas. Essas simulações foram realizadas utilizando análises PSS (*Periodic Steady- State*) e PAC (*Periodic AC*) do simulador *Spectre RF*. A primeira utiliza uma escala maior, de 200 kHz a 400 kHz, de forma a verificar o formato geral da resposta, enquanto a segunda foca o posicionamento do zero de transmissão.

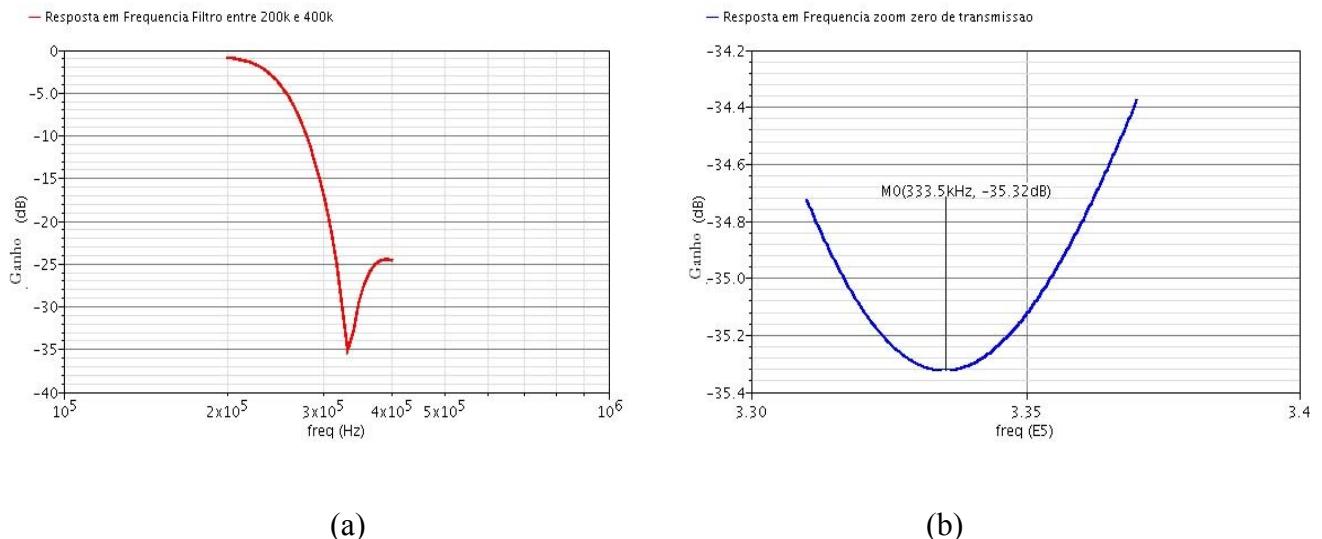


Figura 5.18 – Resposta em freqüência da estrutura de medidas para razão de interesse.

Ao comparar o resultado obtido com os valores adquiridos pelo Matlab, Asiz e Verilog-A, presentes no Capítulo 4, o resultado é extremamente satisfatório e o erro no posicionamento do zero de transmissão pode ser considerado desprezível. A Tabela 5.9 relaciona os simuladores utilizados e os resultados obtidos para a razão de capacitâncias de interesse.

Simulador	Posicionamento do zero de transmissão (KHz)
Matlab	333.50
Asiz	333.41
Cadence – Verilog-A	333.41
Cadence – Esquemático	333.50

Tabela 5.9: Comparaçāo do posicionamento dos zeros por diferentes simuladores.

Após a verificação dos resultados da resposta em freqüência, a análise se estendeu a parāmetros como a resposta no tempo, simulação de Monte Carlo, ruído e nível de THD. As simulações, exceto Monte Carlo, consistiram na mesma idéia discutida para o caso dos amplificadores de transcondutância.

A Fig. 5.19 apresenta o resultado da análise no tempo, considerando uma fonte senoidal na entrada com freqüência de 100 kHz e amplitude igual a 1 V.

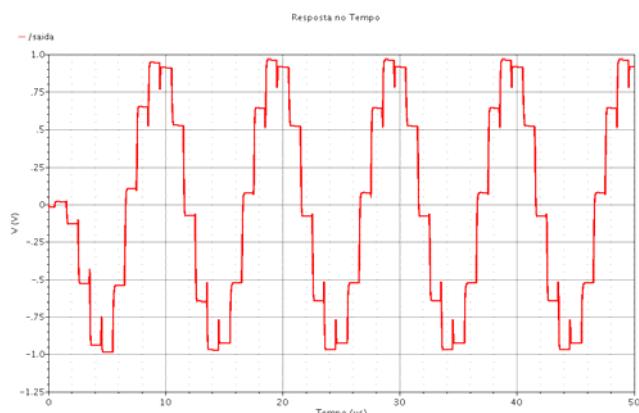


Figura 5.19 – Análise no tempo da estrutura de medidas.

A simulação levando em consideração o ruído apresentou o resultado mostrado na Tabela 5.10.

Parâmetros	Estrutura de Medidas
Ruído equivalente na entrada ($\times 10^{-7} \text{ V}^2$)	1.83477
Potência Média de Ruído ($\times 10^{-7} \text{ V}^2$)	1.77748

Tabela 5.10: Resultado da análise de ruído da estrutura de medidas.

O THD foi obtido de forma um pouco diferente dos amplificadores de transcondutância. A análise foi feita para apenas três valores de amplitude: 10 mV, 100 mV e 1 V, em virtude do tempo de simulação elevado.

A partir da análise no tempo, foi extraída a DFT do sinal e, com isso, determinaram-se a componente fundamental e os harmônicos. A resposta no tempo para os três valores de tensão e as respectivas DFTs são apresentadas nas Figs. 5.20 (a), (b) e (c). Foram considerados apenas os oito primeiros harmônicos devido ao aparecimento de um batimento da freqüência de chaveamento, que foi resultado da escolha da freqüência da fonte. O THD pode ser determinado a partir da expressão

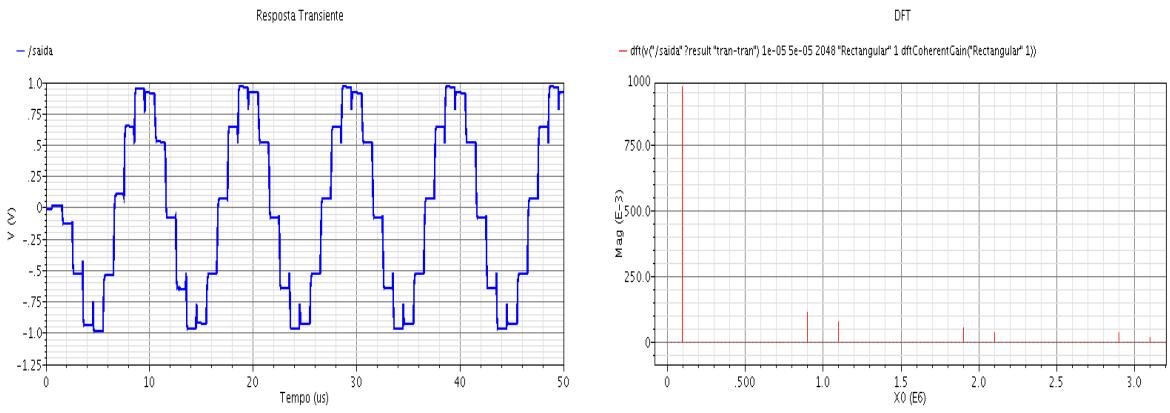
$$THD = \frac{\sqrt{\sum_{i=1}^8 A_i^2}}{A_f}, \quad (5.14)$$

onde A_f equivale à amplitude da componente fundamental do sinal e A_i aos valores de amplitude de cada harmônico.

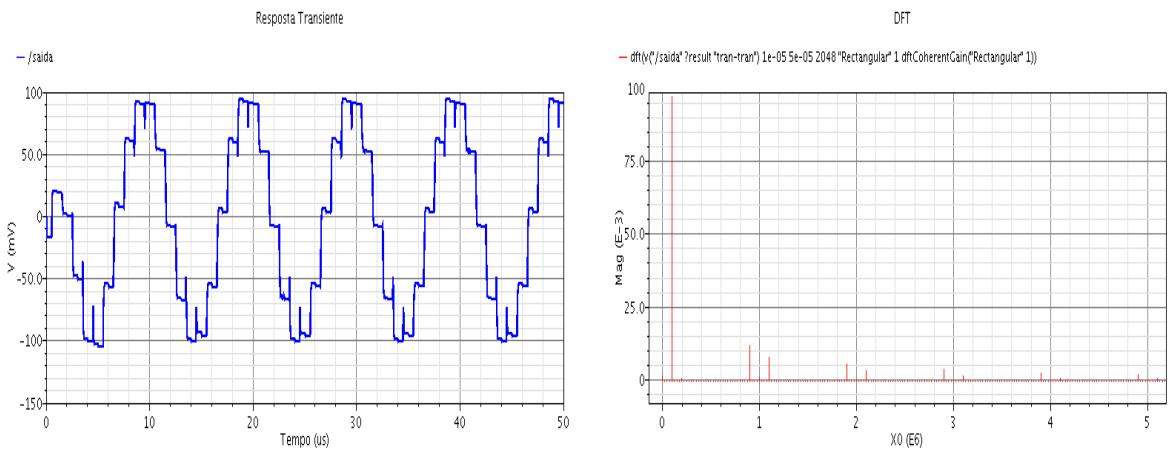
Utilizando a equação acima, os valores obtidos para o THD são apresentados na Tabela 5.11.

Tensão (V)	THD (%)
10 m	0.72
100 m	0.89
1	0.19

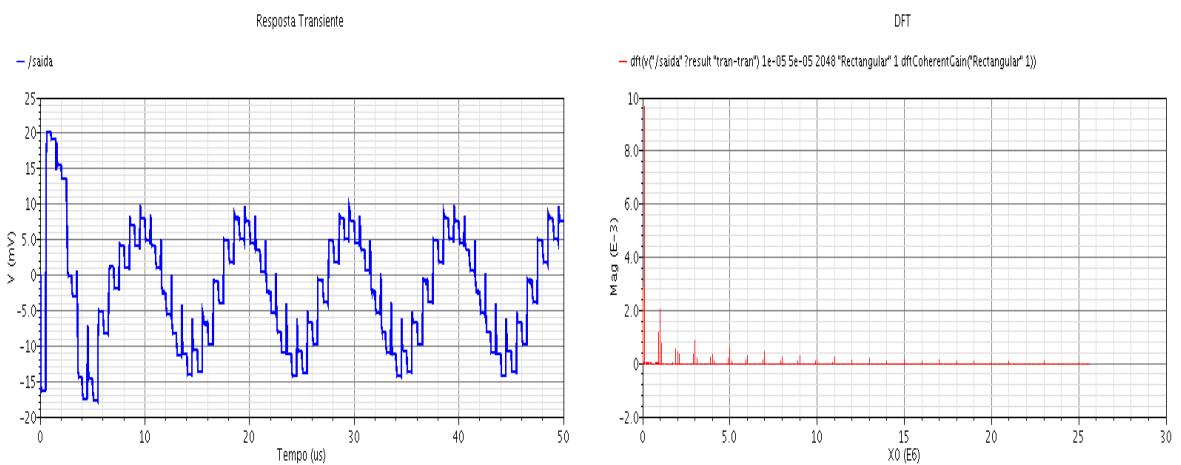
Tabela 5.11: Resultados do nível de THD da estrutura de medidas.



(a)



(b)



(c)

Figura 5.20 – Análise no tempo e DFT para sinais com amplitudes de entrada 1 V (a), 100 mV (b) e 10 mV (c).

Pode-se, inicialmente, acreditar na inconsistência dos valores apresentados, já que o THD aumenta à medida que há o aumento da amplitude do sinal na entrada. Contudo, a Fig. 5.21 apresenta um resultado bastante interessante. Devido à saída não diferencial da estrutura de medidas, o efeito de *clock feedthrough* das chaves analógicas não é anulado. Como esse representa uma distorção no sinal de saída, o cálculo da DFT levará esse erro em consideração. Isto culminará em um valor mais elevado no resultado do cálculo do THD, pois os harmônicos que estão sendo levados em consideração possuirão valores mais altos. Este efeito fica mais evidente à medida que a amplitude do sinal de entrada diminui.

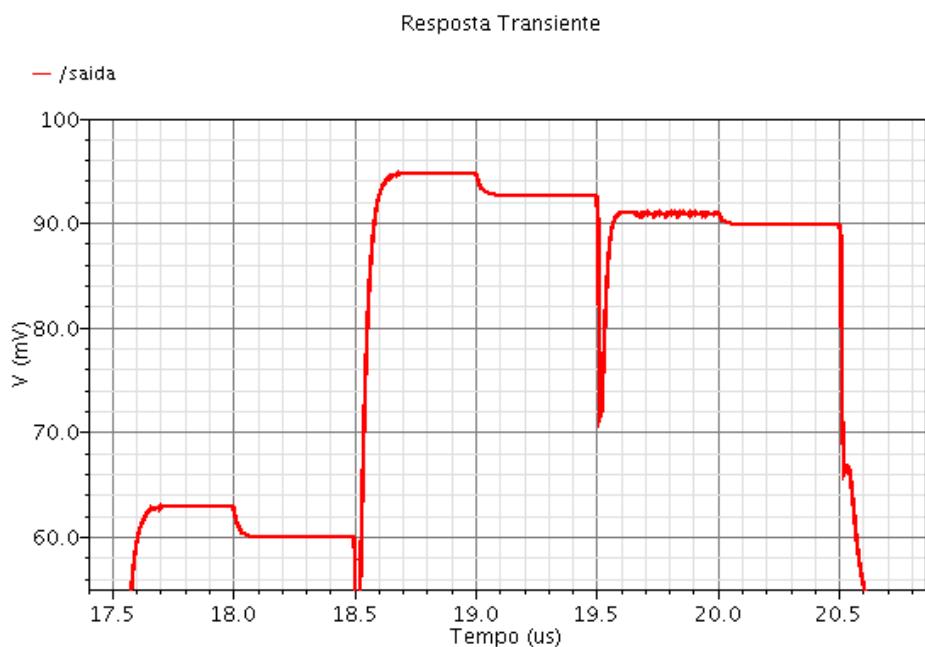


Figura 5.21 – Efeito de *Clock Feedthrough* na análise no tempo para amplitude de 100 mV de entrada.

Considerando os mesmos três valores de amplitude do sinal de entrada e a partir da potência média de ruído, presente na Tabela 5.10, foram calculadas as relações sinal-ruído para a estrutura de medidas. Esse parâmetro é obtido através da expressão

$$SNR = 10 \log \left(\frac{A_s}{A_N} \right)^2, \quad (5.15)$$

onde A_s é a amplitude do sinal de entrada e A_N é a amplitude do ruído.

Os resultados estão sendo apresentados na Tabela 5.12.

Tensão (V)	SNR (dB)
10 m	27.5
100 m	47.5
1	67.5

Tabela 5.12: Resultados da relação sinal-ruído da estrutura de medidas.

Antes de iniciar as simulações envolvendo variações de processo e descasamento dos componentes, foi realizada a medição da potência total consumida pela estrutura de medidas. Este valor pode ser obtido através de uma análise de varredura DC e através da expressão

$$P = VI. \quad (5.16)$$

Como o valor da tensão é dado pela alimentação do circuito, isto é, $V = 5$ V e o valor da corrente obtida através da simulação foi $I = 3.633$ mA, pode-se concluir que a potência total consumida é

$$P = 5 V \times 3.633 mA = 18.165 mW. \quad (5.17)$$

A última simulação consiste em uma análise de Monte Carlo. Esta verifica se o circuito permanece fornecendo o resultado desejado, mesmo na ocorrência de variações no processo e no descasamento dos componentes. A simulação foi feita para 40 iterações e o resultado obtido é ilustrado na Fig. 5.22.

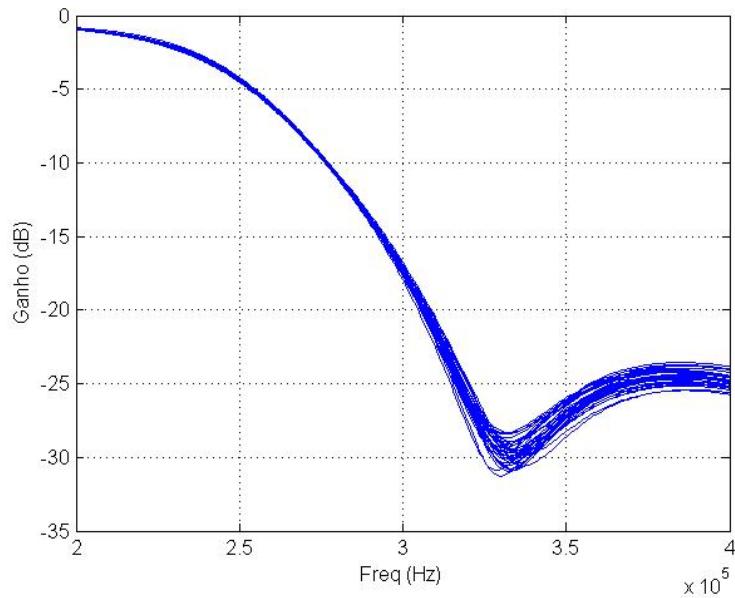


Figura 5.22 – Análise de Monte Carlo da Estrutura de Medidas.

Como os capacitores utilizados são da biblioteca padrão do simulador, a análise de Monte Carlo está apenas considerando variações nos amplificadores e chaves analógicas, ou seja, não estão sendo levadas em consideração as variações e os descasamentos nos capacitores. Os resultados de simulação apresentam um resultado bastante interessante, pois o posicionamento do zero de transmissão varia muito pouco - erro máximo em torno de 1% - em virtude dos componentes considerados. Portanto, as variações no posicionamento do zero de transmissão serão dadas quase que exclusivamente pelas variações nas razões de capacitâncias, comprovando assim a validade do projeto, porém apresentando uma limitação na medição dos erros inferiores a 1%.

Capítulo 6

Conclusão

Este projeto apresentava como objetivo principal a medição de razões de capacitâncias com precisão bastante elevada. Para isso, foi definida uma estrutura de medidas que consistia em filtros estruturalmente passa-tudo a capacitores chaveados. A partir da medição do posicionamento do zero de transmissão e comparação com os valores teóricos, obtidos através de dois simuladores, seria possível determinar o erro de implementação nas razões. O trabalho consistiria no projeto dos amplificadores de transcondutância e chaves analógicas que compunham a estrutura de medidas. A razão de capacitâncias de interesse seria uma razão de 8/16, utilizando capacitores de 800 fF e 1.6 pF, respectivamente, os capacitores que fariam parte dos *buffers* seriam de 100 fF e a freqüência de amostragem de 1 MHz.

O resultado apresentado pela estrutura, considerando o modelo esquemático, foi bastante satisfatório. O erro comparado aos valores teóricos e modelo Verilog-A pode ser considerado desprezível. Essa pequena variação, em grande parte, foi provocada devido às capacitâncias parasitas que os amplificadores de transcondutância iriam apresentar. As chaves analógicas também contribuem com essa variação, contudo a influência do efeito de *clock feedthrough* é pequena ao ser comparada com as variações promovidas pelos amplificadores. Vale ressaltar que o simulador não possui a capacidade de simular o efeito da injeção de carga. Sendo assim, torna-se difícil mensurar a sua influência na variação da resposta final.

Além disso, foi comprovada a robustez da estrutura de medidas. A análise de Monte Carlo, que considerava variações em virtude do processo e descasamento dos amplificadores e chaves analógicas, apresentou um resultado bastante preciso. O posicionamento do zero de transmissão, no geral, sofreu uma pequena mudança, que não compromete o bom funcionamento da estrutura de medidas, mas limita o mínimo erro que se pode medir com confiança. Isso mostra que o circuito foi projetado considerando componentes cujas influências no erro da resposta final são bastante pequenas e que a variação no posicionamento do zero de transmissão é quase que unicamente dada pelas variações nas razões de capacitâncias.

Portanto, através dessa estrutura de medidas, pode ser feita uma análise do circuito antes da sua inserção no mercado. Também poderão ser realizadas medições considerando arranjos de capacitores diferentes dos tradicionalmente utilizados, buscando configurações que possam minimizar os erros decorrentes do processo de fabricação.

As maiores dificuldades que o projeto veio a apresentar se concentraram nos componentes do filtro, ou seja, amplificadores e chaves analógicas. Caso fossem dimensionados de forma incorreta isso poderia levar a um desaparecimento do zero de transmissão, impossibilitando a medição das razões de capacitâncias de interesse. Além disso, deve-se ter atenção nas cargas observadas por cada amplificador. Um amplificador que não suporta aquela carga levará a um mau funcionamento do circuito e medições incorretas.

Em relação aos trabalhos futuros, o projeto prosseguirá com o desenvolvimento das matrizes de capacitores, com diferentes formas de organização e elaboração dos *layouts*. Também deverá ser projetado um multiplexador que irá chavear entre as diversas matrizes de capacitores para a realização das medidas. Com o projeto desses componentes e fabricação do circuito integrado será possível fazer as medições do chip e compará-las com os resultados apresentados nesse projeto. Dessa maneira, as medidas fornecerão o erro de implementação nas razões de capacitâncias e o tipo de configuração das matrizes de capacitores que forneceu o menor erro.

Bibliografia

- [1] JOHNS, D., MARTIN, K., *Analog Integrated Circuit Design*. John Wiley & Sons, 1997.
- [2] BARUQUI, F. A. P., PETRAGLIA, A., FRANCA, J. E., MITRA, S. K., ``A 48MHz-to-16MHz CMOS SC decimation filter," *IEEE Journal of Solid-State Circuits*, Vol. 37, pp. 1282-1289, Outubro 2002.
- [3] PETRAGLIA, A., CANIVE, J. M. e PETRAGLIA, M. R., "Efficient parametric fault detection in switched-capacitor filters using structurally allpass sections", *IEEE Design and Test of Computers*, n. 1, p. 58-66, Janeiro 2006.
- [4] SOARES, C.F.T., "Método para Aprimorar o Projeto e o Layout de Filtros Analógicos em Circuitos Integrados CMOS", Tese de Doutorado, COPPE/UFRJ, Rio de Janeiro, RJ- Brasil, Janeiro 2009.
- [5] SOARES, C.F.T., "Filtro a Capacitores Chaveados CMOS $0.35\mu\text{m}$ Para a Detecção do Efeito de Cavitação em Turbinas de Usinas Hidroelétricas", Dissertação de Mestrado, COPPE/UFRJ, Rio de Janeiro, RJ- Brasil, Janeiro 2006.
- [6] REGALIA, P. A., MITRA, S. K. e VAIDYANATHAN, P. P., "The Digital All-Pass Filter: A Versatile Signal Processing Building Block", *Proceedings of the IEEE*, Vol. 76, pp. 19-37, Janeiro 1988.
- [7] GREGORIAN, R., TEMES, G. C., Analog MOS integrated circuits for signal processing. John Wiley & Sons, 1986.
- [8] MITRA, S. K., PETRAGLIA, A., "Low-PassBand-Sensitivity switched capacitor filters using a parallel connection of two structurally lossless networks", *International Journal of Circuit Theory and Applications*, Vol. 20, pp.47-62, Maio 1992.
- [9] DARYANANI, G., *Principles of active network synthesis and design*. John Wiley & Sons, 1976.
- [10] FRIED, D.L., "Analog sampled-data filters", *IEEE Journal of Solid-State Circuits*, v. SC-7, pp. 302-304, Agosto 1972.
- [11] CAVES, J. T., ROSENBAUM, S. D., COPELAND, M. A., et al., "Sampled analog filtering using switched capacitors as resistor equivalents". *IEEE Journal of Solid-State Circuits*, v. SC-12, n.6, pp. 592-599, Dezembro 1977.
- [12] YOUNG, I. A., GRAY, P. R., HODGES, D.A., "Analog NMOS sampled-data recursive filters". In: *IEEE International Symposium on Solid-State Circuits*, pp. 156-157, Fevereiro 1977.

[13] MITRA, S.K., *Digital Signal Processing. A Computer-Based Approach*, McGraw-Hill, 1998.

[14] PETRAGLIA, A., SOARES C.F.T., “A Technique for Accurate Capacitance Ratio Measurements in CMOS Integrated Circuits”, *Iberchip XVI Workshop*, Foz do Iguaçu, PR- Brasil, pp. 63-66, Fevereiro 2010.

[15] MCNUTT, M.J., LEMARQUIS, S., DUNKLEY, J.L., “Systematic Capacitance Matching Errors and Corrective Layout Procedures”, *IEEE Journal of Solid-State Circuits*, Vol. 29, pp. 611-616, Maio 1994.

[16] GRAY, P. R., MEYER, R.G., “MOS Operational Amplifier Design – A Tutorial Overview”, *IEEE Journal of Solid-State Circuits*, Vol. 17, pp. 969-982, December 1982.

[17] BARUQUI, F. A. P., “*Introdução ao projeto de circuitos analógicos*”, Universidade Federal do Rio de Janeiro.

[18] RAZAVI, B., *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, Agosto 2000.